



UNIVERSIDAD DE SAN CARLOS DE GUATEMALA
FACULTAD DE INGENIERÍA

**ESTUDIO, ESTADO ACTUAL Y TENDENCIAS DE LOS BUSES DE
DATOS EN LA INDUSTRIA DE LAS COMPUTADORAS
PERSONALES**

TESIS

PRESENTADA A LA JUNTA DIRECTIVA DE LA
FACULTAD DE INGENIERÍA
POR

MAYRA GRISELA CORADO GARCÍA
PREVIO A OPTAR AL TITULO DE
INGENIERO EN CIENCIAS Y SISTEMAS

GUATEMALA, MAYO DE 1,996.

PROPIEDAD DE LA UNIVERSIDAD DE SAN CARLOS DE GUATEMALA
Biblioteca Central

08
T(3732)
C.4

UNIVERSIDAD DE SAN CARLOS DE GUATEMALA

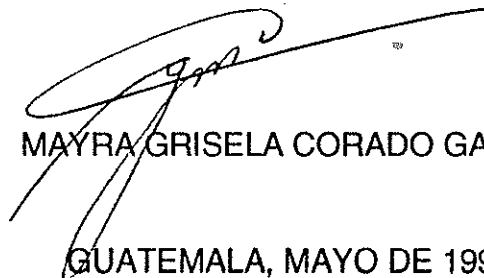
FACULTAD DE INGENIERÍA

HONORABLE TRIBUNAL EXAMINADOR

Cumpliendo con los preceptos que establece la ley de la Universidad de San Carlos de Guatemala, presento a su consideración mi trabajo de tesis titulado:

**ESTUDIO, ESTADO ACTUAL Y TENDENCIAS DE LOS BUSES DE DATOS
EN LA INDUSTRIA DE LAS COMPUTADORAS PERSONALES**

tema que me fuera asignado por la coordinación de la carrera de Ingeniería en Ciencias y Sistemas de la Facultad de Ingeniería.



MAYRA GRISELA CORADO GARCÍA

GUATEMALA, MAYO DE 1996.

PROPIEDAD DE LA UNIVERSIDAD DE SAN CARLOS DE GUATEMALA
Biblioteca Central



UNIVERSIDAD DE SAN CARLOS DE GUATEMALA

FACULTAD DE INGENIERÍA

MIEMBROS DE LA JUNTA DIRECTIVA

DECANO	Ing. Julio Ismael González Podszueck
VOCAL 1ero.	Ing. Miguel Angel Sánchez Guerra
VOCAL 2do.	Ing. Jack Douglas Ibarra Solórzano
VOCAL 3ro.	Ing. Juan Adolfo Echeverría Méndez
VOCAL 4to.	Br. Fernando Waldemar de León Contreras
VOCAL 5to.	Br. Pedro Ignacio Escalante Pastor
SECRETARIO	Ing. Francisco Javier González López

TRIBUNAL QUE PRACTICÓ EL EXAMEN
GENERAL PRIVADO

DECANO	Ing. Julio Ismael González Podszueck
EXAMINADOR	Ing. Francisco Javier Guevara Castillo
EXAMINADOR	Ing. Carlos Alfredo Azurdia Morales
EXAMINADOR	Ing. Christian Bradna Villanueva
SECRETARIO	Ing. Francisco Javier González López

Guatemala, 12 de Mayo de 1,996

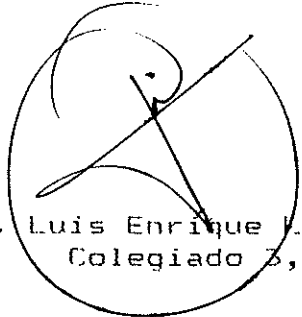
Ing.
Calixto Monzón.
Coordinador de Area
Escuela de Ciencias y Sistemas.
Facultad de Ingeniería, USAC.

Ingeniero Monzón:

Por medio de la presente, quiero hacer de su conocimiento que he revisado completamente el trabajo de tesis de la Srta. Mayra Grisela Corado García, titulado: ESTUDIO, ESTADO ACTUAL Y TENDENCIAS DE LOS BUSES DE DATOS EN LA INDUSTRIA DE LOS COMPUTADORES PERSONALES. Puedo concluir que la misma llena los objetivos propuestos en el anteproyecto de tesis.

Por lo tanto, el autor de esta tesis y yo como su asesor, nos hacemos responsables por el contenido y conclusiones de la misma.

Atentamente:



Ing. Luis Enrique Lima Guzmán.
Colegiado 3,653.



FACULTAD DE INGENIERIA

Escuelas de Ingeniería Civil, Ingeniería
Mecánica Industrial, Ingeniería Química,
Ingeniería Mecánica Eléctrica, Técnica
y Regional de Post-grado de Ingeniería
Sanitaria.

Ciudad Universitaria, zona 12
Guatemala, Centroamérica

Guatemala,
30 de abril de 1,996

Ingeniero
Julio Ismael González Podszueck
Decano, Facultad de Ingeniería

Señor Decano:

Me dirijo a usted para informarle que después de co-
nocer el dictamen del Asesor del trabajo de tesis del es-
tudiante MAYRA GRISELA CORADO GARCIA, titulado ESTUDIO,
ESTADO ACTUAL Y TENDENCIAS DE LOS BUSES DE DATOS EN LA
INDUSTRIA DE LAS COMPUTADORAS PERSONALES, procedo a la
autorización del mismo.

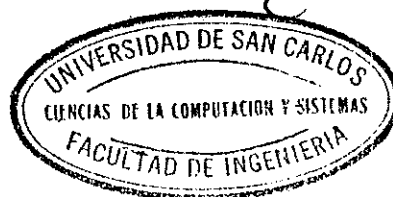
Sin otro particular, me suscribo con las muestras de
mi consideración y estima,

Atentamente,

"ID Y ENSEÑAD A TODOS"

Ing. Calixto Raúl Monzón Pérez
COORDINADOR
INGENIERIA EN CIENCIAS Y SISTEMAS

CRMP/edj





FACULTAD DE INGENIERIA

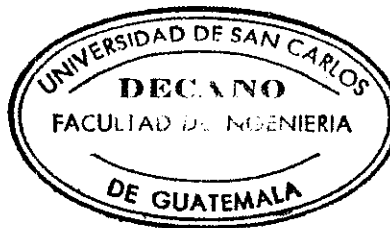
Escuelas de Ingeniería Civil, Ingeniería
Mecánica Industrial, Ingeniería Química,
Ingeniería Mecánica Eléctrica, Técnica
y Regional de Post-grado de Ingeniería
Sanitaria.

Ciudad Universitaria, zona 12
Guatemala, Centroamérica

El Decano de la Facultad de Ingeniería de la Universidad de San Carlos de Guatemala, luego de conocer la autorización por parte del Coordinador de la Carrera de Ingeniería en Ciencias y Sistemas, Ing. Calixto Monzón Pérez, al trabajo de tesis titulado: **ESTUDIO, ESTADO ACTUAL Y TENDENCIAS DE LOS BUSES DE DATOS EN LA INDUSTRIA DE LAS COMPUTADORAS PERSONALES**, de la estudiante Mayra Grisela Corado García, procede a la autorización para la impresión de la misma.

IMPRIMASE:

Ing. Julio Ismael González Podszueck
DECANO



Guatemala, mayo de 1,996

DEDICATORIA

A DIOS Y A LA VIRGEN MARÍA:

Por todas las bendiciones recibidas y por permitirme llegar a este triunfo.

A GUATEMALA:

Patria amada, por un mejor futuro.

A LA USAC PARTICULARMENTE A LA FACULTAD DE INGENIERÍA:

Que me dió la oportunidad de forjarme.

A MIS PADRES:

María Adelaida García Hernández de Corado y José Luis Corado Recinos, Con todo mi amor y agradecimiento a sus sacrificios.

A MI HERMANO:

Juan José Corado García, cariño fraternal, gracias por su apoyo.

A MIS ABUELOS:

María Adelaida Hernández Abad de García, Gumercinda Recinos de Corado, Porfidio García Solís, Juan Corado Hernández: por sus buenos consejos.

A RENÉ:

con todo mi amor.

A SONIA, RICARDO, RAÚL, LUIS, RITA e HIRAM:

por su apoyo en mis estudios, y su amistad sincera.

A TODOS MIS AMIGOS:

gracias por los buenos momentos.

A MIS CATEDRÁTICOS Y CENTROS DE ENSEÑANZA.

Inst. Nac. de Bach. en Computación, Inst. Nac. Enrique Gómez Carrillo, Esc. Miguel Larreinaga, Esc. Rubén Villagrán Paúl, Colegio Jesús de Candelaria, Esc. J. Enrique Pestalozzi.

AGRADECIMIENTOS

A LUIS ENRIQUE LIMA:

Por su asesoría brindada en la realización de este trabajo,
y su amistad sincera.

A MIS COMPAÑEROS DE TRABAJO:

Por su amistad y paciencia.

TABLA DE CONTENIDO

GLOSARIO DE TÉRMINOS	IV
GLOSARIO DE TÉRMINOS	IV
INTRODUCCIÓN	VI
FUNDAMENTOS DE LOS BUSES CAPÍTULO I	1
1.1 FUNDAMENTOS DEL BUS	1
1.1.1 COMPARTICIÓN DE DATOS	2
1.1.2 DIRECCIONAMIENTO	2
1.1.3 PODER	3
1.1.4 CONTROL DE FLUJO	4
1.1.5 CONTROL DEL SISTEMA	5
1.1.6 DOMINIO Y ARBITRAJE DEL BUS	5
1.1.7 SEÑALES ESPECÍFICAS DE LAS RANURAS	6
1.1.8 COMPUTADORAS CON MÚLTIPLES BUSES	7
1.1.9 LIMITACIONES QUE DAN LAS RANURAS DE EXPANSIÓN	7
1.1.10 LA COMPATIBILIDAD	8
1.2 CLASIFICACIÓN DE LOS BUSES	8
1.2.1 BUS DE ENTRADA / SALIDA	9
1.2.2 BUS CPU-MEMORIA	9
1.2.3 BUS DE DATOS	9
1.2.4 BUS DE DIRECCIONES	9
1.2.5 BUS DE CONTROL	10
1.2.6 PARALELO	10
1.2.7 SERIAL	10
1.2.8 SÍNCRONO	13
1.2.9 ASÍNCRONO	13
1.3 HISTORIA	15
PRIMEROS BUSES CAPÍTULO II	17
2.1 BUS S-100	17
2.1.1 DESCRIPCIÓN DE LAS SEÑALES DEL BUS	18
2.2 MULTIBUS	20
2.2.1 ESTRUCTURA DEL BUS	21
2.2.2 FORMA DE TRANSFERENCIA	21
2.2.3 PETICIÓN DE INTERRUPCIÓN	21
2.2.4 FORMA DE CONTROL DEL BUS	21
2.2.4.1 DETERMINACIÓN DE PRIORIDAD EN SERIE	22
2.2.4.2 DETERMINACIÓN DE PRIORIDAD EN PARALELO	23

BUSES DE EXPANSIÓN CAPÍTULO III	25
3.1 EL PRIMER BUS DE EXPANSIÓN DE LA PC	25
3.2 LA ARQUITECTURA ESTÁNDAR DE INDUSTRIA	25
3.2.1 CONECTOR DE 8 BITS	27
3.2.1.1 Dimensiones	27
3.2.1.2 Señales básicas	28
3.2.2 ISA DE 16 BITS	29
3.2.2.1 Líneas adicionales:	30
3.2.3 Rapidez del bus	33
3.2.4 CONECTAR Y OPERAR	33
3.3 MCA (Micro Channel Architecture)	33
3.3.1 ESTRUCTURA DEL BUS	35
3.3.1.1 VERSIÓN 16 BITS	35
3.3.1.2 VERSIÓN 32 BITS	36
3.3.2 VENTAJAS	36
3.4 EISA (Extended Industry Standard Architecture)	36
3.4.1 ARQUITECTURA BÁSICA	38
3.4.2 ACTIVANDO INTERRUPCIONES	39
3.4.2.1 ACTIVANDO INTERRUPCIONES EN ISA	39
3.4.2.2 ACTIVANDO INTERRUPCIONES EN EISA	40
3.4.3 MANEJO DE INTERRUPCIONES COMPARTIDAS EN EISA	40
3.4.4 EISA BUS MÁSTERS	42
3.4.5 TRANSFERENCIAS DEL BUS MÁSTER	42
3.4.6 ESQUEMA ROTATIVO DEL ARBITRAJE DEL BUS MÁSTER	43
3.4.7 CICLO DE ARBITRAJE	44
3.4.8 EISA EMB	44
3.4.8.1 EMB-66	45
3.4.8.2 EMB-133	46
3.5 TECNOLOGÍA DE BUS LOCAL	47
3.5.1 APLICACIONES DEL BUS LOCAL	47
3.6 VESA VL	48
3.6.1 ARQUITECTURA DEL BUS	48
3.7 PCI (Peripheral Component Interconnect)	50
3.7.1 CARACTERÍSTICAS DE DISEÑO	50
3.7.2 DETALLES DE HARDWARE Y SOFTWARE	51
3.7.3 CARACTERÍSTICAS FÍSICAS	52
3.8 VME BUS	52
3.8.1 HISTORIA	52
3.8.2 VENTAJAS	53
3.8.2.1 AMPLIA ESTANDARIZACIÓN	53
3.8.2.2 GRAN CAPACIDAD DE CÁLCULO	53
3.8.2.3 AMPLIO NÚMERO DE CANALES ENTRADA SALIDA	53
3.8.2.4 FIABILIDAD OPERATIVA	54
	II

3.8.2.5 AUSENCIA DE RESTRICCIONES EN EL SOFTWARE	54
3.8.3 DESVENTAJAS	54
3.8.3.1 COMPLEJIDAD	54
3.8.3.2 COSTE ALGO ELEVADO	54
3.8.4 ARQUITECTURA GENERAL	54
3.9 PCMCIA (Asociación de interface de tarjetas de memoria para computadoras personales)	55
3.9.1 Características de arquitectura	56
3.9.2 Tipos de tarjetas existentes	56
ESTADO ACTUAL Y TENDENCIAS CAPÍTULO IV	58
4.1 ESTADO ACTUAL	58
4.1.1 COMPARACIÓN PCI- VL-BUS	58
4.1.2 LA NUEVA BASE PCI	59
4.1.3 PCI A LA CABEZA	60
4.2 TENDENCIAS	61
4.2.1 PARA EL BUS DE EXPANSIÓN	61
4.2.2 BUS PERIFÉRICO, PARA EL FUTURO	61
4.2.2.1 COMPARACIONES DEL USB CON LAS INTERFACES CONVENCIONALES	62
4.2.3 TECNOLOGÍAS DE BUS EMERGENTES	64
CONCLUSIONES	VII
BIBLIOGRAFÍA	VIII
APÉNDICE: INTERFACES DE LOS BUSES DE EXPANSIÓN	IX

GLOSARIO DE TÉRMINOS

ANCHO DE BANDA: número de bits que tiene el bus.

BUS CLOCK (BCLK): frecuencia de reloj para el bus de expansión del computador.

BUS MASTERING: significa que las CPU periféricas podrían solicitar un permiso para tomar control del bus durante un período de tiempo corto. La CPU principal concedería el permiso para que se hiciera cargo del bus, y saldría temporalmente de la cadena, para permitir comunicación rápida, por ejemplo, entre la unidad del disco duro y la del disquete.

CICLO DE RELOJ: intervalo entre la petición y la entrega de información desde un dispositivo o unidad de almacenamiento.

DMA: (acceso directo a la memoria RAM); para evitar que se sature el microprocesador con tareas que otros elementos pueden hacer, algunas partes del computador pueden transferir datos directamente a la memoria RAM, o viceversa, sin pasar a través de la CPU (Unidad Central de Procesos). Su propósito principal es permitir al controlador de disco que lea o escriba datos sin involucrar al microprocesador en la operación.

DRAM: (dinamic RAM); se le llama así a la memoria que necesita interrumpir periódicamente la tarea de la CPU para solicitar el refrescamiento de las celdas que tienen datos.

ESCLAVO: responde a peticiones iniciadas por un bus máster que esté en cualquier lado del sistema.

GUI: interface gráfica del usuario.

IDE: (electrónica de la unidad de disco integrada); es una interfaz para discos duros.

INTERRUPCIONES VECTORIALES: con una interrupción vectorizada, la lógica de control de interrupciones dentro del procesador reconoce al dispositivo de entrada/salida de interrupción. Cada dispositivo de entrada/salida tiene asignada una dirección singular de interrupción del dispositivo.

LATENCIA: es el tiempo que el microprocesador espera para poder continuar usando el bus.

MODO PROTEGIDO: la operación en modo real del 80286 hace que funcione como un microprocesador 8086 o 8088. La operación en modo real limita la cantidad de memoria disponible hasta 1 Mbyte. La operación en modo protegido permite direccionar al 80286 16 Mbytes de memoria.

MULTIMEDIA: se le llama así a la técnica que le permite al computador manejar de manera intreractiva texto, sonido, fotos, e imágenes en movimiento (video animado y sonoro). En español se le llama "multimedios", dado que es la integración coordinada de los distintos medios de información (gráficos, escritos y hablados) para obtener resultados más convincentes.

OSCILADOR: hace funcionar todos los relojes y cronómetros dentro del computador

POLLING: proceso de sondear, para saber si un dispositivo requiere una interrupción.

SRAM: es la memoria implementada con circuitos integrados que no necesitan refrescamiento, lo cual permite que la CPU trabaje de manera más eficiente, y dedique todo el tiempo al proceso de los programas. Es llamada también "Memoria Caché".

TARJETA MADRE: tarjeta principal del computador, donde están conectadas todas las piezas de éste. En ésta, se encuentra enchufadas las tarjetas de expansión, el microprocesador y los chips de memoria.

INTRODUCCIÓN

Todo tipo de computador debe tener comunicación entre el CPU y los diferentes subsistemas que lo componen, ya que éste debe comunicarse con la memoria, enviando y recibiendo datos, así como con los dispositivos de entrada/salida. La realización de esta comunicación se hace a través del **bus de datos**.

Dado que éste es el encargado de llevar la información de un lugar a otro, su estudio es importante. Sin él no se podrían comunicar las diferentes partes del computador, y por lo tanto, dicha comunicación debe ser rápida y fiable, pues todos los subsistemas del computador usan el mismo bus.

El bus ha llegado a ser conjuntamente con el microprocesador, en una Computadora Personal (denominada en este trabajo como "PC"), el factor más crítico en el desempeño y en diferenciación entre clases de computadoras. Las direcciones que toma el desarrollo de éstos determina el comportamiento de las computadoras en el futuro.

Sabiendo la importancia de este dispositivo de comunicación en un computador, en este estudio se recopila la información acerca del tema para ofrecerla a personas interesadas.

El presente trabajo contiene la historia de la evolución de los buses de datos, hasta llegar a nuestros días, así como los conceptos básicos necesarios para poder comprender la información que se proporciona.

También expone las principales características de cada uno de los buses, así como una descripción de las mismas.

Entre los puntos importantes tratados, está la tendencia de los buses, es decir, cómo se comportarán en el futuro.

FUNDAMENTOS DE LOS BUSES

CAPÍTULO I

Toda computadora está dividida en componentes, y la interacción entre éstos requiere la transferencia de información sobre las líneas de bus común. **Un bus es un conjunto de líneas asociadas utilizadas para transferir datos digitales de un lugar a otro.** El más sencillo es un conjunto de una o más líneas de datos que transmiten palabras de datos de un dispositivo a otro.

El bus de expansión de la Computadora Personal (denominada en este trabajo como "PC"), hace que el sistema crezca. Provee una conexión rápida para periféricos internos, que mejoran el poder de la misma.

Éstas obtienen su versatilidad con las ranuras de expansión. Una computadora se puede convertir en lo que se desee, siempre y cuando se seleccionen apropiadamente las conexiones que ha de realizar en la tarjeta madre. La expansión de las tarjetas madre puede hacer a una PC modesta que entre en la extravagancia de la multimedia, que se haga infalible una base de datos, y que tenga mayor velocidad de respuesta en el sistema o extender las capacidades del sistema de trabajo.

Una ranura de expansión es sólo un espacio en la tarjeta madre. El poder real para dar capacidad al sistema viene de las conexiones proporcionadas por la ranura de expansión. El bus de expansión es el conector eléctrico que se pone en la ranura, el cual es eléctricamente el cordón umbilical de la computadora, que consiste en una conexión directa con el sistema lógico circulatorio de ésta, que deja unir otras partes al sistema de expansión.

El propósito del bus de expansión es habilitar la conexión de los componentes dentro de la máquina, y se espera que refuerce el funcionamiento de la misma. Los buses no son tan simples como se mira; realmente son mucho más que conexiones eléctricas simples como la conexión de una lámpara.

Los circuitos de éste transfieren no solamente electricidad, sino que llevan también información. Como la computadora trata con muchos datos, la información es definida por una secuencia de códigos especiales y un patrón de bits digitales.

La conexión del bus transfiere perfectamente los datos. Para prevenir errores, todos los diseños de bus incluyen señales extras de control de flujo de información; y se ajustan al porcentaje de límites de velocidad de la máquina y sus accesorios de expansión (tales como lectores ópticos, scanners e impresoras), y también ajusta el patrón digital para que haga juego con las variaciones del diseño. En cada bus diferente, los fabricantes aprovechan las señales requeridas para el control y la traslación, y las variaciones del diseño gobiernan la forma en que la PC crece. Como resultado de esto, las normas de bus para éstas son los que determinan qué productos de trabajo serán compatibles, es decir que el diseño de los buses de expansión limitan la forma de ejecución de un sistema y asimismo su capacidad.

1.1 FUNDAMENTOS DEL BUS

Aunque el concepto de bus de expansión sea simple, extendido y vinculado con las señales del sistema, no siempre son prácticos. Cada bus representa un sistema complejo de elecciones de diseño;

algunos fueron hechos por necesidad y muchos los escogieron pragmáticamente. No todos los buses comparten las mismas capacidades, pues ellos fueron diseñados para sistemas y propósitos diferentes.

La gama de funciones del bus es amplia. **Entre estas está la manipulación de los datos y el dirigir las líneas de dirección al microprocesador.** Además, son requeridas señales especiales para sincronizar lo que realizan los accesorios de expansión, con lo que hace la computadora anfitrión. Los diseños más nuevos también incluyen medios de delegar el control del sistema, para aumentar a sus productos una velocidad extra en la transferencia de datos. Las funciones más importantes de los buses de expansión se verán a continuación.

1.1.1 COMPARTICIÓN DE DATOS

La función más importante de cualquier bus de expansión es la de definir la capacidad de compartir información entre la computadora anfitrión y los accesorios de expansión. El bus debe de proveer las conexiones necesarias para mover datos entre los circuitos, el microprocesador y el resto de la computadora.

La información puede transferirse por medios consecutivos (seriales) o paralelos; las computadoras personales usan buses paralelos de datos que permiten el traslado de información de uno o más octetos a la vez.

El bus de expansión debería tener una velocidad de transferencia igual al del microprocesador; de esa manera una palabra digital entera o una palabra doble (32 bits) podría enviarse en un ciclo de reloj; con un bus estrecho, en cambio, el dispositivo que envía o recibe señales debe reempacar la información para la transmisión, dado que la palabra debe ser enviada o recibida en dos palabras o cuatro octetos para adaptarse a 16 o 8 bits del bus. Las conexiones que se utilizan para manejar esto en la tarjeta madre y la tarjeta de expansión se complica cuando el bus de expansión es estrecho, y demora los traslados; por ejemplo, cuando se traslada una palabra doble, puede ser que se realicen dos o cuatro cambios de datos. Hoy en día, todavía no se logra que los buses de expansión logren tener una velocidad igual a la del microprocesador; esto se concretará más adelante cuando se explique cada bus y sus características básicas.

El factor fundamental al describir un bus de expansión es el número de líneas de datos que provee. Cuanto más líneas mejor, aunque al agragar más allá del número de conexiones de datos del microprocesador anfitrión, se aumente la complejidad.

1.1.2 DIRECCIONAMIENTO

Un bus puede transferir información sin referirse a las direcciones de memoria; sin embargo, tener disponible la información de dirección, incrementa la flexibilidad del mismo. Por ejemplo, haciendo las direcciones disponibles sobre el bus, se habilita el poder de incrementar normalmente el sistema de memoria con tarjetas de expansión, ya que al direccionar, se pueden transferir datos en forma directa a memoria, y tener acceso aleatorio a los datos, así como encaminar la información a una localidad exacta en memoria, o desde ella. Las tarjetas de expansión deben ser hábiles, pues deben

dirigir los datos por orígenes y destinatarios. El método más fácil de hacer esto es por medio de las líneas de dirección del bus de expansión, que corresponden a las líneas de dirección del microprocesador.

Con las líneas de dirección del microprocesador, el bus determina el rango de direccionamiento de memoria que puede alcanzar. Comúnmente un bus provee un rango de direcciones, que es el usado en cualquier microprocesador. Algunos buses tienen un cambio en el número de líneas de dirección, cuando las direcciones no incluidas son las del límite más alto del rango (los bits más significativos de las direcciones); esto pone algunas direcciones fuera de los límites de las tarjetas de expansión. Por ejemplo, cuando un 386 es conectado a un bus antiguo, su rango de direcciones es superior al alcance del bus, y se derrochan varias ubicaciones potenciales de memoria.

1.1.3 PODER

Aunque todos los dispositivos eléctricos requieren alguna fuente de electricidad para operar, ninguna ley requiere que un bus de expansión proporcione ese poder. Por ejemplo, cuando se conecta una impresora a una computadora, ésta generalmente es conectada en el toma corriente de la pared. En forma similar, las tarjetas de expansión podrían tener su propia fuente de energía. Proveer este poder sobre el bus de expansión le hace la vida más fácil a los diseñadores. Ellos no tienen que preocuparse por los requerimientos del diseño, o costos de agregar fuentes de poder, tales como paneles solares, generador magnético, o reactores fríos de fusión a sus productos.

Por convenciones de hoy, la mayoría de los circuitos de lógica digital requieren cinco voltios de corriente directa para que operen; la mayoría de los buses de expansión se diseñan para proporcionar un flujo copioso de potencia. Algunos dispositivos tienen más requerimientos extensivos, por ejemplo, abastecer con una corriente negativa de cinco voltios o doce voltios (positivos y negativos) para funciones especiales, tanto es así, que la mayoría de los buses de PC también tienen esos voltajes disponibles. Sin embargo, los buses más antiguos no usaban más que lógica de 3.3 voltios, que es usada por el bajo poder de los microprocesadores y sus conexiones asociadas. Esa omisión no hace a los buses antiguos totalmente incompatibles con la lógica nueva, porque con reguladores de voltaje se puede bajar y así abastecer al nivel correcto. Los diseños nuevos están provistos de una nueva construcción para circuitos de alto voltaje.

Todo circuito eléctrico completo requiere dos cables: uno para enviar el poder del origen y otra línea para regresarlo. Por ejemplo, cada pila tiene una terminal positiva y una negativa; ambos deben ser conectados para hacer que fluya la electricidad. En una computadora personal, el circuito de regreso para todas las conexiones de poder es la tierra del sistema, y todos los voltajes de los buses de expansión se referencian a este para conectarse. El conductor positivo tiene un poder de cinco voltios más altos que la potencia de tierra, y el negativo, un poder de menos cinco voltios. En consecuencia, la diferencia entre los +5 y los -5 voltios de los conductores del bus de expansión de la computadora personal son diez voltios. Todos los circuitos, que se encuentran dentro de una computadora personal (señales lógicas y el poder) comparten una línea común de regreso, la cual es la tierra del sistema.

Aunque estas señales pueden aparecer en varios lugares sobre un bus, todas deben estar eléctricamente unidas.

1.1.4 CONTROL DE FLUJO

Aun cuando la operación de una tarjeta de expansión se sincroniza con su PC anfitrión, la tarjeta no podría ser capaz de mantener el paso de las necesidades de velocidad de la computadora. Por ejemplo, una tarjeta serial podría ser capaz de aceptar datos a 1,000 caracteres por segundo, mientras la computadora genera la información mil veces más rápido. Si la PC envía los datos tan rápido como puede, la tarjeta no podría con toda esta información, pues la pierde al no poder retenerla.

Para evitar tales pérdidas, en vista de que existe esta disparidad de velocidad, se tiene que entre la tarjeta de expansión y la PC anfitrión, en la mayoría de los buses de expansión, están incluidas las señales de control de corriente. En la forma más simple, la tarjeta envía una señal especial "no preparada" a través del bus, que advierte al anfitrión, para esperar hasta que se pueda enviar datos. Cuando ya puede recibir más información, envía la señal "preparada" y la PC anfitrión descarga más datos sobre la tarjeta.

El diseño original de bus de expansión sigue el patrón del microprocesador para hacer transferencia de datos (después de todo, el bus es simplemente una extensión del microprocesador). Cada traslado requiere por lo menos dos ciclos de reloj. Primero, el microprocesador usa un ciclo para señalar a qué ubicación de memoria está siendo dirigida. El envío de los datos requiere un segundo ciclo de reloj. Como resultado de esto, los datos reales son puestos a una velocidad menor que la del reloj del bus. Estos dos ciclos, para el modo de traslado, tienen una gran ventaja, pues cada transferencia de datos incluye una dirección individual, y permiten el acceso aleatorio. Cualquier traslado puede hacerse a cualquier ubicación válida en la memoria. Por otra parte, un movimiento en dos ciclos es ineficiente. Cuando el acceso aleatorio no es requerido, los buses modernos pueden cambiar a modo de alta velocidad. Los microprocesadores y los buses derivados de ellos ofrecen ahora un nuevo modo: el "Modo Ráfaga", en el que varios traslados de datos ocurren después de un único ciclo de dirección.

Algunos buses de expansión avanzaron, yendo más lejos, pues los traslados de grandes bloques de datos se realizan como ráfagas, y el trabajo fue independiente del diseño del microprocesador anfitrión. El modo llamado "Modo de flujo de datos", que en un ciclo único de dirección puede ser seguido por muchos ciclos de datos, tantos como se pueden enviar a través del bus, antes de que algún otro sistema requiera su funcionamiento (tal como el refrescamiento de memoria). Cuando se mueven grandes bloques de bytes con el modo de flujo de datos, se puede doblar la velocidad de envío; esto sólo es para datos secuenciales contiguos. Se sacrifica el acceso aleatorio para tener mayor velocidad.

El computador anfitrión y la tarjeta de expansión deben de ser diseñados para trabajar en ambos modos, por ráfagas y por flujo de datos.

1.1.5 CONTROL DEL SISTEMA

En una computadora personal moderna, los periféricos cambian frecuentemente la información. Muchas computadoras personales necesitan comunicarse con el microprocesador anfitrión, por ejemplo, para forzar la entrada de la corrida de un programa cuando se tienen datos que necesitan ser procesados. Esta es la necesidad que tienen los periféricos de enviar señales que interrumpan al microprocesador para ganar su atención. Todos los buses de expansión están provistos por una o más señales de interrupción, para este fin. La mayoría de éstos también están provistos para dar a las tarjetas de expansión control sobre el Acceso Directo a Memoria (DMA), y pueden tener el control de apagar el sistema totalmente.

1.1.6 DOMINIO Y ARBITRAJE DEL BUS

En los primeros días de las computadoras personales, la operación entera del bus de expansión era controlada por el microprocesador de la computadora anfitrión. El bus fue conectado directamente al microprocesador; de hecho, el bus era una pequeña extensión de las conexiones sobre el chip. El bus se conectó directamente al microprocesador por medio de las líneas de datos y de dirección, al cual se le llamo bus local, lo que significa que se atenderán únicamente a los componentes que son vecinos cercanos del microprocesador. Sin embargo, otra tecnología ha usurpado el termino "bus local", y en términos actuales, una computadora con bus local es generalmente la que tiene un bus local al estilo de la interface de buses de expansión, así como también otras tecnologías de bus.

Usando este diseño de conexión directa, cada octeto transferido a través del bus, es movido por el microprocesador. Usando las instrucciones de movimiento de datos, el microprocesador coloca octetos en las direcciones de memoria indicadas en las tarjetas de expansión. Por ejemplo, cuando el microprocesador quiere poner un octeto desde uno de los registros en la memoria, en un ciclo de bus, envía la dirección a la que quiere enviar los datos; el sistema de memoria entonces prepara la dirección para recibir los datos. En el próximo ciclo, el microprocesador pone los bits de los datos en el bus, y el subsistema de memoria colecta los bits y los almacena en la DRAM (RAM dinámica). La velocidad de esta simple operación de transferencia de bus es regida por la velocidad del bus, la cual está unida directamente a la velocidad de microprocesador. La mayoría de las operaciones del bus no son tan simples, sin embargo, el microprocesador debe ir analizando cada una de las instrucciones del lenguaje de máquina para transferir cada octeto. Con estas transferencias más complejas, la velocidad real del microprocesador domina todos los otros factores en la determinación del desempeño del bus. Esta carga cae sobre el microprocesador, si es o no la fuente o el blanco de los traslados del bus, y aun cuando el chip no debería estar involucrado en el traslado, por ejemplo, cuando los octetos deben moverse desde el disco duro a la memoria de video para poner una imagen almacenada sobre la pantalla del monitor.

El microprocesador no necesita cargar con el control del bus de expansión, sin embargo, así como un ejecutivo delega todo su trabajo hacia sus subordinados, el microprocesador de una computadora puede delegar el control del bus a circuitos especiales, dedicados a las tareas. Un Acceso Directo de Memoria o controlador DMA hace exactamente esto. Con un chip DMA se controla el

movimiento exacto de datos, aunque todavía el microprocesador frecuentemente debe establecer y examinar los traslados que hace el DMA, atado al chip a lo largo del traslado de bus.

Los buses más nuevos rompen la conexión directa con el microprocesador, y adjudican la autoridad de control de transferencias del bus a circuitos lógicos especiales, para que éstos arbitren al bus de expansión. Cuando se tiene un arbitro de bus, el microprocesador le cede todo su poder y toma un lugar igual al de los buses de expansión del sistema. Aunque el microprocesador todavía controle los traslados de bus que éste origina o recibe, no necesita involucrarse en los traslados que hay entre otros dispositivos del sistema.

Un dispositivo que toma el control del bus de expansión para mediar sus propios traslados es un dueño de bus (Amo de bus). El dispositivo que recibe los datos desde el dueño de bus se llama el blanco o esclavo de bus. Las conexiones centralizadas en este diseño realmente no hacen nada más que determinar qué dispositivo toma el control del bus; éste es el proceso llamado arbitraje de bus.

1.1.7 SEÑALES ESPECÍFICAS DE LAS RANURAS

Las señales de las ranuras están conectadas directamente con otras conexiones, o sea que el pin uno en cada conector del bus se compara con el pin uno de cualquier otro conector de bus, y la señal que aparece sobre cualquier número determinado de pin, aparece en todas las ranuras, sobre exactamente el mismo número de pin. Este diseño hace igual a cada ranura y permite conectar cualquier tarjeta de expansión en cada ranura.

Sin embargo, todo esto tiene la desventaja de que individualmente es difícil comunicar a una tarjeta de expansión. Típicamente se necesita algún protocolo elaborado. El anfitrión debe enviar una señal que apaga todo, pero la tarjeta deseada usa alguna forma de sistema de identificación.

Varias tarjetas de expansión, sobre todo las nuevas, incluyen ranuras con señales específicas para que se conecten en forma individual y únicamente en cada ranura. El computador anfitrión puede usar estas señales para apagar o encender las características individuales que existen en las tarjetas (cambiar configuración).

La mayoría de los sistemas usan una única señal específica para un pin dado (el mismo pin en cada ranura, pero una diferente señal de ranura en el pin en cada ranura). Esta señal específica de ranura se usa principalmente durante la prueba y configuración. Cada tarjeta puede activarse individualmente para probarse, y la tarjeta (o las partes separadamente controlables) puede cambiarse si se encuentran defectuosas. Las señales específicas de la ranura también se usan individualmente para averiguar acerca de las tarjetas de expansión, sobre el uso de recursos, el puerto, y si los conflictos de memoria son administrados automáticamente por el sistema anfitrión. Esta configuración automática simplifica la configuración del sistema, pues se eliminan los selectores de configuración.

1.1.8 COMPUTADORAS CON MÚLTIPLES BUSES

Ninguna ley establece que las computadoras tengan un único bus de expansión. De hecho, un único bus impone una gran privación de velocidad y restringe el diseño de la computadora personal. Cuando los periféricos de expansión y memoria se conectan al mismo bus, todos los periféricos tienen que demorarse a la velocidad activa del dispositivo más lento en el sistema, porque la memoria se construyó en la tarjeta madre de la computadora y debe conectarse al bus del microprocesador; con un solo bus de computadora, la memoria debe someterse a las mismas restricciones de velocidad que tiene impuestas el bus de expansión, por tener tarjetas lentas. En otras palabras, una PC de 50 MHz demora a 8.25 MHz cada vez que accesa a la memoria, lo cual significa la mayoría del tiempo.

Para conseguir más velocidad fuera de la máquina, puesto que se quiere que el microprocesador y la memoria corran lo más rápido posible, es separar la memoria de las funciones de entrada y salida. Se puede dividir el bus de expansión en dos niveles de controlador de bus, el proveer trayectorias paralelas de datos a la memoria y la entrada/salida al bus de expansión. El bus de expansión puede correr bajo ocho megahertz o más, para que afuera los componentes de expansión corran realmente.

A principios de 1987, Compaq Computer Corporation hábilmente avanzó al dar solución a este problema con la introducción de su primer Deskpro 386, que operó a 16 MHz. Con el primer bus dual de PC, el Deskpro era la primera máquina provista de un bus separado para operar la memoria a la velocidad del microprocesador, y para las operaciones de entradas/salida, lo que hace que a bajas velocidades, las tarjetas de expansión puedan ser toleradas. Todas las computadoras personales modernas ahora usan este diseño de bus o un derivado aun más complejo.

Pero dos buses no son suficientes para dos funciones críticas de la computadora, gráficas de alta resolución y almacenamiento masivo. La cantidad de información que necesita ser movida al almacenaje masivo o un sistema de video por un rápido microprocesador, está lejos de exceder la capacidad del tradicional bus de expansión; pero la necesidad de controlar las gráficas y el almacenaje masivo, lo complica, pues el bus de memoria es lento. Consecuentemente, a principios de 1991, los diseñadores comenzaron a incorporar un tercer bus dentro sus sistemas; un bus rápido especialmente diseñado para las necesidades de discos duros y sistemas de video, además del bus de memoria y del tradicional bus de expansión, que es compatible con las tarjetas de expansión convencionales. El nuevo y rápido bus operó frecuentemente en el microprocesador a una velocidad mejor que la del original bus local de PC; este tercer bus se le llama frecuentemente bus local. La PC tiene realmente tres buses: el bus de computadoras que tienen este bus local y además otros dos buses de expansión convencionales.

1.1.9 LIMITACIONES QUE DAN LAS RANURAS DE EXPANSIÓN

Las frecuencias altas, radiación, y los otros efectos eléctricos son factores que limitan el número de ranuras de expansión que pueden estar juntas en un sistema determinado de bus. Estos límites llegan a ser especialmente evidentes con sistemas de bus local que operan a velocidades altas de reloj. Todas las normas actuales de bus local limitan a tres el número de dispositivos rápidos que pueden conectarse al único bus.

Nótese que se tiene límite en dispositivos y no en ranuras. Muchos sistemas de bus local usan una conexión de bus local para conectar las tarjetas madres basadas en sistemas de display. Estos circuitos cuentan con un dispositivo de bus local, una computadora con bus local para el video en la tarjeta madre, que puede ofrecer en más de dos ranuras de expansión de bus local.

Tres es el límite de dispositivos, según los resultados de las consideraciones de velocidad. El bus más grande tiene la capacitancia más alta entre los circuitos (porque ellos tienen una distancia más larga sobre la que trabajan recíprocamente); cada conector agrega más capacitancia. ¿Como incrementar velocidad, si la capacitancia del circuito degrada cada vez más sus señales?. La única manera de superar las pérdidas por capacitancia es comenzar con más señales. Para guardar las señales de bus local en niveles razonables y aún para mantener la alta velocidad, las normas establecen un mínimo de tres dispositivos como límite.

Es posible trabajar al rededor de los límites de ranuras. Una computadora puede acomodarse a múltiples buses de expansión conectados, a la vez. Cada uno de estos subbuses usa sus propias conexiones de control. En el efecto, este diseño es equivalente a computadoras personales múltiples íntimamente vinculadas.

1.1.10 LA COMPATIBILIDAD

Para que un bus de expansión sea útil, debe ser compatible con las tarjetas de expansión. Con la tarjeta, un bus logra compatibilidad y con esto se obtiene más utilidad y éxito en una determinada norma de bus de expansión.

Para la mayoría de la gente, el nivel más importante de compatibilidad es el estilo de tarjetas de expansión de la PC convencional, usadas por los sistemas IBM PC en 1981, y en 1984 con la AT. Los sistemas compatibles con estas dos normas ofrecen mejores beneficios.

Dos niveles de tarjetas antiguas compatibles son disponibles. El nivel de compatibilidad de la ranura asegura que las tarjetas antiguas se puede conectar en la misma ranura como tarjetas que siguen cualquier norma se usa en la computadora anfitrión; en otras palabras, con la ranura compatible, se puede conectar cualquier tarjeta antigua en cualquier ranura y trabajar con ésta. Una razón para avanzar al nuevo diseño de bus es usar el desempeño de tarjetas nuevas.

1.2 CLASIFICACIÓN DE LOS BUSES

Se tienen varias clasificaciones del bus: buses de entrada y salida, bus CPU-memoria, bus de datos, bus de direcciones, bus de control, paralelo, serial. A continuación, se da una explicación de cada uno de ellos.

1.2.1 BUS DE ENTRADA / SALIDA

Los buses de entrada/salida pueden ser largos, tener muchos tipos de dispositivos conectados a ellos, contar con un amplio rango en el ancho de banda de datos de los dispositivos conectados a ellos, y normalmente seguir un estándar de bus. (véase fig. 1.1)

1.2.2 BUS CPU-MEMORIA

Estos buses por lo general son cortos, generalmente de alta velocidad, y adaptados al sistema de memoria para maximizar el ancho de banda Memoria-CPU. Durante la fase de diseño, el diseñador de bus CPU-Memoria conoce todos los tipos de dispositivos que deben conectarse juntos, mientras que el diseñador del bus de E/S debe aceptar dispositivos que varían en posibilidades de latencia y ancho de banda. Para bajar costes, algunos computadores tienen un solo bus para memoria y dispositivos de E/S. (véase fig. 1.1)

1.2.3 BUS DE DATOS

Es usado para transferir los datos del microprocesador a la memoria o interconexión y viceversa, la cual es seleccionada por el bus de direcciones. El bus de datos es bidireccional, lo cual significa que la información binaria puede fluir en cualquier dirección.

Este bus es bidireccional, ya que de no ser así, se deberían tener en los dispositivos, CPU y memoria de 2 terminales: una de entrada y la otra de salida, lo cual crea un computador no sólo más caro sino más complicado.

Este bus se usa para transferir datos en paralelo de los emisores a receptores; éste también transfiere ciertos comandos del controlador a módulos subordinados. (véase fig. 1.2)

1.2.4 BUS DE DIRECCIONES

El bus de direcciones es unidireccional desde el microprocesador a otras unidades. La información binaria que el microprocesador coloca en el bus de direcciones especifica una palabra de memoria particular en la RAM o ROM. El bus de direcciones se usa también para seleccionar una de las diferentes unidades interconectadas al sistema o a un registro particular de una unidad de interconexión. Hay dos formas de diferenciar una dirección (si estamos direccionando memoria o un dispositivo de entrada/salida):

- a) Asignándole direcciones distintas a cada posición de memoria de los dispositivos.
- b) Por medio de las señales de control (bus de control), se sabe qué es lo que está seleccionando (memoria o dispositivo).

Cuando lo que se está direccionando es memoria, la capacidad máxima de direccionamiento es 2^n , donde n es el ancho de banda del bus de direcciones. (véase fig. 1.2)

1.2.5 BUS DE CONTROL

No todos los computadores tienen un bus de control, pues algunos usan el bus de datos para enviar señales, y otros direccionan dispositivos y memoria de formas diferentes para no tener que especificar en este bus lo que se está haciendo. En síntesis, un bus de control es el que lleva la información, de que si lo que se está accediendo (o desee acceder) es un dispositivo o memoria, para poder saber que es lo que se debe de habilitar en un momento dado. (véase fig. 1.2)

1.2.6 PARALELO

Un bus en paralelo de entrada/salida es bastante similar al bus del sistema, y es diseñado para acoplar dispositivos de entrada/salida con grandes velocidades de transferencia, tales como la memoria de discos o instrumentos de medida complejos. Frecuentemente está bajo el control directo de un procesador de entrada /salida que puede ejecutar programas de entrada/salida; de ese modo libera a la CPU para otras tareas. (véase fig. 1..3)

1.2.7 SERIAL

Los buses seriales de entrada/salida sirven para interconectar los dispositivos de entrada/salida relativamente lentos, tales como terminales interactivos e impresoras, a una microcomputadora. Comúnmente para efectuar interfaces de un bus serie con el bus del sistema se utiliza un receptor - transmisor universal asíncrono o UART (Universal Asynchronous Receiver-Transmitter). También para conectar una microcomputadora a un modem y de éste a una red telefónica, puede utilizarse un bus serie. (véase fig. 1..3)

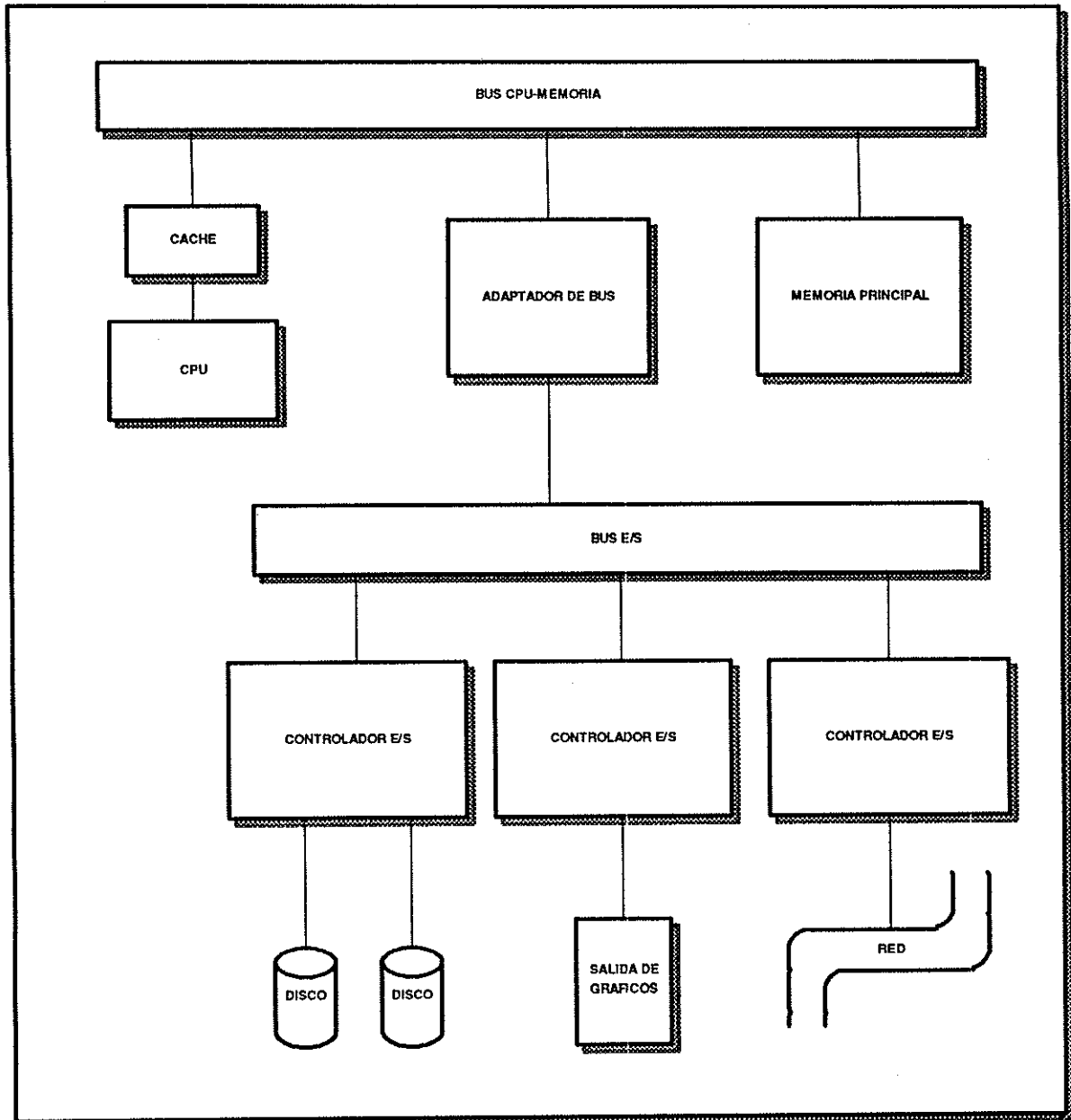
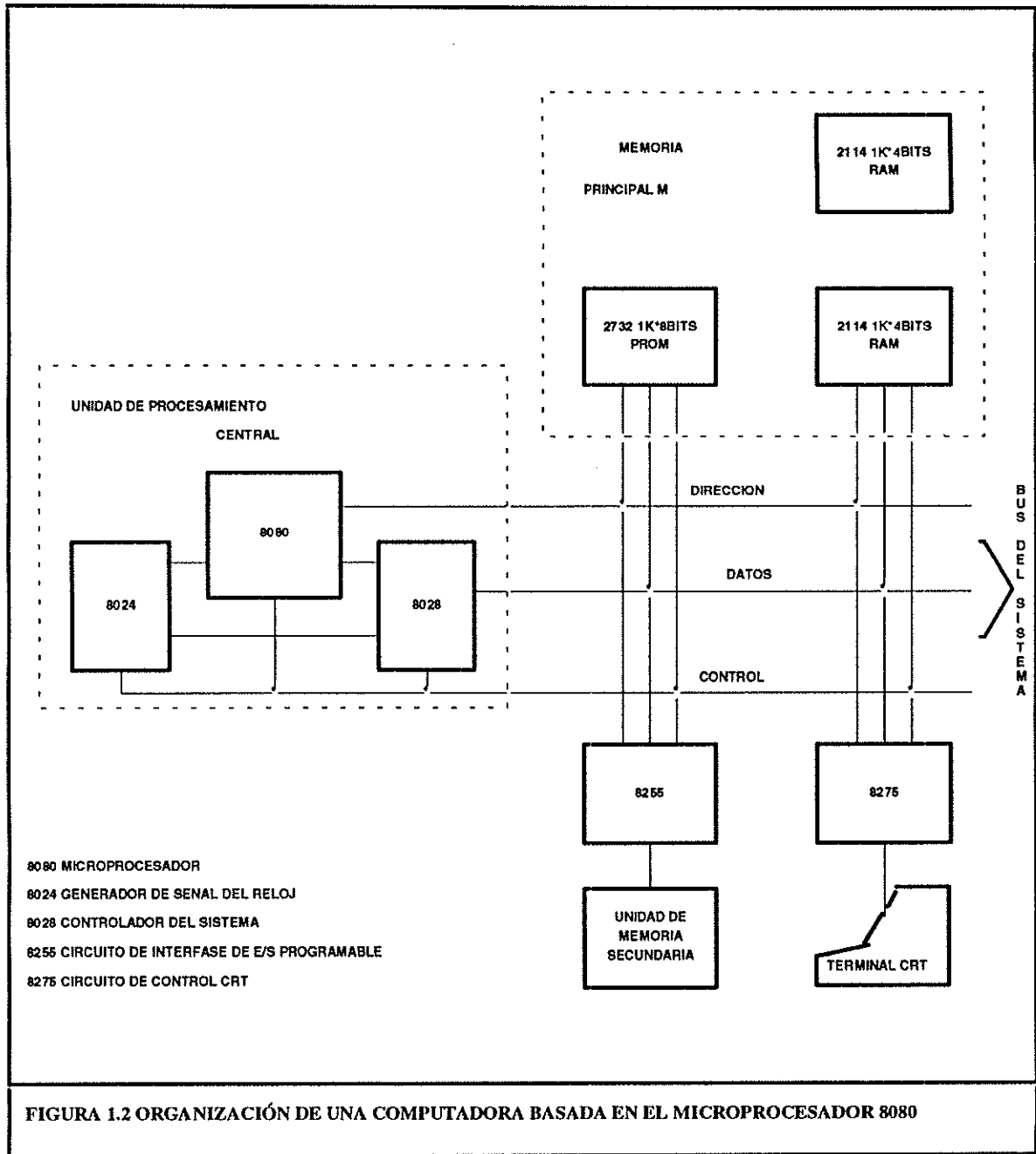


FIGURA 1.1 INTERFAZ TÍPICA DE DISPOSITIVOS DE E/S Y UN BUS DE E/S AL BUS CPU-MEMORIA



Clasificación según tipo de reloj

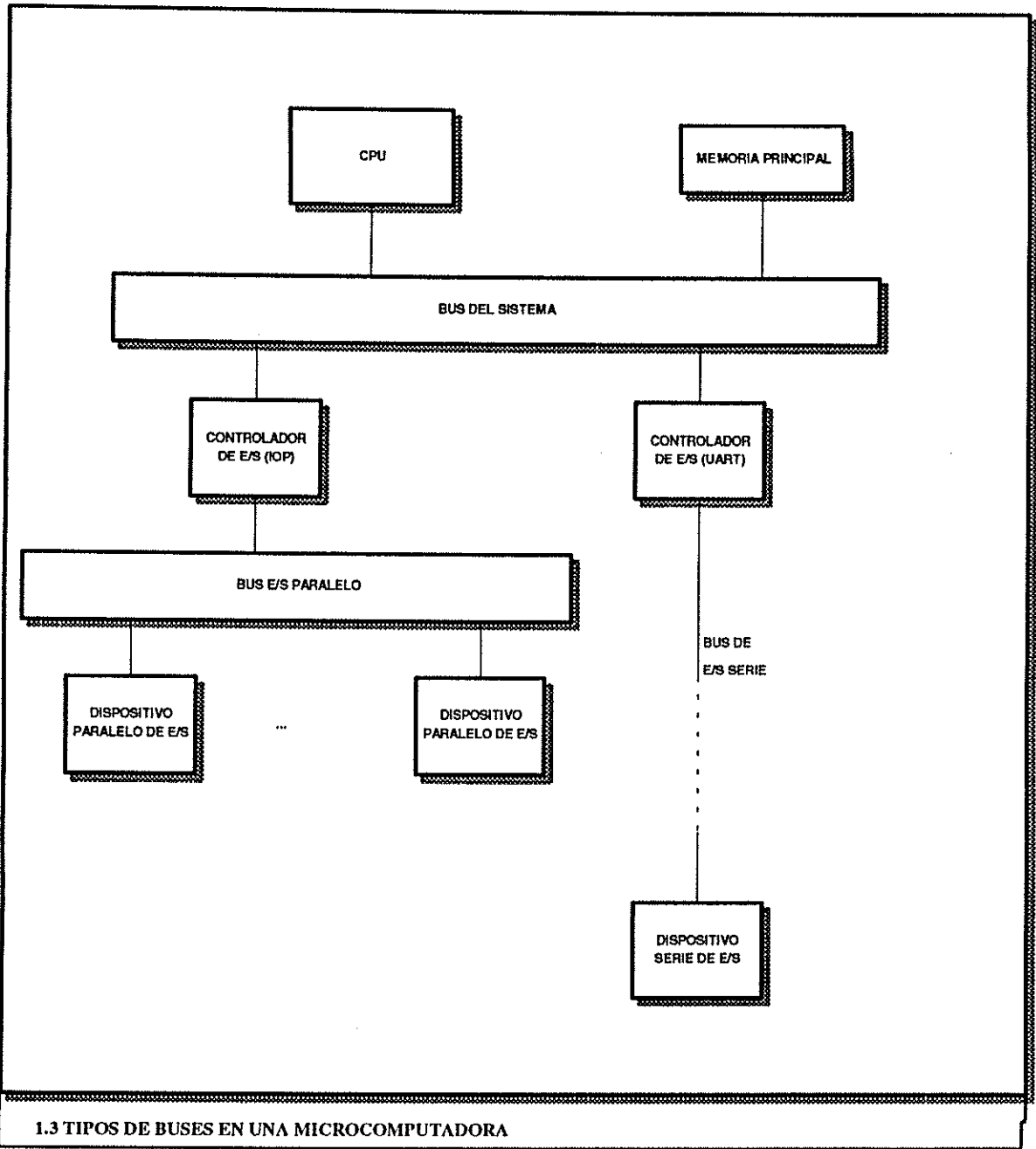
1.2.8 SÍNCRONO

Si un bus es síncrono, trae incluido un reloj en las líneas de control y un protocolo fijo para direcciones y datos relativos al reloj. Como se necesita ninguna o muy poca lógica para decidir qué hacer a continuación, estos buses pueden ser rápidos y baratos. Si embargo, tiene dos desventajas importantes. Primero, que todo lo que pase por el bus debe de correr a la misma frecuencia de reloj, y debido a los problemas de solapamiento de reloj, los buses síncronos no pueden ser largos. Segundo, que los buses de CPU-memoria son normalmente síncronos. (véase fig. 1.4)

1.2.9 ASÍNCRONO

Este bus no tiene reloj, en su lugar, se utilizan protocolos autotemporizados de establecimiento de comunicación entre emisor y receptor en el mismo. Este esquema hace mucho más fácil acomodar una amplia variedad de dispositivos y la longitud del bus, sin que importen los solapamientos de reloj ni los problemas de sincronización. Si se puede utilizar un bus síncrono, habitualmente es más rápido que un bus asíncrono, debido a los gastos de sincronización del bus para cada transacción; la elección del bus sincrónico frente al asíncrono tiene implicaciones no sólo por el ancho de banda de los datos, sino también por la capacidad del sistema de E/S en términos de distancia física y número de dispositivos que se pueden conectar al bus; los buses asíncronos a escala son mejores con los cambios tecnológicos; los buses de entrada y salida son normalmente asíncronos. (véase fig. 1.4)

La transferencia asíncrona de datos es especialmente importante en buses de comunicación, ya que permite transferir eficientemente datos entre dispositivos con velocidades de comunicación muy diferentes.



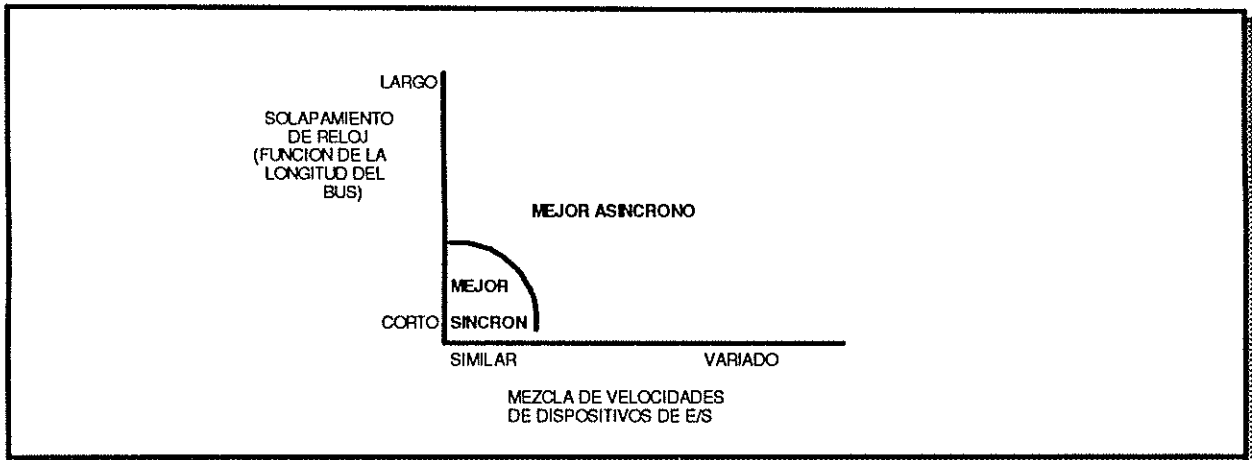


FIGURA 1.4 Tipo de bus preferido como función del solapamiento longitud/ reloj y variación de la velocidad del dispositivo de e/s. Lo sincrónico es mejor cuando la distancia es pequeña y los dispositivos de e/s en el bus, todos transfieren a velocidades similares.

La tabla siguiente resume las principales opciones para un bus de PC:

Error! Bookmark not defined. OPCIÓN	ALTO RENDIMIENTO	BAJO COSTE
Ancho del bus	Direcciones y líneas de datos separadas	Múltiples direcciones y líneas de datos
Ancho de los datos	Más ancho es más rápido	Más delgado es más barato
Tamaño de transferencia	Múltiples palabras tienen menos gasto de bus	La transferencia de una sola palabra es más barato
Amos del bus	Múltiple (requiere arbitración)	Único amo (no arbitración)
¿Divide transacción?	Sí-esperar paquetes de Petición y Respuesta obtiene un ancho de banda mayor (necesita múltiples maestros)	No- la conexión continua es más barata y tiene menos latencia.
Reloj	Síncrono	Asíncrono

Opciones principales para un bus. La ventaja de los buses de datos y direcciones separados están principalmente en las escrituras.

1.3 HISTORIA

Por casi la primera década de la existencia de la industria de la PC, éstas fueron definidas por el bus de expansión que usaban. La corriente principal de computadoras, universalmente, se ajustaron al

conjunto estándar dado por la primera IBM PC del mercado. Los fabricantes de las tarjetas de expansión tienen un conjunto de dimensiones y esquemas de señales eléctricas para orientar los productos que se les adaptan, sin embargo, estas señales no son siempre definidas por IBM.

IBM fue el más importante fabricante de computadoras en el mundo; él creaba las normas y el mundo ciega y seguramente las seguía. El bus de expansión de la PC/XT y la AT no era técnico, pero estaba respaldado por IBM. El diseño de bus era arbitrario, asociado a la conveniencia y de bajo costo. Cuando la IBM PC llegó a ser un gran éxito, los fabricantes de productos de computadoras personales, tuvieron que adoptar el bus PC para diseñar sus productos, dado que solo así los podrían vender; de esta forma es como nació la norma.

Las computadoras crecieron en poder y encogieron en el tamaño, sin embargo, las deficiencias del diseño original llegaron a ser fácilmente evidentes. El bus original ofreció desempeño limitado y parejo, y derrochó el poder del microprocesador. El añadir dispositivos de expansión era engorroso, confuso, y frecuentemente teñido con el misticismo. También era grande para computadoras pequeñas y demasiado pequeño para computadoras grandes.

Después de 6 años de haber aparecido el bus PC, una segunda generación de buses de expansión siguió con diseños revolucionarios que se agregaron a la conveniencia, mientras sacrificaban costo y simplicidad. Los contrincantes de la segunda generación fueron "Micro Channel Architecture" (Arquitectura de micro canal) y su rival "Extended Industry Standard Architecture" (Arquitectura Estándar de la Industria Extendida); estas corporaciones gastaron sus primeros años en pelearse. Ellos tropezaron con que estos buses requerían volver a escribir software para aprovechar sus capacidades especiales.

La industria ha pasado a la tercera generación de los buses de expansión, ahora con tres nuevas normas, y son competidores directos, y cada uno es un especialista. El "Personal Computer Memory Card Industry Association" (Asociación de la industria de tarjetas de memoria para computadoras personales), que creó una norma para tarjetas de memoria con tamaño de una tarjeta de crédito, diseñada para computadoras notebook y otras de bolsillo, o sea sistemas de bajo poder. La corporación Intel creó un bus de expansión de alto rendimiento, el cual libera de las limitaciones impuestas por cualquier familia de microprocesadores, por eso esta norma es la más importante de la tercera generación. El "Video Electronic Standards Association" (Asociación de estándares de video electrónico) desarrolló un diseño de puente que agrega desempeño extra entre la primera y segunda generación de los buses de expansión, y ha minimizado las necesidades de rediseño y costos. Cada bus tiene su propio papel en el futuro de las computadoras personales.

PRIMEROS BUSES

CAPÍTULO II

Los principales componentes de una microcomputadora se comunican unos con otros a través de un conjunto de líneas compartidas conocido como bus del sistema (para computadores antiguos, véase figura 2.1). Este es un bus paralelo, ya que transmite datos en la forma de palabra de n bits a través de un subbus de datos, donde n es usualmente el tamaño de palabra de la CPU o memoria principal. Por supuesto, también pueden transferirse a través del bus palabras menores, no usando todas las líneas de datos disponibles. También se dispone de un bus de direcciones para transmitir números grandes para direccionar elementos fuente o receptores de datos conectados al bus del sistema. Las restantes líneas del bus son líneas de control que realizan varias funciones de control incluyendo la sincronización de las transferencias de datos, el control de acceso o de conexiones lógicas al bus del sistema y la transferencia de señales de interrupción. Cada uno de los diferentes primeros buses tiene características especiales, así como su propia manera de colocar las señales. A continuación, se describen los buses mas importantes de esta época.

2.1 BUS S-100

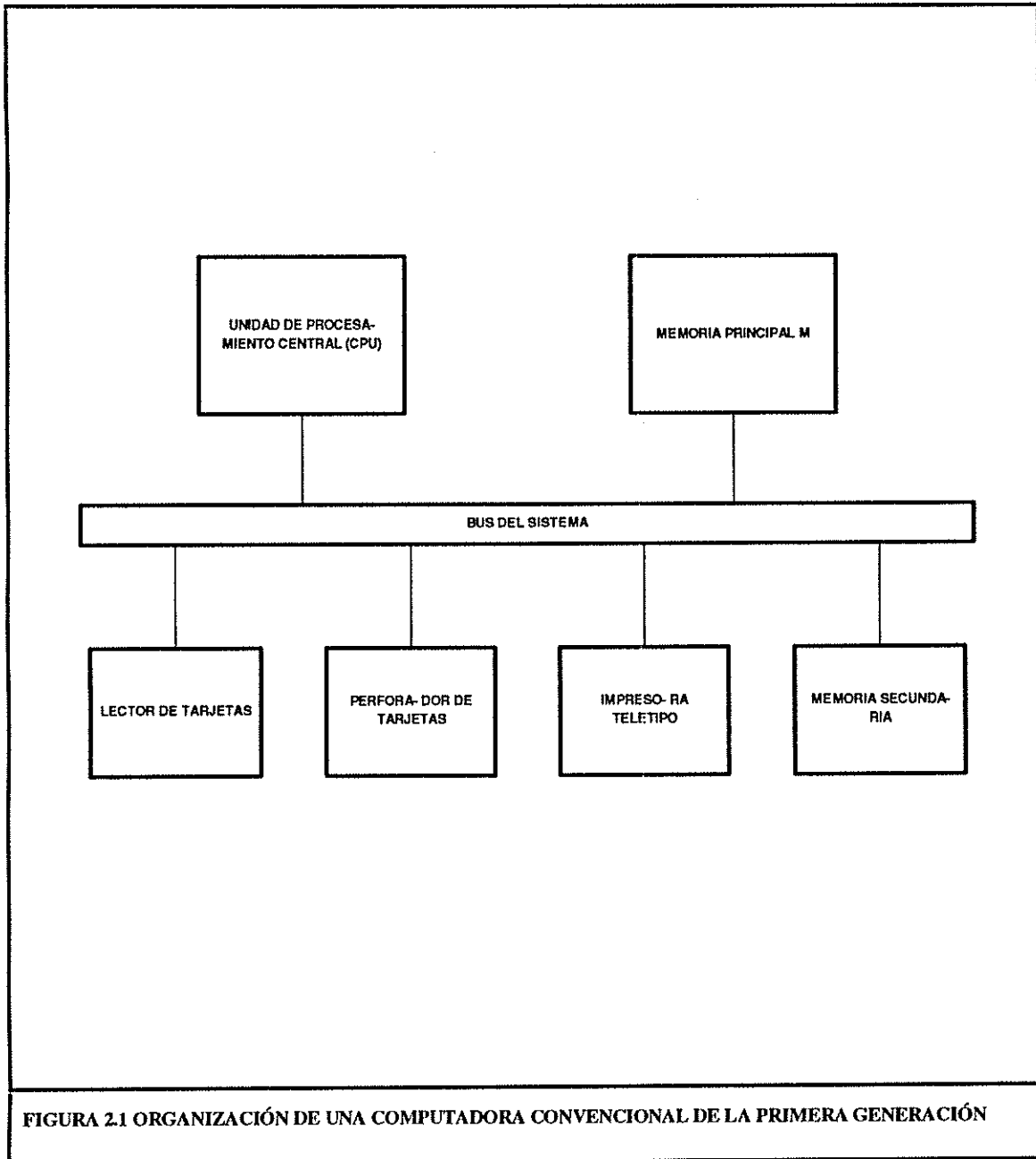
Era un bus de sistema de 100 líneas (véase fig.2.1), utilizado en la computadora Altair; máquina basada en el 8080, que fue introducida en 1974 por la ahora desaparecida MITS Inc. El Altair puede considerarse como la primera computadora personal PC, de bajo coste, y su bus S-100 rápidamente llegó a ser de hecho un bus normalizado para otras computadoras personales. Éste bus es la base para la norma IEEE 696.

El antes famoso bus S-100 de algunas computadoras está ubicado en una tarjeta llamada tarjeta madre, que normalmente se encuentra en la parte inferior de la computadora. Las cien líneas de señal del bus corren paralelamente de un extremo a otro de la tarjeta. Físicamente, las señales son transportadas por una película de metal depositada sobre una base aislante formando pistas. A lo largo de la tarjeta y colocados perpendicularmente a las pistas hay de 5 a 20 conectores, conectados a todas las líneas de señal del bus (pistas), y que permiten enchufar diversas tarjetas al S-100. Dichas tarjetas contienen funciones tan importante como la memoria, la unidad central de proceso y la interfaz de entrada/salida.

Ni el bus S-100 ni los conductores eléctricos tienen elementos activos; esto es, normalmente no contiene transistores ni circuitos integrados, aunque algunos fabricantes incluyen unos pocos de ellos en los que llaman circuitería terminal, cuya misión es minimizar el nivel de ruido a lo largo del bus. En algunos casos, parte de la fuente de alimentación, está en la tarjeta madre. Sin embargo, exceptuando la circuitería terminal y, desde luego, la fuente de alimentación principal; todos los elementos activos se localizan en las tarjetas, enchufada a los conectores del bus S-100.

2.1.1 DESCRIPCIÓN DE LAS SEÑALES DEL BUS

Este bus hasta 1979 tenía definidas 93 señales, y quedaron 7 sin definir para usos futuros. Todas las señales, excepto las de alimentación, están limitadas a niveles positivos entre 0 y 5 voltios y no pueden tener tiempos de subida y bajada (en carga) inferior a 5 ns. Las señales son definidas de la siguiente forma:



■ **BUS DE DATOS:** consta de 16 líneas que se agrupan en forma de 2 buses unidireccionales de 8 bits para poder operar con octetos y en forma de bus único bidireccional para poder operar con palabras de 16 bits. (La primera norma no incluía esta segunda realización del bus de datos).

Para el bus de 8 bits unidireccionales, se transfería la información por medio de 2 ciclos (8 bits en cada ciclo), usándose las líneas denominadas DO7..DO0, y para el bus de 16 bits bidireccionales se usaron las líneas SIXTN Y sXTRQ (señales de control de aceptación y control), y se usaron así para los datos las líneas DI7..DI0 y DO7..DO0.

■ **BUS DE DIRECCIONES:** consta de 16 o 24 líneas en paralelo que sirven para que las señales viajen por ellas; se pudieron seleccionar con ellas una posición de memoria o un dispositivo de entrada/salida. Cuando se usan 16 líneas de direccionamiento de memoria (A15..A0), se puede llegar a un máximo de 64k posiciones diferentes, y cuando se usa el bus extendido (24 líneas, A15..A0 y A23..A16) se puede direccionar un máximo de 16 M posiciones de memoria diferentes donde el bit A23 es el más significativo el bit A0 el menos significativo.

Para direccionar dispositivos de E/S en modo estándar, se usan las líneas A7..A0 que direccionan un máximo de 256 dispositivos y en el modo extendido las líneas A15..A0, que hacen un total de 65536 dispositivos.

■ **BUS DE CONTROL:**

■ **líneas de estado:** son 8 líneas que individualizan el ciclo de bus en curso y que califican el tipo de dato utilizado, y son: la línea 44 de extracción del código de operación, la 45 de salida, la 46 de entrada, la 47 de lectura de memoria, la 48 de reconocimiento de parada, la 58 de petición de transferencia de datos de 16 bits, la 96 de reconocimiento de interrupción y la 97 de Ciclo de escritura.

■ **líneas de salida de controles:** son 5 líneas que determinan el secuenciamiento del movimiento de datos durante cualquier ciclo de bus; y son: la línea 25 de validación del estado, en combinación con la línea 76 indican que se puede obtener la dirección y el estado, que están estables ya sobre el bus en ese ciclo en curso, la 26 de reconocimiento de bloqueo, que señala al amo temporal con la prioridad más alta en ese momento cuando el amo permanentemente está cediendo el control del bus, la 76 de sincronismo, la cual indica el comienzo de un nuevo ciclo de bus, la 77 de escritura (señal que valida la escritura general), y la 78 de entrada al bus de datos (validación de lectura generalizada).

■ **líneas de entrada de controles:** son 6 líneas que permiten a los esclavos del bus sincronizar, de acuerdo con sus propias condiciones internas, las operaciones de los dueños del bus, y son: la línea 3 de señal especial de parado, la 12 de interrupción no

enmascarable, la 60 de aceptación de datos de 16 bits, la 72 de señal general de preparado, la 73 de petición de interrupción, y la 74 de petición de bloqueo.

■ **líneas de control de DMA:** son 8 líneas que se utilizan en combinación con las señales 26 y 74 (descritas anteriormente); las señales se dividen en dos partes 4 de inhabilitación de los excitadores de línea del amo permanentemente del bus durante una operación del DMA, que son: la línea 18 de inhabilitar estado, la 19 de inhabilitar salida de controles, la 22 de inhabilitar direcciones y la 23 de inhabilitar salida de datos, así como las otras cuatro señales que permiten efectuar la función de arbitraje del control del bus, las cuales son: DMA0, DMA1, DMA2 y DMA3.

■ BUS DE SERVICIO:

■ **líneas de alimentación del sistema:** son 9 líneas de alimentación: la 1 y 51 para 8 voltios; 2 para +16 voltios; la 52 para -16 voltios, y las 20, 50, 53, 70 y 100 para tierra.

■ **relojes:** la señal de la línea 24 es el reloj del sistema y es generada por el amo permanente del bus, y la señal CLOCK sobre la línea 49, y viene especificada en esta norma como una señal de frecuencia 2 MHz, 0.5% de tolerancia.

■ **funciones de reinicialización:** son 3 líneas y son: la 75 que reinicia todos los amos del bus, la 51 que reinicia todos los esclavos del bus y la 99 de puesta a cero del conector de la alimentación del sistema. Es necesaria para hacer valer las dos anteriores.

■ **validación de escritura en memoria:** es la línea 68, la cual debe generarse en un solo punto del sistema y ser válida para todos los amos del bus. La línea se activa cuando hay señal alta en la línea 77 y baja en la 45.

■ **esclavos fantasmas:** la línea 67 es para asignar esclavos del bus a una posición común de la memoria. Al activarse se habilitan los esclavos fantasmas y se inhabilitan los esclavos normales.

■ **condiciones especiales:** la línea 98 es la línea general de error que se activa cuando ocurre un error de cualquier tipo, y la línea 13 soporta la señal que indica el fallo inminente en la alimentación.

2.2 MULTIBUS

Este es un bus de sistema de microcomputadora para microprocesadores de 8 y 16 bits, desarrollado originalmente por Intel Corp. para sus sistemas de desarrollo de microprocesadores (MDS) a mediados de la década de los 70 (Intel, 1978; Boberg, 1980). A partir de entonces, ha sido usado como un bus normalizado por otros constructores de microprocesadores, y es la base de bus normalizado IEEE 796.

Este bus se encuentra por ejemplo en la microcomputadora de una única tarjeta SBC 90/10 basada en el 8080. Las especificaciones eléctricas de las señales del Multibus están basadas en las de la familia lógica TTL (lógica transistor-transistor) básica.

2.2.1 ESTRUCTURA DEL BUS

De los 86 terminales utilizados en un conector Multibus normalizado, 61 representan datos, direcciones y líneas de control; las restantes se usan para conexiones de alimentación y tierra o son reservadas para usos futuros. Las 61 líneas funcionales del Multibus se resumen en la figura (estructura del bus normalizado Multibus). Para transferencias de datos, hay dieciséis líneas bidireccionales. Contiene 20 líneas de bus de direcciones para transmisión de direcciones conjuntamente con palabras de datos de 8 bits a través del bus de datos. Es decir, pueden direccionarse un máximo de 2^{20} bytes, o sea, 1 megabyte. Cuando se usan palabras de datos de 16 bits (2 bytes), debe activarse la línea auxiliar de direcciones BHEN, (byte alto disponible) por tanto, debe estar efectivamente seleccionada el byte de mayor orden de una palabra de 2 bytes direccionable por las 20 líneas de dirección. (véase fig. 2.2)

2.2.2 FORMA DE TRANSFERENCIA

La transferencias de datos a través del Multibus pueden sincronizarse de diferentes formas. La transferencia de datos puede realizarse de forma síncrona, usando la línea de reloj común del sistema CCLK para distribuir una señal de reloj a todos los dispositivos del bus. Las varias líneas de habilitación de lectura/escritura pueden usarse por sí mismas para efectuar transferencias de datos semisíncronas; con el Multibus, pueden efectuarse operaciones totalmente síncronas utilizando, además, la línea XACK de reconocimiento de transferencia de dato. La convención Multibus especifica los retardos máximos y mínimos permitidos entre los cambios de varias señales.

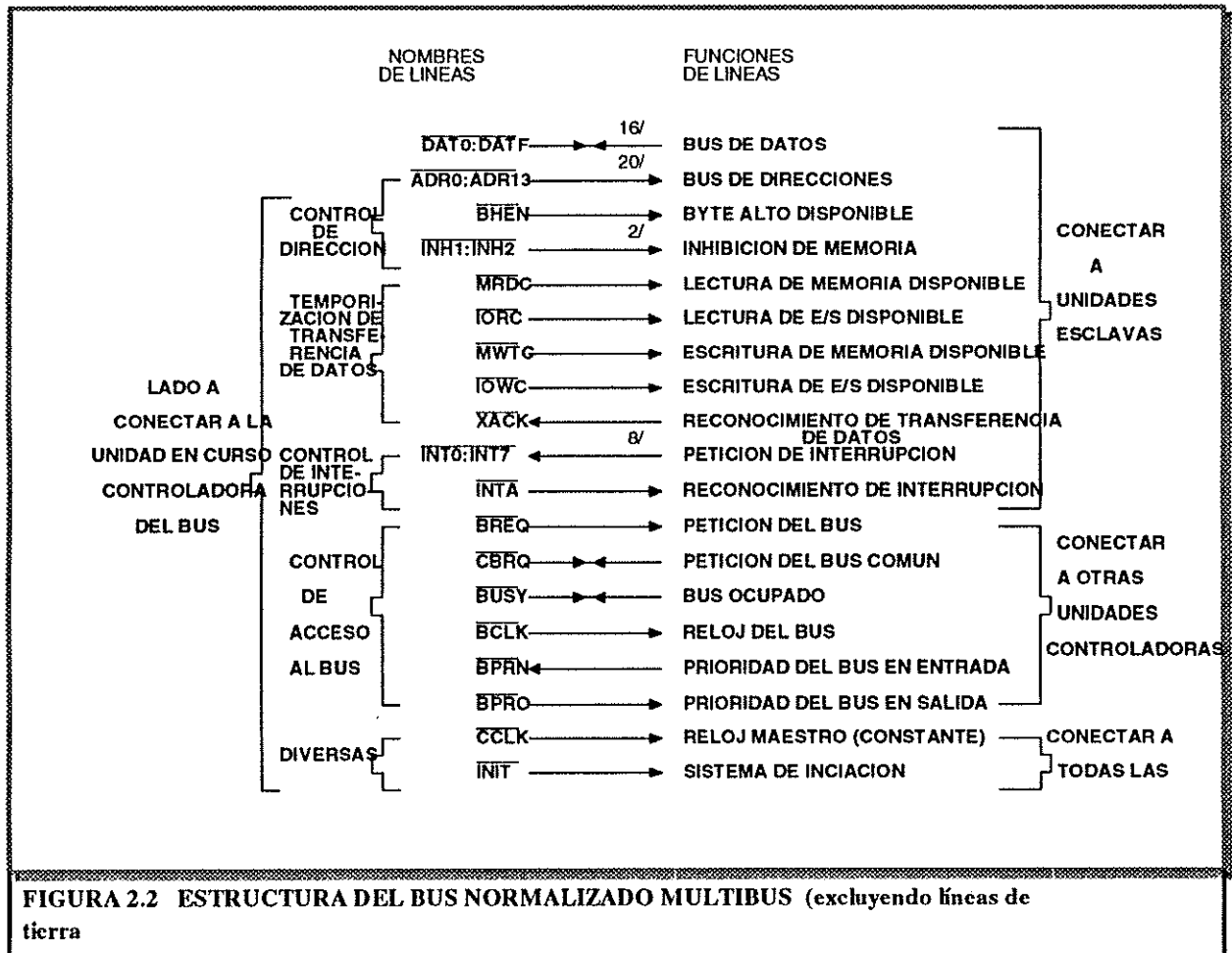
2.2.3 PETICIÓN DE INTERRUPCIÓN

El Multibus contiene un conjunto de ocho líneas de petición de interrupción que son utilizadas por las unidades del bus para interrumpir la actividad en curso de la CPU y hacer que se ejecute una rutina de servicio de interrupción. Cada línea de petición de interrupción tiene asignada una prioridad diferente; es INTO la de mayor prioridad e INT7 la menor. Por sí mismas, estas líneas pueden usarse para llamar a rutinas de servicio de interrupción, cuyas posiciones (dirección inicial en memoria) son conocidas por la CPU, esto es, controlan interrupciones no vectoriales. Para controlar la realización de interrupciones vectoriales, en cuyo caso la unidad de interrupción debe suministrar un vector de dirección a través del bus de datos, el Multibus contiene una línea de reconocimiento de interrupción INTA. Esta línea es activada por la CPU en respuesta a una petición de interrupción para solicitar al dispositivo de interrupción que sitúe un vector de interrupción en el bus de datos; entonces actúa como una línea de petición de datos asíncrona, donde la palabra dato es un vector de interrupción.

2.2.4 FORMA DE CONTROL DEL BUS

El control de Multibus puede transferirse de un controlador a otro utilizando un conjunto de seis líneas de control de acceso al bus. La línea de bus ocupada BUSY se activa por el controlador

actual para indicar que el Multibus está en uso; ninguna otra unidad puede llegar a controlar el bus mientras que BUSY está activada. Esta línea debe de ser desactivada por el controlador actual después de que haya completado la transacción a través del bus en curso. La línea de reloj del bus BCLK se usa para sincronizar el intercambio de señales de control que ocurre cuando un nuevo controlador accede al control del Multibus. Las restantes líneas de acceso al bus se usan de formas diversas para determinar la prioridad cuando varias unidades del bus solicitan a la vez el control del bus. Cada posible controlador del bus tiene una línea de entrada de prioridad BPRN que debe ser habilitada por la unidad en cuestión para llegar a ser controlador del bus. De aquí que la prioridad de las unidades controladas del Multibus pueda determinarse controlando las líneas BPRN.



2.2.4.1 DETERMINACIÓN DE PRIORIDAD EN SERIE

La figura 2.3.1 muestra un método de resolución de prioridades llamado de malla en cadena, en el que todos los posibles controladores de bus se conectan en serie a través de sus líneas de entrada de prioridad (BPRN) y de salida de prioridad (BPRO). Cada unidad controladora tiene una prioridad fija determinada por su posición a lo largo de la cadena BPRN/BPRO. La unidad con mayor prioridad tiene su línea de entrada de prioridad permanentemente activa como se indica en la figura. Este

dispositivo puede entonces acceder inmediatamente al Multibus. Si el dispositivo de mayor prioridad no requiere el bus, activa su línea BPRO, y así sucesivamente. En efecto, una señal de bus disponible se propaga en serie a través de todos los controladores por medio de las líneas entrada/salida de prioridad. Cada unidad puede, si lo requiere, bloquear la propagación de esta señal hacia las unidades de menor prioridad y asumir el control de bus. El método de malla en cadena de transferencia de control es relativamente lento.

2.2.4.2 DETERMINACIÓN DE PRIORIDAD EN PARALELO

Este método es más rápido para determinar la prioridad de acceso. Cada unidad potencial controladora U_i tiene de nuevo asignada una prioridad fija. Cuando se desea tomar el control del Multibus, U_i activa su línea de petición de bus BREQ, que, junto con las líneas BREQ de los otros controladores de bus, se conecta al circuito combinacional P, el cual es para resolución de prioridades. Si no hay petición de interrupción de un dispositivo con mayor prioridad que U_i , P activa la línea de entrada de prioridad BPRN de U_i , y le permite ser el nuevo controlador del bus. (Véase figura 2.3.2).

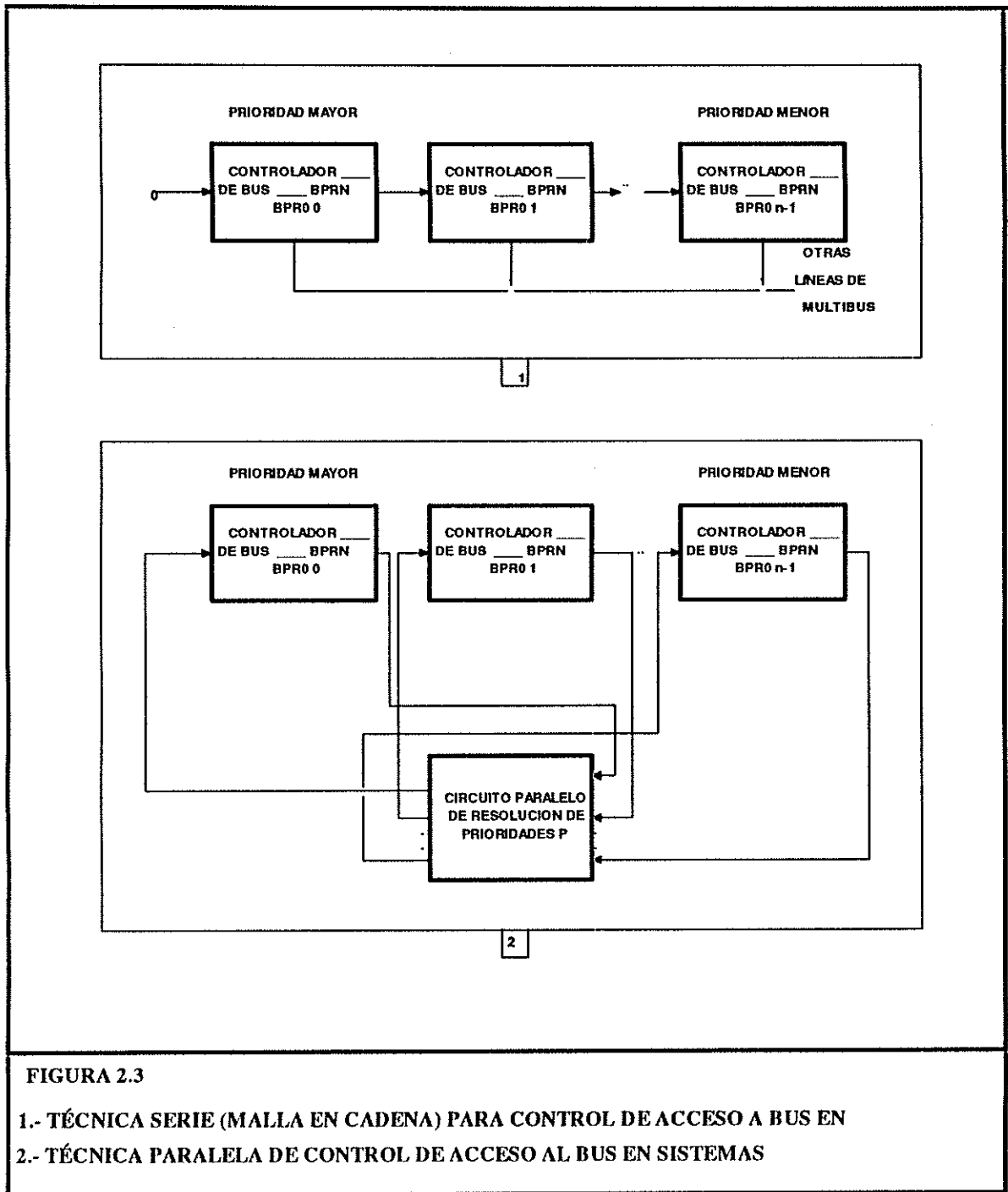


FIGURA 2.3

- 1.- TÉCNICA SERIE (MALLA EN CADENA) PARA CONTROL DE ACCESO A BUS EN**
- 2.- TÉCNICA PARALELA DE CONTROL DE ACCESO AL BUS EN SISTEMAS**

BUSES DE EXPANSIÓN CAPÍTULO III

Todos los buses de expansión de PC tienen sus raíces en la primera PC original, construida por IBM en agosto de 1981. El primer bus de expansión fue sólo una extensión del microprocesador, conexiones (alambres) que eran lo suficientemente fuertes para llevar energía y señales a circuitos externos. Estos buses están basados en los buses del sistema, los cuales fueron descritos en el capítulo anterior (cap. II, buses del sistema). Los buses de expansión dieron diferentes opciones al sistema (puertos, memoria, adaptadores de video, etc.). El bus de expansión da a los fabricantes la oportunidad de agregar nuevos aspectos y realizar las sustituciones necesarias, al mismo tiempo que la tecnología avanza. A continuación, se describen las principales características de los buses de expansión para PC; los más conocidos son :

3.1 EL PRIMER BUS DE EXPANSIÓN DE LA PC

El punto de partida para el bus original de la PC era el bus del sistema del microprocesador 8088. El direccionamiento y la anchura del bus de datos de la PC se comparó exactamente con el microprocesador 8088; sólo que la velocidad del 8088 estaba controlada directamente por el microprocesador. Pero para hacer este bus local útil, IBM mezcló algunas señales adicionales, entre ellas cinco líneas de control para señales de interrupción de hardware. El control de la e/s de puertos era logrado por una línea de control que realizaba la elección entre el bus de dirección, la memoria y los puertos de e/s. Sin embargo, IBM eligió únicamente los 10 bits menos significativos para direccionar los puertos de e/s. Como resultado, únicamente 1,024 de 65,536 posibles puertos de E/S eran utilizados por estas primeras placas de expansión.

Algunas características eléctricas fueron cambiadas, para poder aislar el microprocesador de las tarjetas de expansión. Los pines del chip microprocesador no fueron totalmente usados. Algunas se combinaron, y se tuvieron que multiplexar; estas conexiones también fueron demultiplexadas antes de que otro circuito las usara, dado que el chip 8088 no fue diseñado para abastecer de poder suficiente gran número de dispositivos que pueden conectarse a una ranura de expansión. Estas conexiones demultiplexadas se extendieron entonces al bus de la PC.

El diseño del bus de PC puso al microprocesador en contacto y control directo de todo en el bus de expansión.

3.2 LA ARQUITECTURA ESTÁNDAR DE INDUSTRIA

Ya en 1984, el rudimentario diseño de bus de PC se había quedado atrás, para los requerimientos de entonces. Los fabricantes tuvieron que pensar en un nuevo modelo de bus; este modelo nuevo se basó en el microprocesador 286; este bus fue diseñado para correr a 8 MHZ (aunque inicialmente se limitó a 6 MHZ), pero el chip 286 estaba previsto para usar 16 bits en su bus de datos, y por eso IBM decidió agregar señales de datos, y también señales de direcciones y control.

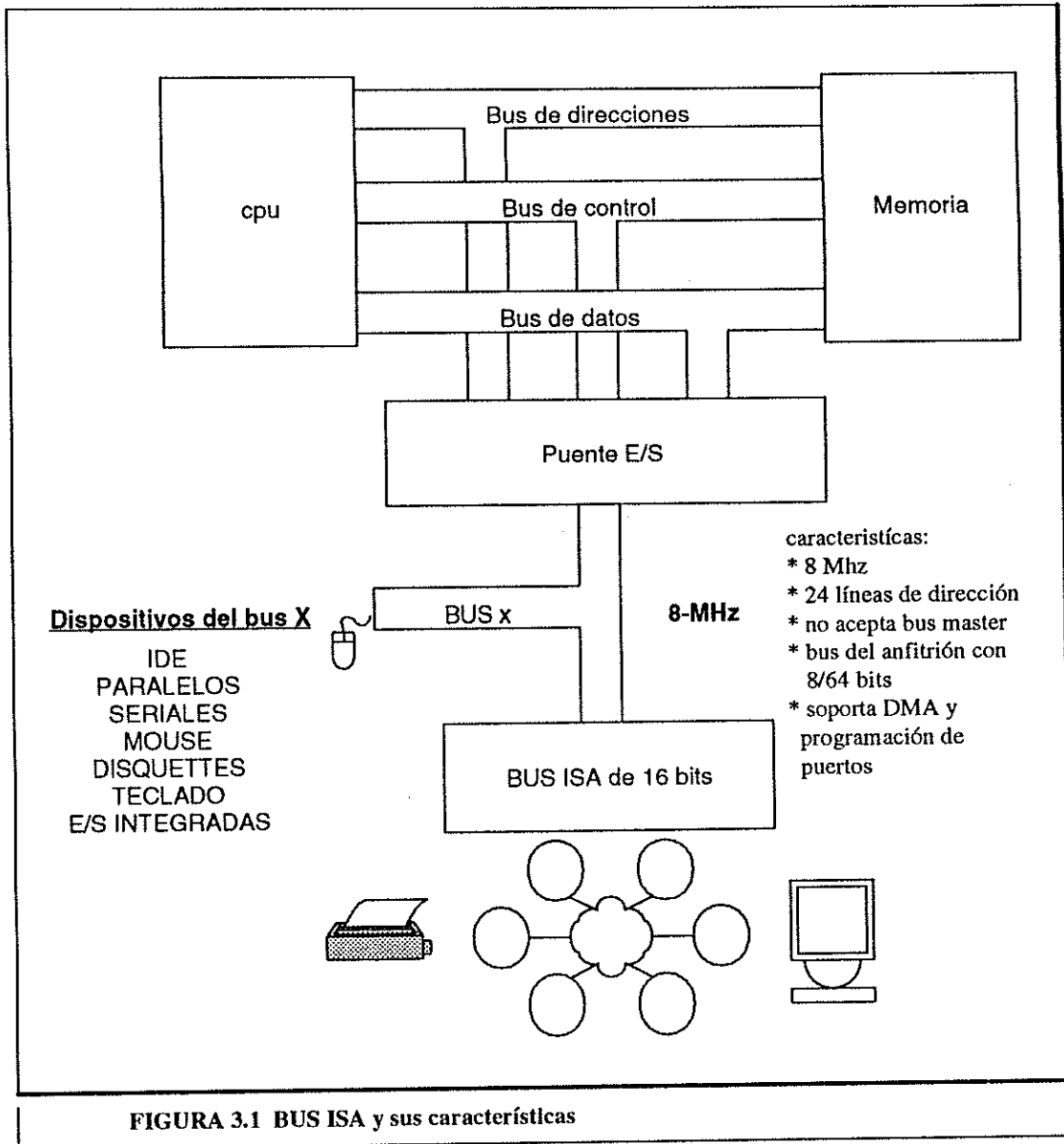


FIGURA 3.1 BUS ISA y sus características

El bus de la PC estaba limitado en sus manejadores de memoria, anchura del bus de datos, así como a la capacidad del microprocesador 8088, y a que los servicios que brindaba el sistema eran demasiado obsoletos para el crecimiento que la PC tenía en ese momento. (véase figura 3.1)

Como resultado del balance de las anteriores necesidades, el nuevo bus llamado "AT" nace como un híbrido. Este retuvo compatibilidad con la mayoría de los primeros productos de expansión de PC, mientras

agregaba la funcionalidad necesaria para ingresar a la tecnología de 16 bits. Además el bus AT contuvo pocas ideas nuevas (por lo menos para PC-compatibles).

La diferencia existente entre el bus PC/XT y el bus PC/AT fue la adición del segundo conector para llevar más líneas de datos y de dirección (4 líneas más de dirección y 8 líneas de datos), las cuales hicieron un total de 16 líneas de datos y 24 de dirección, suficiente para manejar 16 Mbytes; el direccionamiento físico estuvo limitado por el chip 80286. Para salir de algunas deficiencias del bus PC/XT, que limitaban la expansión, el nuevo bus "AT" incluyó líneas para interrupción y para control del DMA. Además, IBM agregó novedosas conexiones; una en particular es para elaborar expansiones de tarjetas compatibles, a través de 8 y 16 bits para IBM PC.

Dado que para manejar el modo protegido de la AT se usan más conexiones, el nuevo diseño de bus agregó las líneas requeridas en el conector suplementario, para no rediseñar el conector de 62 pines ya existente, para lograr la compatibilidad entre computadoras. De esta manera las computadoras que necesiten el poder o la velocidad de la AT, lo logran por medio del conector suplementario.

El bus AT con sus 24 líneas de dirección puso 16 Mbytes de memoria al alcance, pero sólo 1,024 puertos de entrada/salida, ya que se necesita continuar con la compatibilidad existente entre los buses de la PC/XT y la PC/AT. Entre el bus AT y el bus XT, existe además otra diferencia, y es que la PC/XT tenía un oscilador único para controlar todas las señales que incluye el bus y el microprocesador; aunque el bus AT usa varios osciladores separados para estos. De esta forma, la velocidad del microprocesador, el cronómetro del sistema y la velocidad del bus se separaron y operan independientemente.

Al principio, IBM documentó cada función de cada pin sobre el bus AT, pero nunca publicó un conjunto riguroso de especificaciones de las señales sobre el bus. El resultado de esto fue que los fabricantes tuvieron que diseñar productos tratando de adaptarlos al sistema. Hasta 1987, el Instituto de Ingenieros Eléctricos y Electrónicos o como "IEEE" aprobó esta norma llamándola Industria Estándar de la Arquitectura (Industry Standard Architecture) o sea "ISA".

ISA tuvo problemas, pues sus especificaciones estaban orientadas a mantener compatibilidad con el bus PC, que trabajaba a 8 MHz; esto provocó problemas cuando se le quiso agregar memoria a las PC de alta velocidad, pues cuando la velocidad del microprocesador excedió a la del bus, se tuvieron que agregar tiempos de espera al microprocesador, para que de esta manera no se tuviera la incompatibilidad en las velocidades (saturación y pérdida de datos). Para resolver el anterior problema, Compaq decidió tener 2 buses: uno para memoria rápida y otro para los dispositivos de entrada /salida.

3.2.1 CONECTOR DE 8 BITS

3.2.1.1 Dimensiones

Las tarjetas de expansión de 8 bits tuvieron que ser lo suficientemente grandes para contener una cantidad razonable de conexiones; las suficientes para todas las funciones que se necesitaban. Pero

aún así, las tarjetas de expansión se tenían que adaptar al tamaño de la PC. Las tarjetas son largas y delgadas; esto es así para adaptarse al case de la PC. El diseño original para tarjetas de expansión tenía la extensión del Case de la PC y 3 pulgadas de altura, sin incluir el conector de expansión.

El conector de expansión para cada ranura, ubicado sobre la tarjeta del sistema tuvo 2 filas de 31 pines cada una; la distancia entre filas es de 0.1 pulgada.

3.2.1.2 Señales básicas

De los 62 pines usados por la PC/XT, 3 son tierras; 5 son líneas para abastecer los diversos voltajes necesitados en la computadora; 20 pines son de dirección; 8 son líneas de datos; 10 se dedican a las interrupciones, y otras son conexiones de propósito especial; las más importantes se especifican a continuación: (véase apéndice).

- **Líneas de voltaje:** dos señales de 5 voltios de corriente directa, así como también señales de -5, 12 y -12 voltios (una línea para cada uno de los voltajes).
- **Líneas del oscilador:** provee una señal derivada directamente del oscilador de cristal, y hace funcionar todos los relojes y cronómetros dentro del computador, y que opera a 14.31818 MHZ. En el bus PC/XT, este oscilador es una simple frecuencia estándar.
- **Línea de reloj:** es una señal derivada del oscilador que abastece al microprocesador y otros circuitos del sistema, para sincronizar todas las operaciones lógicas.
- **Línea de revisión de los canales de entrada/salida:** esta línea provee al microprocesador de una revisión de la integridad de la memoria y los dispositivos conectados al bus. Cuando la señal es interrumpida, indica que ha habido un error.
- **Líneas de datos:** llevan información digital en paralelo, a todas partes de la computadora, y mueve información desde/a la memoria a/desde los dispositivos de entrada/salida. Las líneas de datos usadas en la PC son identificadas con los número de 0 hasta 7, donde 0 indica el bit menos significativo de cada palabra.
- **Líneas de dirección:** son usadas para especificar ubicaciones en memoria, a que bytes será movida la información, así como también para direccionar (escoger) el dispositivo que se va a utilizar. Tienen 20 líneas identificadas del 0 al 19, donde el 0 es el menos significativo.
- **Líneas de control de memoria y dirección :** estas líneas son:
 - **Línea de habilitación de dirección:** Latching, almacena la información de qué dispositivo se está usando y lo habilita
 - **Línea de lectura de memoria:** habilita la lectura a memoria.

- **Línea de escritura a memoria:** habilita la escritura a memoria.

- **Líneas de control de puertos:**

- **Línea de lectura de entrada/salida:** hace que del dispositivo se mueva la información del puerto a las líneas de datos, así el microprocesador puede leer esto en sus registros.

- **Línea de escritura de entrada/salida:** hace mover la información de las líneas de datos al puerto de salida.

- **Línea indicadora de listo:** se usa ya que el microprocesador puede demandar o generar datos tan rápido como un dispositivo de entrada/salida o como la memoria es capaz de manejarlos. Esta línea sirve para hacer que el microprocesador espere a que el sistema pueda aceptar la información.

- **Líneas de control del DMA:**

- **Línea terminal de conteo:** esta línea representa la terminación del conteo del número de bytes transferidos por el DMA.

- **Líneas de requerimiento de DMA:** son tres, para que los dispositivos indiquen al controlador del DMA el deseo de hacer transferencias; a cada línea se le designa un número de prioridad.

- **Líneas de confirmación de requerimientos:** son 4 líneas; 3 de ellas se usan para confirmar el uso del DMA, y la cuarta sirve para el refrescamiento de memoria.

- **Líneas de petición de interrupción:** son cinco. Son señales de hardware que vienen de varios dispositivos al microprocesador para capturar su atención y realizar diferentes procesos.

Existen otras 3 interrupciones, pero estas no son disponibles al bus, pues son usadas internamente por las conexiones del sistema. Una de ellas es el reloj del sistema, la cual genera la interrupción 18.2 veces por segundo; otra es la interrupción de teclado, que genera una interrupción cada vez que se presiona una tecla; la otra interrupción es la que señala los errores de paridad del sistema, y es la llamada NMI (interrupción no enmascarable).

3.2.2 ISA DE 16 BITS

Para entrar en el mundo de la AT, IBM, agregó un segundo conector (conector auxiliar). Este nuevo conector tiene 32 líneas, y se colocó en línea con el otro conector para guardar la compatibilidad con el bus PC/XT, ya que el conector de 8 bits guardó su posición original; de esta forma, las tarjetas de 8 bits pueden entrar en las ranuras de 16 bits ignorando simplemente el conector extra. Asimismo, las tarjetas de 16 bits entran en las ranuras de 8 bits dejando libres e inutilizando el conector auxiliar. Pero aún así, la compatibilidad no fue total, dado que existían tarjetas de 8 bits con falda, las cuales no permiten el ingreso a las ranuras de 16 bits, pues la falda topa (véase figuras 3.2 y 3.3). Además de

esto, las tarjetas de 16 bits fueron elaboradas más largas, pues la forma del case de la AT lo permitía; esto hizo que las tarjetas de 16 bits no entraran en ranuras de 8 bits de las XT. Después de observar esto, los hacedores de tarjetas pusieron un límite al largo de la misma.

3.2.2.1 Líneas adicionales:

algunas de las líneas que se encuentran en el conector auxiliar son descritas a continuación:

- **Líneas de datos:** se aumento de 8 a 16 bits, designando los pines 8..15.
- **Líneas de control:**
 - **Línea de habilitación del bus:** habilita la parte alta del bus. Esta línea indica cuándo se están transfiriendo 8 bits y cuándo se están transfiriendo 16 bits.
 - **Línea de habilitación de memoria:** cuando se realiza una operación de transferencia a memoria o desde memoria, hay que hacer las respectivas selecciones en el chip; esta selección depende del número de bits en uso.
 - **Línea de estado 0 de espera:** esta indica que el actual ciclo de bus puede ser completado sin estados de espera.
- **Líneas de dirección:** para poder acomodar totalmente los 16 Mbytes de direcciones físicas en el microprocesador 80286 usado en la AT, IBM expandió el número de líneas de dirección a 24, y se agregaron 8 a las 16 ya existentes.
- **Líneas de control de l/e a memoria:** activan la parte alta del bus de direcciones de ser necesario.
- **Líneas del DMA:** estas líneas ahora son del 0-7 donde 0 tiene la máxima prioridad y el 7 la menor.
- **Líneas de interrupción:** llegaron a ser 15, aunque no todas fueron amarradas al bus, pues hay reservadas, y son: 0, 1, 2, 8 y 13. Además el AT tiene provisto el comportamiento de interrupciones, pues una interrupción puede ser usada por muchas funciones.

■ **Señal de refrescamiento:** sirve para prevenir interrupciones inadecuadas durante los ciclos de refrescamiento de memoria.

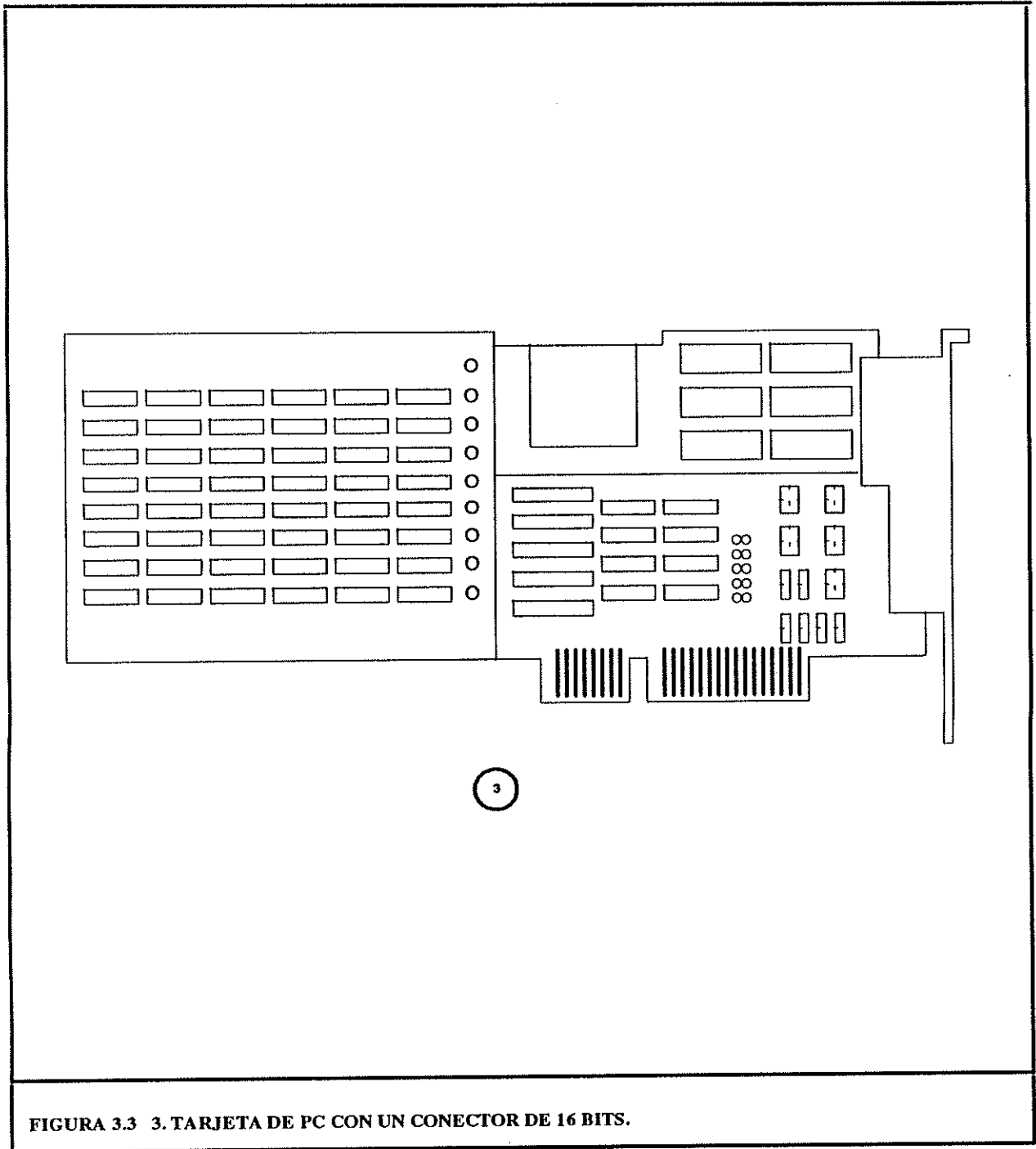


FIGURA 3.3 3. TARJETA DE PC CON UN CONECTOR DE 16 BITS.

3.2.3 Rapidez del bus

El bus AT es suficientemente poderoso para correr a altas velocidades. Es ruidoso y tiende a volverse intrabajable arriba de 10 MHz. Muchas tarjetas de circuito no trabajan bien cuando se les obliga a operar arriba de 8 MHz.

Dado que el bus tiende a ser ruidoso después de los 10 MHz, entonces las máquinas más rápidas que usan bus AT son las que tienen una CPU con una velocidad de 10 MHz, dado que no están desperdiciando la velocidad de la CPU, pues aunque el microprocesador corra a 16MHz, el bus no lograra equipararse, y se tendrá que entrar en estados de espera.

El bus después de los 10 MHz se vuelve ruidoso porque sus dispositivos interpretan el alto voltaje como datos. Después de lo anterior, se puede observar que ISA nunca puede lograr su pleno potencial.

3.2.4 CONECTAR Y OPERAR

Desde que IEEE dio a conocer las especificaciones de ISA, las señales han permanecido prácticamente sin cambiar. La introducción de la especificación de ISA de Conectar y Operar dada en 1993, desarrolladas por Microsoft e Intel, altera las placas de expansión de manera que trabajen conjuntamente con el bus.

El conectar y operar, o más conocido como "Plug and play", sirve para que el bus disfrute de toda su capacidad, de acuerdo con el equipo, ya que siempre que se decide usar una tarjeta de expansión hay que configurarla (interrupciones, canales de DMA, puertos, ROM); según el equipo se tiene la especificación de conectar y operar, que hace que la tarjeta se autoconfigure. De esa manera el usuario no tendrá que involucrarse en esto. Esta especificación, no es una alteración del bus ISA, sino que es la sustitución del software de la tarjeta. De esta forma, el software detecta los recursos que la tarjeta necesita, y se autoconfigura de esta manera.

3.3 MCA (Micro Channel Architecture)

Para 1987, las deficiencias del bus ISA fueron evidentes. La solución de IBM fue crear la Arquitectura de Micro Canal (MCA), pero IBM, no solucionó el problema totalmente, porque su pensamiento no coincidía con el resto del mundo, ya que los propietarios de PC buscaban un desempeño para equiparar el bus al microprocesador 386, el cual comenzó con la velocidad de 16 MHz, 4G de memoria, y un ancho del bus de datos de 32 bits. Esto no se compara con los microprocesadores anteriores de 8 MHz, 16Mbytes y 16 bits del bus AT. IBM observó cuatro razones:

- 1) mejorar el funcionamiento,
- 2) direccionar 256 bytes más en la RAM,

- 3) reloj con un incremento de velocidad del 25%,
- 4) incrementar el bus de direcciones.

El nuevo bus es incompatible con los buses anteriores, pero aún así, se vendió en cantidad, ya que usa mejor los recursos de la PC. También influyó en los diseños de los siguientes buses. Desafortunadamente este producto fue desarrollado para calidad técnica y no para el mercado de la PC.

IBM, desde hace mucho tiempo, ha trabajado con computadores Mainframe; con esta experiencia, pensó que la PC podría unirse al Mainframe y agregarle manejadores de multitareas a la vez. La unión PC-Mainframe se haría por medio del bus, o sea conectándole a la PC un Mainframe como si fuera otro periférico, aunque no quiso ponerles mucha capacidad.

Conforme las PC se vuelven más rápidas y más complicadas (y conforme la CPU se vuelve más barata), éstas se pueden dedicar a tareas definidas: una CPU en el sistema de disco duro, en la tarjeta de video, y así sucesivamente. El sistema global puede volverse más eficiente si estas CPU periféricas se comunican directamente entre sí, sin tener que utilizar la CPU principal como la intermediaria. Eso es difícil (aunque no imposible) de lograr con una máquina ISA. Pero MCA y EISA dan soporte a la idea de bus máster(bus mástering).

En pocas palabras, bus mástering significa que las CPU periféricas podrían solicitar un permiso para tomar control del bus durante un periodo de tiempo corto. La CPU principal concedería el permiso para que se hiciera cargo del bus, y saldría temporalmente de la cadena, para permitir comunicación rápida, por ejemplo, entre la unidad de disco duro y la de disquete.

Este bus no es una copia mejorada de los buses anteriores, sino que es un rediseño, con el fin de lograr alta velocidad, reubicando y redefiniendo señales. En el micro canal, se puso un conductor de tierra o fuente de poder entre 3 pines de cada señal, para protección de la interferencia (véase apéndice).

Este diseño de bus hace que la CPU ya no controle el bus, sino que este control le fue delegado a un circuito llamado Punto Central de Arbitraje.

Los traslados de información son administrados por dispositivos llamados bus máster, de los cuales el microprocesador es uno. Los otros pueden operar desde las ranuras de expansión. Como hay veces que existen muchos bus máster, existe un método jerárquico del bus, que da acceso a cada bus máster, ya que no pueden tener el control más que uno por uno.

Según lo anterior, se puede observar que este diseño de bus no disminuye el poder del microprocesador, sino que le da más tiempo para procesar otras tareas.

El reloj del bus trabaja arriba de los 10 MHz; el ancho del bus de datos es de 32 bits. IBM diseñó el MCA para que el microprocesador sea independiente y asíncrono, para que la velocidad pueda cambiarse. Con 32 bits, las tarjetas de memoria operaron a 16 MHz.

En vista de que la arquitectura de MCA necesita que para cada acceso al bus se realice una negociación, cuando un dispositivo necesita del control por más de 12 milisegundos usa el Modo Ráfaga para mantener el control del bus por más tiempo. Este modo requiere todavía 2 ciclos de reloj, uno para las direcciones y otra para datos.

Aunque el MCA fue diseñado para un ancho de bus de direcciones de 32 bits y por lo tanto direccionar más de 4 gigabytes de memoria, los primeros productos de IBM sólo permitieron acceso a 16 Mbytes por el controlador de DMA de la computadora, y 65,536 eran todos los puertos de entrada/salida direccionables.

El MCA no cambió el número de interrupciones; lo que hizo fue permitir que fueran compartidas.

IBM se aseguró de que no se pudiesen conectar otro tipo de tarjetas (viejas) en la computadora MCA. Para esto, se hizo un nuevo conector para tarjetas de expansión; este es pequeño e incompatible con los anteriores. Esto lo hizo IBM para no perder la comercialización de los productos periféricos. Para lograrlo, también se negaron a dar información pública del funcionamiento del MCA.

3.3.1 ESTRUCTURA DEL BUS

El MCA estándar tiene 2 versiones. La primera pasa 16 bits de datos a la vez, y la segunda 32.

3.3.1.1 VERSIÓN 16 BITS

El bus MCA de 16 bits está diseñado para aceptar adaptadores que tengan 58 patas. Cada pata se conecta en ambos lados para dar un total de 116 conexiones, asignadas de la siguiente forma: 77 líneas de señal, 12 líneas de corriente, 17 líneas de tierra, una línea para tierra de audio, 5 líneas reservadas y 4 posiciones codificadas. Cada una de las líneas de corriente proporciona uno de los tres voltajes de DC: +5, +12 o -12. Las líneas de tierra están distribuidas regularmente a lo largo del conector para minimizar la interferencia de ruidos y mejorar la integridad de los datos. (Esta es una mejora importante sobre el bus antiguo, que tenía un aterrizaje más rudimentario). De las conexiones restantes, las líneas de señal son las más interesantes. De las 77 patas 24 son líneas de dirección y 16 son líneas de datos.

Las 24 líneas de dirección son denominadas A0..A23. Pasan señales que indican a qué parte de la computadora se le está dirigiendo. Cada línea lleva una señal que puede ser interpretada como un bit y, por lo tanto se pueden enviar direcciones de hasta 24 bits. Esto proporciona un máximo de 2^{24} direcciones posibles, que le permiten acceder hasta 16 Mbytes (16,777,216 bytes) de memoria. Esta es la capacidad máxima de memoria del procesador 286. Estas líneas de dirección también pueden usarse para especificar una dirección de un adaptador de entrada/salida, llamado un esclavo E/S. En este caso, sólo se usan las primeras 16 líneas (A0-A15). Las 16 líneas de datos se mencionan como D0-D15, y se usan para pasar 16 bits de datos, o sea que en un mismo tiempo se pueden enviar 2 bytes. Las demás líneas son usadas como líneas de control, en las que una indica que la dirección que se lleva

es de memoria o de algún dispositivo de entrada/salida, otra lleva la señal de reloj (14,318 MHz), y la otra sirve para indicar que existe una petición de interrupción.

Existe una variación del bus de 16 bits que proporciona una extensión de video auxiliar. Contiene 10 conexiones extras (20 líneas de señal) usadas de la siguiente manera: 5 para tierra, 8 (P0..P7), que llevan información digital de video; una esta reservada y 6 llevan señales de control. Las PS/2 traen una clavija integrada para el monitor, sin embargo, si se usa una tarjeta especial de video, debe asegurarse de que se enchufe en una ranura de adaptación que contenga la extensión de video. La mayoría de las máquinas MCA tienen este tipo de ranura.

3.3.1.2 VERSIÓN 32 BITS

Esta versión acepta adaptadores con 93 conectores, que da un total de 186 líneas de señal. Este bus se puede ver por lo general como un bus de 16 bits con líneas de señal extra. Se tienen líneas de dirección de la A0 a A31, que tienen hasta 2^{32} direcciones distintas, es decir que el procesador puede direccionar hasta 4Gigabytes. También cuenta con 32 líneas de dato D0 a D31, que puede transferir hasta 32 bits o sea 4 bytes. Esto quiere decir que este bus sí usa la capacidad completa de los procesadores 386 y 486.

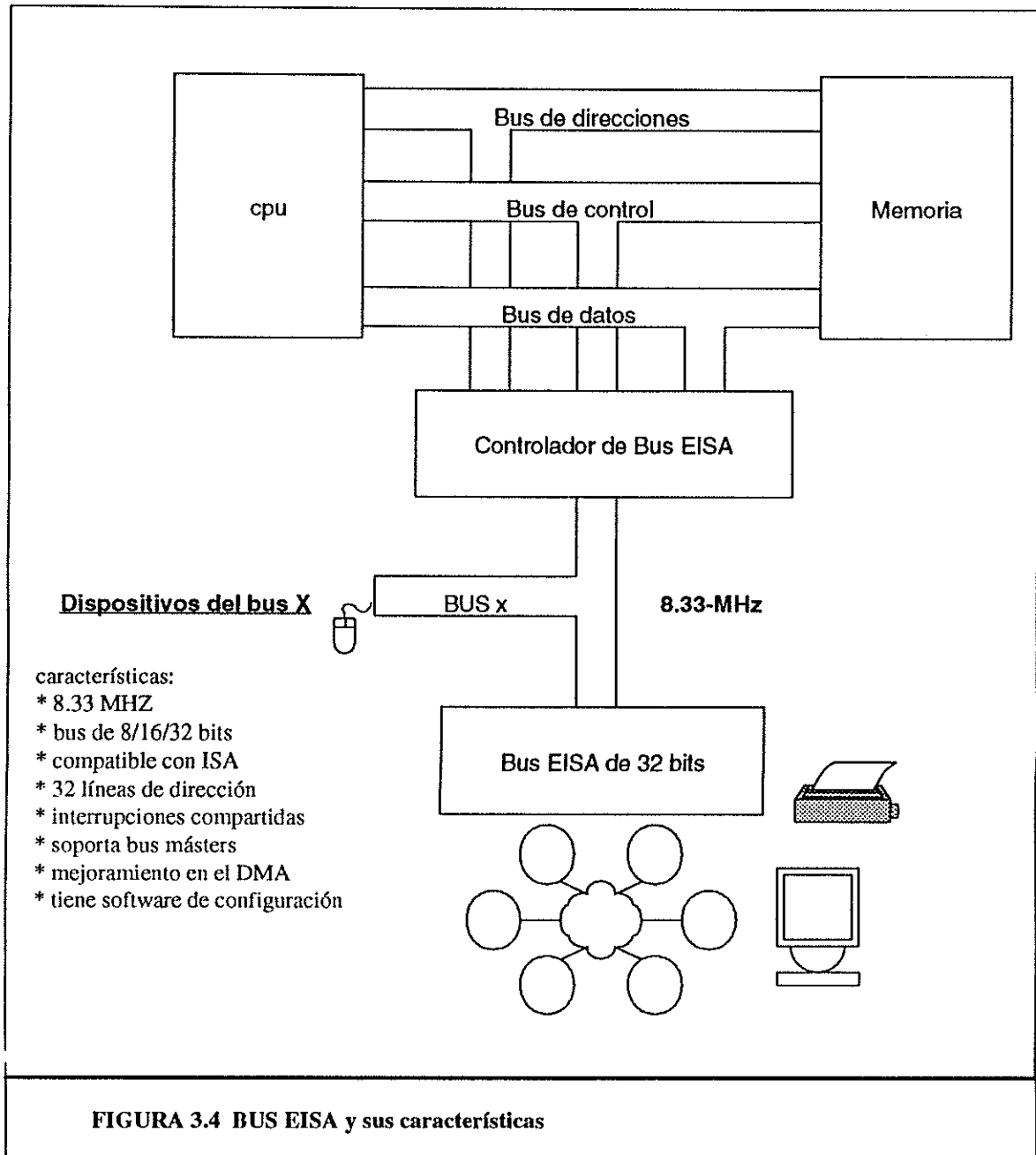
3.3.2 VENTAJAS

- a) El MCA usa adaptadores que generan menos interferencias eléctricas que los adaptadores antiguos, por lo tanto, proporciona integridad de los datos.
- b) El MCA es más confiable y minimiza la pérdida de datos, puesto que responde mejor a las peticiones de interrupción.
- c) Tiene adaptadores especiales, llamados bus máster. Los bus máster tienen su propio procesador y pueden hacer su trabajo independientemente del procesador principal, y comparten el control del bus.
- d) El MCA proporciona una herramienta para desactivar, desde un punto remoto, un adaptador particular que esté funcionando mal.

3.4 EISA (Extended Industry Standard Architecture)

En vista de que IBM quería tener la supremacía sobre la industria de la PC en 1988, un consorcio de nueve empresas (llamadas "La Pandilla de los Nueve", las cuales son: AST Research, Compaq Computer Corp., Epson, Hewlett-Packard, NEC, Olivetti, Tandy, Wyse y Zenith Data Systems.), que se unieron con el fin de desarrollar la norma EISA (Arquitectura Estándar de la Industria Extendida). EISA es un super conjunto de la arquitectura ISA de 8 y 16 bits, cuya capacidad mantiene siempre la compatibilidad con las tarjetas de expansión de ISA. Este bus es realmente la

suma de lo mejor de los buses anteriores; usa las mejores ideas de los diseños de los otros buses e incorpora nuevas e inteligentes ideas.



EISA introdujo un número de mayores ventajas: (véase fig. 3.4)

a) Soporte para el bus máster.

- b) Mejoramiento de la arbitración del bus y transferencia.
- c) Un modo síncrono de transferencia de datos, que permite alta velocidad en la transferencia Ráfaga.
- d) 32 bits para direccionamiento de memoria por el CPU, DMA y bus másters.
- e) Requerimiento de interrupciones compartidas, compatibles con los manejares de requerimiento de interrupción del ISA.
- f) La transferencia de datos se da en 33 Mbytes/seg. para bus másters y DMA.
- g) Configuración automática

3.4.1 ARQUITECTURA BÁSICA

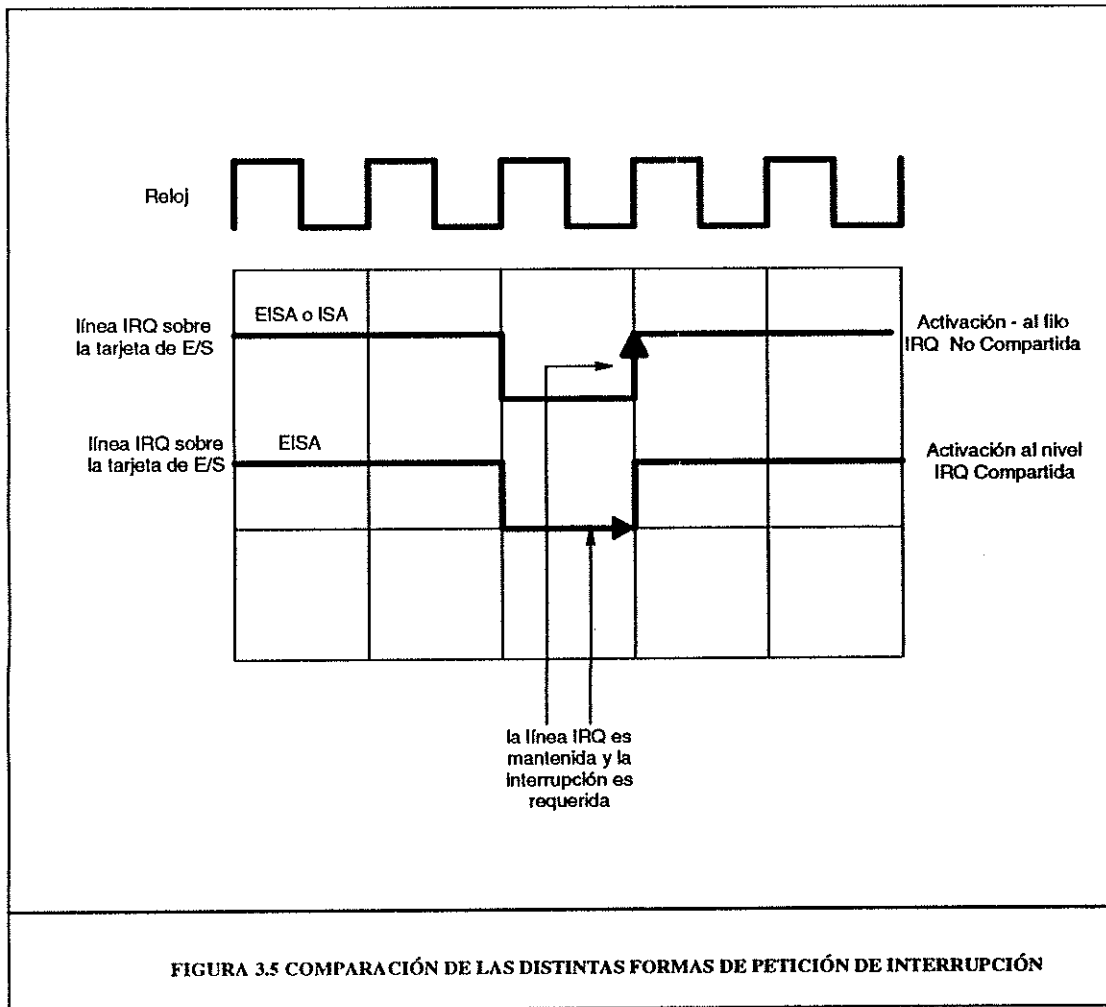
El bus EISA incorpora todos los aspectos del bus ISA, además de un número de mejoras funcionales. La especificación soporta direccionamiento completo de 32 bits. Todos los dispositivos pueden acceder el espacio de memoria completo de 4G. El bus EISA logra su velocidad por medio del uso de un protocolo de transferencia síncrono. Los bus másters y los procesadores múltiples pueden sincronizar sus ciclos de bus con un reloj común para alcanzar su máximo rendimiento.

ISA provee una variedad de tipos de ciclo, desde el ciclo de transferencia estándar que requiere 2 ciclos de reloj para comenzar ciclos que requieren una señal de reloj por transferencia. Existe un número de mejoras de DMA, que incluye direccionamiento de 32 bits y un rendimiento más alto en el modo de transferencia de datos (Tipo C o Ráfaga). El tipo C de DMA en un ambiente EISA ofrece una opción de bajo costo para los bus másters inteligentes. Están disponibles en tarjetas de 8,16 y 32 bits diseñadas específicamente para el tipo C, y ofrecen rendimientos de 8, 16.5 y 33 Mbytes/seg. respectivamente. Las computadoras basadas en EISA soportan una arquitectura de bus máster para periféricos inteligentes; se prevén hasta 33 Mbytes/seg. usando transferencias de información Tipo C. El bus máster provee inteligencia local por medio de un CPU de entrada/salida dedicado y memoria local, que revelan al CPU principal de la ejecución de todas las funciones de acceso a memoria. Casi todas las aplicaciones que requieren tasas altas de transferencia se benefician de las tarjetas de expansión EISA, por medio de tasas de transferencia más altas y una más baja utilización del sistema.

Un nuevo conector de tarjetas de expansión usa un método de 2 filas para acomodar tarjetas ISA como EISA. Las tarjetas ISA se insertan sólo hasta la mitad de la profundidad del conector, con lo que permite lograr la interface con las señales relacionadas con ISA. Una tarjeta EISA incorpora las claves necesarias para permitir la inserción completa de la tarjeta, y permitir que la misma haga interface con la señales ISA, así como con las extensiones más nuevas de EISA.

3.4.2 ACTIVANDO INTERRUPCIONES

Todos los dispositivos son capaces de generar interrupciones usando una señal llamada IRQ para indicarle al controlador de interrupciones que una interrupción de procesador es requerida. Las interrupciones son manejadas en forma diferente en los sistemas ISA y EISA; las cuales son descritas a continuación: (véase figura 3.5)



3.4.2.1 ACTIVANDO INTERRUPCIONES EN ISA

Los sistemas ISA utilizan un método de activación de interrupción al filo. Cuando una tarjeta de expansión ISA necesita generar un requerimiento de interrupción, la línea de IRQ es conducida (el pulso) hacia abajo y luego hacia arriba nuevamente. Esta transición del pulso que va abajo hacia arriba es la que registra un requerimiento de interrupción con el controlador de interrupción. La línea de IRQ no puede ser llevada hacia abajo (reconocer otra interrupción); hasta que la señal de recibo de interrupción es enviada desde el controlador de interrupción. Este es el método más común de manejo

de línea de IRQ. Un error común es creer que la línea IRQ es susceptible a los apagones que causan interrupciones fantasmas. La inmensa mayoría de diseñadores de tarjetas ISA colocan siempre la línea de IRQ en un estado alto, cuando no se están atendiendo interrupciones. El método asegura que la falta de poder en la línea IRQ no pueda ser interpretada como requerimientos de interrupción.

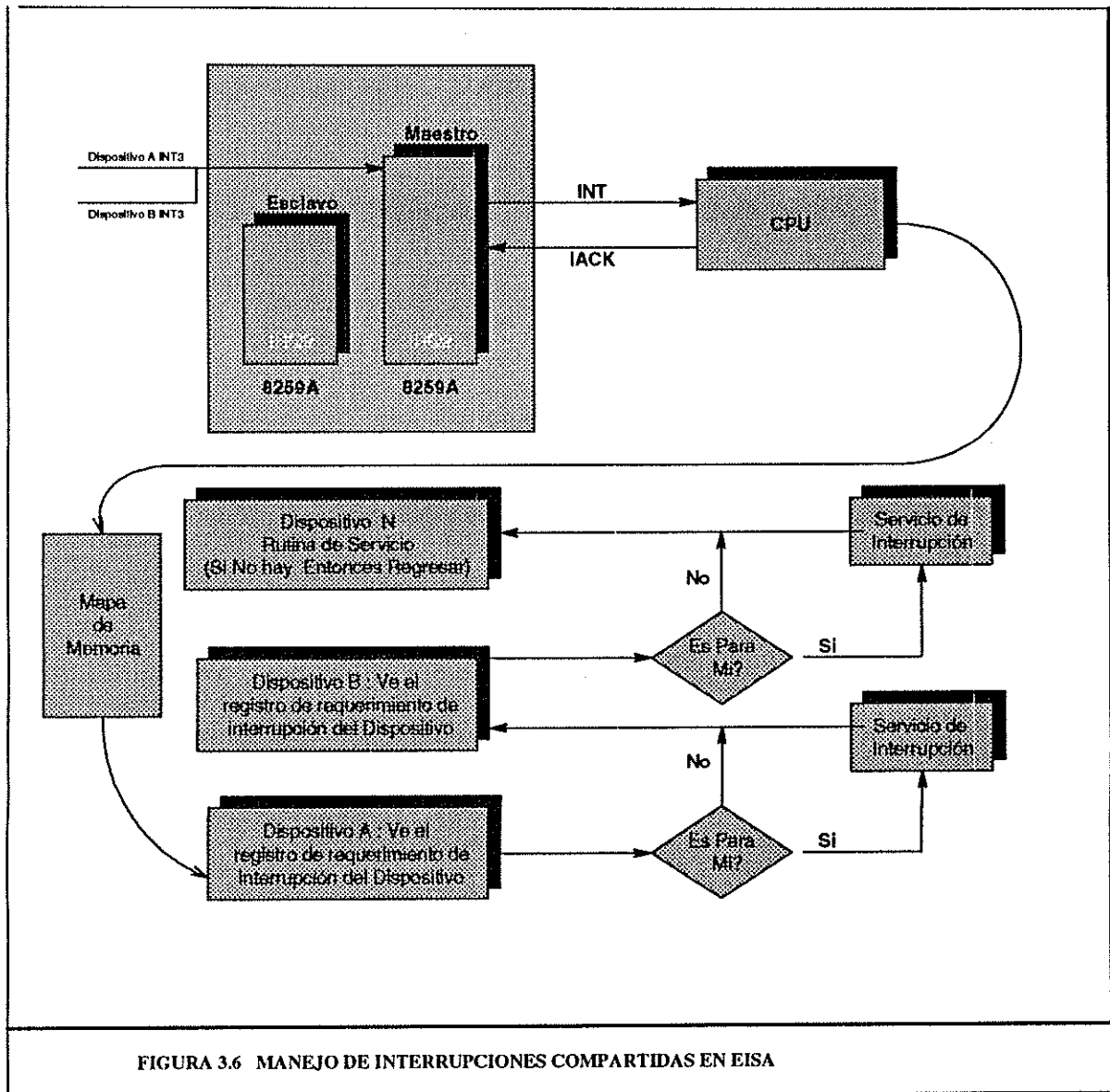
En el ambiente ISA, las líneas IRQ no son compatibles debido a que solamente una transición es registrada, aunque más de una tarjeta genera una transición. La transición de bajo a alto, generada por la primera tarjeta, es reconocida por el controlador de interrupción, y cualquier transición subsecuente debería ser ignorada hasta que la primera sea atendida. Más de un dispositivo de ISA puede ser compartido por una sola línea IRQ, siempre y cuando se sepa que nunca generarán requerimientos de interrupción simultáneamente. Esta restricción tiende a causar una disminución en las líneas de interrupción no usadas.

3.4.2.2 ACTIVANDO INTERRUPCIONES EN EISA

En un sistema EISA, cualquier interrupción puede ser configurada individualmente por operaciones de activación a nivel o al filo. La operación de activación al filo provee compatibilidad completa con las interrupciones existentes manejadas por los dispositivos ISA. Las operaciones de activación al nivel permiten que se comparta una sola interrupción, por varios dispositivos. El proceso por medio del cual múltiples dispositivos pueden ser encadenados a una sola interrupción es descrito más adelante. Las líneas IRQ de ISA, cuando no se está generando una solicitud, o cuando los dispositivos de entrada/salida no están físicamente conectados a la línea, el estado inactivo está en alto o sea en 5V. Esto provee inmunidad al ruido en la línea, y previene solicitudes falsas.

3.4.3 MANEJO DE INTERRUPCIONES COMPARTIDAS EN EISA

- 1.- Véase figura 3.6. El primer manejador de dispositivo es cargado dentro de la memoria y puesto en la dirección de inicio de su rutina de servicio de interrupción "ISR" en el vector de interrupciones asignado.
- 2.- Cuando carga, un segundo manejador de dispositivo toma la dirección del manejador de dispositivo, previo al vector de interrupción y lo mantiene para encadenarlo al ISR que fue cargado primero. El segundo manejador, entonces, pone la dirección inicial de su ISR en el vector de interrupción. Este encadenamiento se encuentra junto con los manejadores de dispositivos que comparten esa interrupción en particular.



3.- Cuando la interrupción es invocada, el manejador de dispositivo (ISR) para cada dispositivo debe de ser escrito de tal manera que para cada evento que se haga, hay que ir y probar su dispositivo en particular, para ver si éste era el que estaba requiriendo el servicio. Si no lo es, el manejador de dispositivo debe pasar el control a la dirección del siguiente ISR que fue encadenado durante la carga inicial.

4.- Este efecto de polling se da para todos los dispositivos que están compartiendo la interrupción, hasta que se encuentre el que hizo la solicitud; después de esto, se pone a funcionar el ISR de ese dispositivo. Cuando se completa el servicio de interrupción, éste es señalado por ese ISR.

5.- Si otro dispositivo está compartiendo el mismo servicio de solicitud de interrupción, mientras este proceso esta siendo ejecutado, el nivel de interrupción estaría todavía activo y el proceso comenzaría de nuevo. En un ambiente de interrupción compartida, más de un dispositivo es atado a la misma línea de requerimiento de interrupción.

3.4.4 EISA BUS MÁSTERS

Todos los sistemas EISA tienen un dispositivo conocido como Control de Arbitración Central (CAC) en la tarjeta del sistema. La tarea del CAC es arbitrar entre el requerimiento sobresaliente para el uso del bus y la admisión al acceso simple del bus máster. Las señales necesarias para ejecutar un ciclo de bus pueden ser generadas por el microprocesador, el controlador del DMA, o un dispositivo inteligente de expansión (bus máster).

Un bus máster es un dispositivo que puede generar las señales de control necesarias para ejecutar las operaciones del bus de la CPU anfitrión.

Un bus máster puede:

- 1.- requerir el control del bus,
- 2.- asumir el control completo de todas las señales cuando le es asignado el bus,
- 3.- ejecutar todos los posibles ciclos de memoria y entrada/salida del bus,
- 4.- acceder tanto el sistema de memoria y otros dispositivos de expansión.

Los bus máster pueden ayudar a remover mucha de la carga en el CPU, al manejar todas las transferencias de información desde y hacia la memoria, puesto que el CPU dedica mucho de su tiempo a hacer simples transferencias de datos; la adición de bus másters inteligentes pueden mejorar dramáticamente el rendimiento del sistema. Ejemplos de aplicaciones que podrían beneficiarse con una implementación de bus máster incluyen tarjetas de interface de red, controladores de disco, sistemas de adquisición de información y cualquier aplicación que involucre gran cantidad de transferencia de datos.

3.4.5 TRANSFERENCIAS DEL BUS MÁSTER

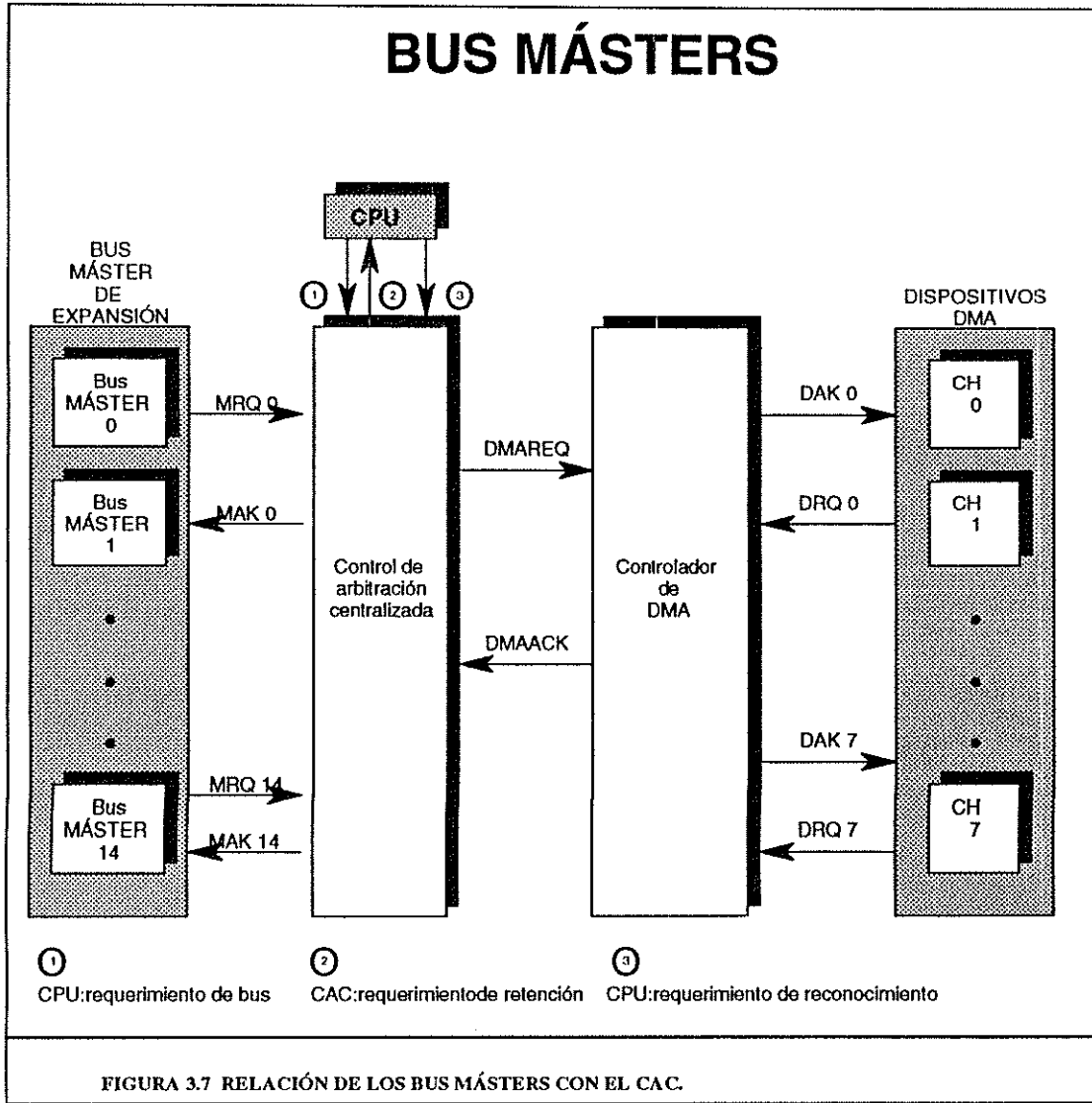
Los bus máster EISA son completamente independientes de los controladores DMA del sistema. Los bus máster EISA usan diferentes señales MREQx (requerimiento maestro) y MAKx (conocimiento maestro) para acceder y conocer el bus de control. La figura 3.7 representa la relación de los bus másters con el CAC. Los pasos que un bus máster EISA realiza para tomar el control de los buses son:

- 1.- el bus máster EISA valida el MRQx para solicitar acceso al bus,

2.- cuando la tarjeta del sistema verifica los MRQx validados, el CAC EISA ejecuta el arbitraje y valida el MAKx para hacer saber que el bus máster puede acceder el bus.

3.4.6 ESQUEMA ROTATIVO DEL ARBITRAJE DEL BUS MÁSTER

El sistema EISA provee un método de arbitraje prioritario rotativo de multinivel que permite compartir el bus eficientemente entre múltiples bus másters EISA y dispositivos de DMA. En un bus totalmente cargado, el orden en el cual los dispositivos pueden ser accedados es independiente del orden en el cual ellos validan los requerimientos del bus, puesto que los dispositivos servidos se basan en la suposición de orden rotacional. Por medio de un esquema de arbitraje centralizado, los bus másters o dispositivos de DMA que no liberan el bus después de apropiarse, pueden inicializarse a cero. El método de arbitraje EISA otorga el bus a los dispositivos DMA, refrescamiento del DRAM, bus másters y funciones del CPU con base en una política circular.



3.4.7 CICLO DE ARBITRAJE

En el ciclo rotacional, el sistema de más alta prioridad es el refrescamiento lógico que requiere el uso del bus del sistema, una vez cada 15 microsegundos, para refrescar una fila de la memoria DRAM; le siguen en orden de prioridad el CPU, los bus másters y los dispositivos del DMA.

El sistema rotacional provee una corta latencia para los dispositivos DMA para asegurar la compatibilidad con los dispositivos ISA DMA. Los bus máster y el CPU, tienen típicamente un buffer disponible con latencias más grandes.

3.4.8 EISA EMB

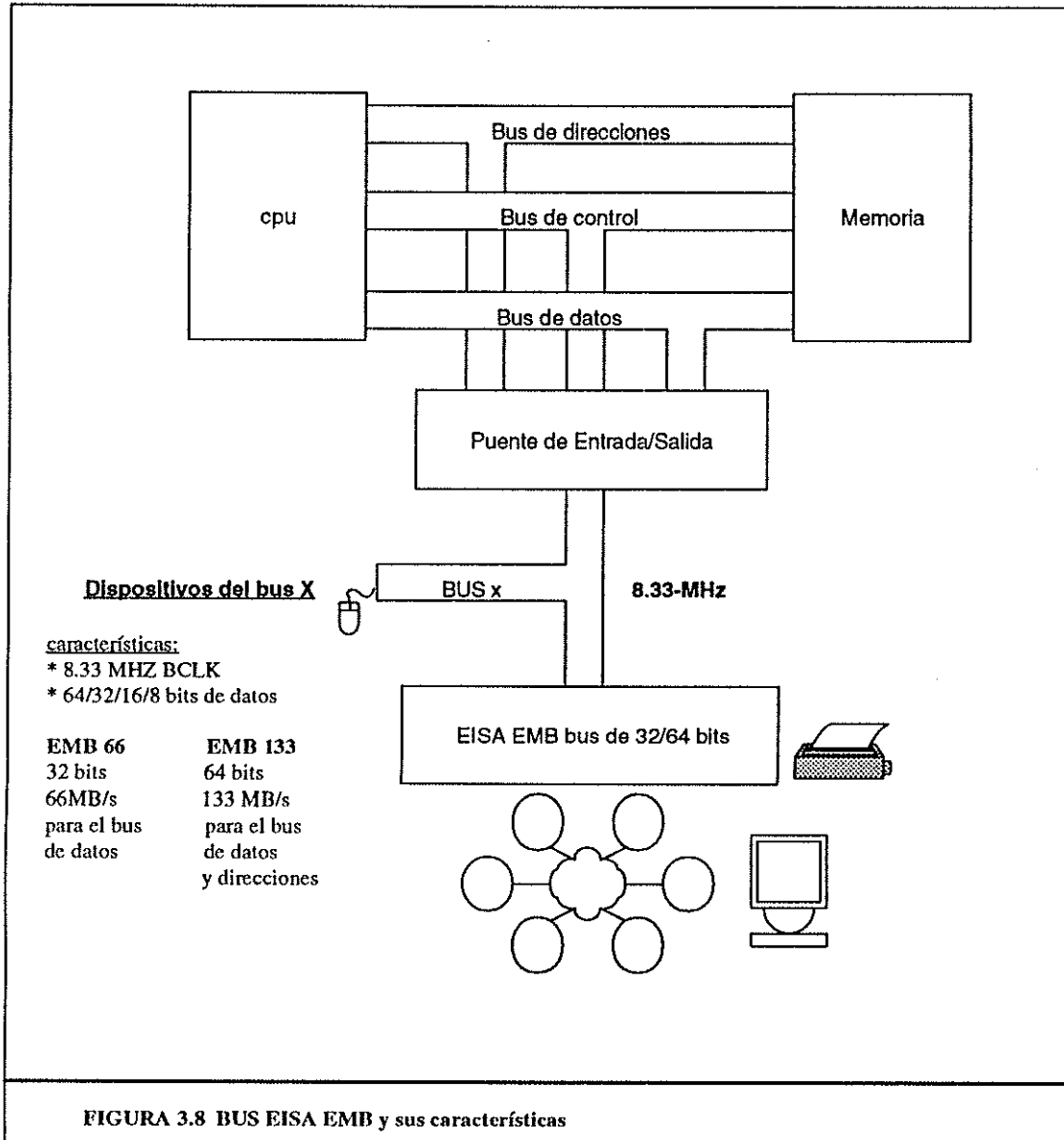
Durante 1993, el consorcio EISA anunció mejoras al bus EISA, conocidos como EISA EMB o EISA con mejoramiento del Ráfaga maestro. Las mejoras proveen un incremento en la ejecución del bus de expansión para lograr aumentar las tasas de transferencia hasta 133 Mbytes/seg., o sea 4 veces el actual ancho de banda de EISA. Dos nuevos tipos de ciclo están manteniendo completa compatibilidad con las normas EISA e ISA.

3.4.8.1 EMB-66

El primero de los nuevos tipos de ciclo es el EMB-66. Los ciclos EMB-66 permiten una tasa máxima de transferencia de datos de 66.6 Mbytes/seg. en un sistemas con un 8.33 MHz de reloj de bus. Cuando una tarjeta de expansión con capacidad EMB-66 es instalada en un sistema con capacidad EMB-66 , la tarjeta puede transferir los datos usando el nuevo tipo de ciclo después de que la configuración del sistema permita que la tarjeta realice tal operación. La tarjeta utiliza los ciclos Ráfaga EISA por defecto (33 Mbytes/seg.), cuando se instala en un sistema que no soporta EMB-66. El ciclo transfiere una secuencia continua de 32 bit de información en orden ascendente de dirección. La información es transferida, tanto en la subida del pulso del reloj del bus, como en la bajada. Los ciclos EMB, al igual que los ciclos ráfaga EISA existentes, no pueden ser usados para direccionar a memoria ISA o entrada/salida. Los ciclos EMB pueden trabajar solamente si las siguiente condiciones se cumplen (véase fig. 3.8):

- 1) la transferencia debe comenzar en un límite de 32 bit cabales;
- 2) la transferencia debe consistir de un múltiplo de 32 bytes (32,64,96,...);
- 3) tanto el maestro como el esclavo deben soportar ciclos EMB-66.

Los dispositivos EMB deben usar ciclos EISA existentes, para alcanzar un límite de 32 bytes cabales y luego realizar la transferencia usando ciclos EISA.



3.4.8.2 EMB-133

El segundo tipo de ciclo definido en el EISA con EMB mejorado es el EMB-133. Los ciclos EMB-133 permiten tasas de transferencia de 133 megabytes/seg. con un reloj de bus igual a 8.33 MHZ. (véase fig. 3.8)

Las reglas e intercomunicación para ciclos EMB-133 son esencialmente los mismos que para los ciclos EMB-66. Ambos son superconjuntos del protocolo para bus máster EISA. La principal diferencia entre los dos es el método que el EMB-133 usa para alcanzar la tasa más alta de transferencia de datos; durante los ciclos EMB-66, 32 bits de información son transferidos, tanto en la

subida del pulso del reloj del bus, como en la bajada. Para doblar la tasa de transferencia del EMB66, los ciclos EMB-133 transfieren una secuencia continua de 64 bits de información que ocurren en una dirección ascendente, tanto en la subida y en la bajada del pulso del reloj del bus. El EMB-133 transfiere el uso de las 32 líneas de información de EISA; las 30 líneas de dirección y 2 de las líneas habilitadas por byte se usan para transferir información como se mencionó antes; una de las condiciones para los ciclos EMB es que tanto el maestro como el esclavo deben tener la habilidad de ejecutar ciclos EMB 66. Para maximizar el uso de los pines reservados, el esclavo y el maestro comunican esta habilidad con una de dos señales. Las señales EMB-66* y EMB-133* son usadas para este propósito y usan los pines previamente reservados E12 y E13, respectivamente (véase apéndice).

3.5 TECNOLOGÍA DE BUS LOCAL

La tecnología de bus local es relativamente nueva para computadoras basadas en Intel. La tecnología implementada procura eliminar la ejecución de los cuellos de botella asociados con los buses de expansión lentos, para poder permitir al bus operar a la velocidad de la CPU. Esto es particularmente valioso para los subsistemas de video, donde la alta resolución y la gran cantidad de colores cargan la capacidad del bus. El sistema de bus local puede aumentar el costo del sistema en menos de \$100, mientras se mejora el rendimiento del video de 2 a 15 veces, sin embargo, existen sistemas que no pueden avanzar hacia esta tecnología. Originalmente la intención fue que fuese usado por el video, pero los adaptadores de bus local son realmente disponibles para otros propósitos incluyendo controladores de disco y adaptadores LAN. A continuación, algunos de los principales atributos y características del bus local de entrada/salida:

- 1.- el diseño del bus local fue principalmente pensado para sistemas de gráficos,
- 2.- extensiones directas o indirectas del sistema de bus;
- 3.- el bus local corre a la velocidad del microprocesador;
- 4.- los buses locales complementan el diseño de bus existente, y no lo reemplazan, al menos en un número pequeño de años,
- 5.- la implementación es bastante flexible; ambas normas permiten verificar ranuras y dispositivos integrados;
- 6.- el diseño de bus local conforme se acerca a una de 2 normas, a la PCI basada en un chip de Intel, o la VL-BUS.

3.5.1 APLICACIONES DEL BUS LOCAL

La implementación de un bus local muestra la variación del mejoramiento del rendimiento, que depende de un número de factores. El video se beneficia siempre del bus local, específicamente cuando se usa un ambiente con interface gráfica del usuario, GUI. Por ejemplo, cuando la pantalla VGA usa windows 3.1 de 16 colores y 640x480 pixels; esto requiere de 154 Kb de datos (640x480x4bits por

pixel/8bits por byte). Esta cantidad de datos puede ser transferida vía bus de la tarjeta de video, cada vez que una nueva y diferente pantalla necesita ser desplegada, potencialmente arriba de 72 veces por segundo, pero todo en una actividad extremadamente pesada, que puede ser manejado por un ISA. Sin embargo, el otro extremo da un despliegue de 1024x768 con 16.7 millones de colores en modo de 24 bits requiere 2.3 Mbytes por cada pantalla y esto no lo podría hacer ISA.

3.6 VESA VL

La especificación del VL-Bus, introducida en agosto de 1992, por VESA (Video Electronics Standards Association) fue inicialmente enfocada a la normalización del bus local, que es opción de las tarjetas de video, para usar en PC.

VESA VL de la Video Electronics Standards Association, formado por las personas que han coordinado los estándares de video y algunas otras cosas, parece ser el más popular entre los fabricantes. Sin embargo, hay una tendencia real hacia el PCI.

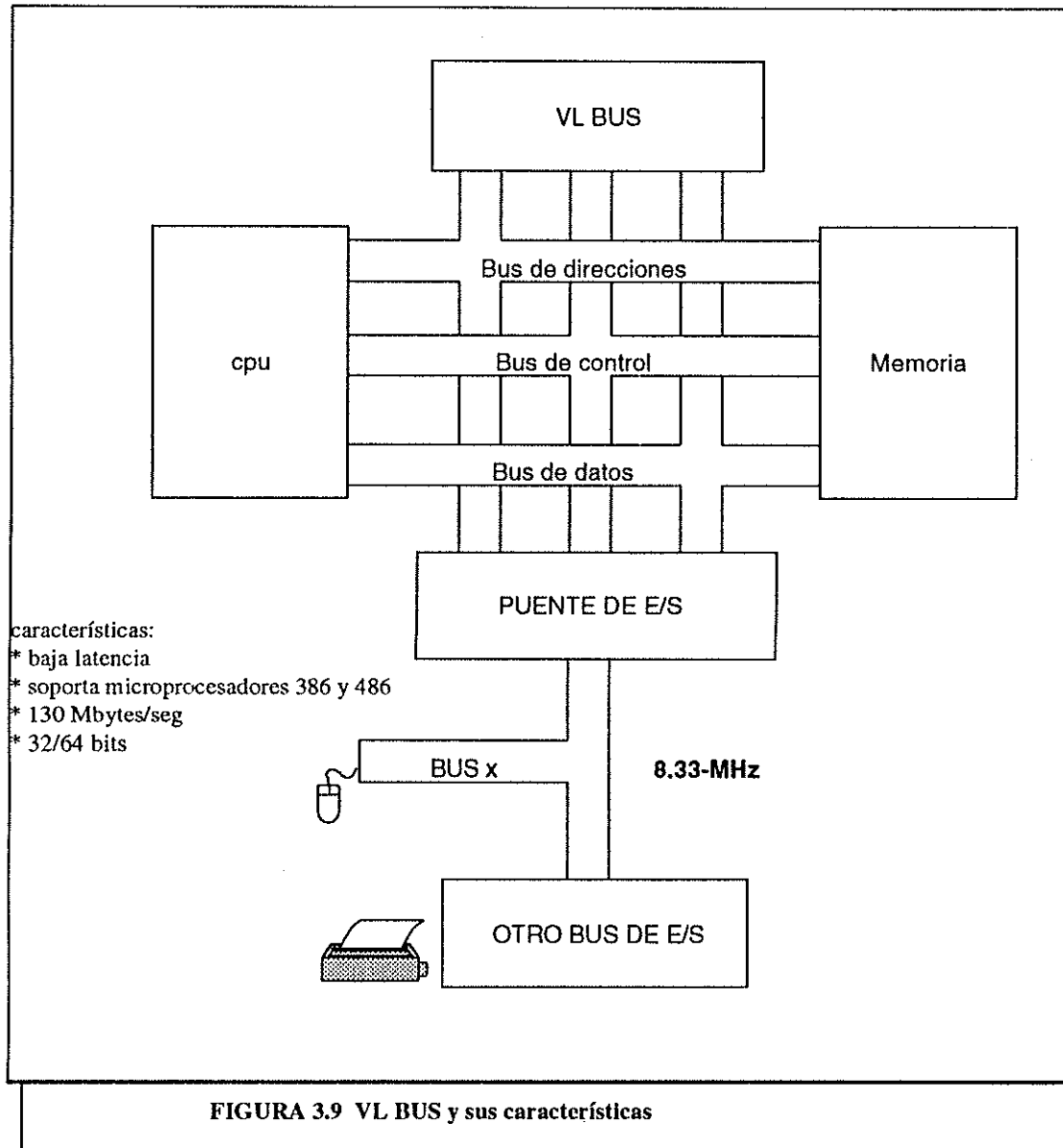
El VL bus es de diseño abierto, lo que significa que cualquiera que quiera construir productos que se adhieran a la especificación es libre de hacerlo, y muchos ya lo han hecho.

3.6.1 ARQUITECTURA DEL BUS

El VL-Bus fue diseñado por Intel para las plataformas 386 y 486. El diseño del bus local es bastante simple, barato y enfocado en un segundo y tercer lugar en las tarjetas del sistema PC. El diseño es implementado con un ancho de banda de 32 bits, y es directamente una extensión del sistema de bus.

El estándar del VL bus 1.0 soporta una ruta de datos de 32 bits (véase fig. 3.9), pero también puede usar dispositivos que transfieren 16 bits a la vez. El estándar último, 2.0 es un bus de 64 bits que concuerda con los procesadores PC más recientes. El bus está implementado mediante un conector tipo MCA con 112 patas. Es un conector de 16 bits con las patas redefinidas para soportar una ruta de datos de 32 bits (véase apéndice).

El VL soporta velocidades desde 16 hasta 66 MHz, que es un ancho de banda suficiente para trabajar con cualquiera de los diseños de PC actuales. Sin embargo, la especificación 1.0 está limitada a señales de 40 MHz en cualquier ranura de expansión (en oposición a los componentes basados en la tarjeta del sistema) y la especificación 2.0 está limitada a 50 MHz. Un VL bus puede tener hasta 10 dispositivos (bajo la revisión 2; bajo la revisión 1 soporta solamente tres ranuras). Se soportan velocidades de transferencia sostenidas de 106 Mbytes por segundo, con una velocidad proyectada de 260 Mbytes por segundo, para el bus de 64 bits. Aunque el diseño del



VL bus está mejorado para la CPU de la familia 86, también funciona con otros procesadores, y hace al VL un candidato potencial para diseños entre plataformas.

Otra característica de diseño interesante y útil del VL bus es que un dispositivo de 64 bits opera en una ranura VL de 32 bits como un dispositivo de 32 bits, y un dispositivo de 32 bits puede trabajar en una ranura de 64, bits pero solamente soporta la transferencia de datos de 32 bits. El VL bus también soporta periféricos de 16 bits y CPU como la 386 SX con una E/S de 16 bits.

En la especificación del VL, se reconocen dos tipos de dispositivos: los bus máster y los esclavos del bus. Los bus máster pueden iniciar transferencias de datos a lo largo del bus y puede incluir su propio procesador. Un esclavo, por otro lado, responde a peticiones iniciadas por un bus máster que esté en cualquier lado del sistema. Un bus máster puede funcionar como destino para otro dispositivo bus máster.

Entre sus características deseables de VL bus, está su capacidad de operar con un amplio rango de diseños de software de sistema y de aplicación. La configuración de dispositivos de VL bus es manejada completamente en hardware, lo que significa que el software de aplicación y de sistema no tiene que comprender al VL bus para trabajar adecuadamente con éste. El VL bus usa un estándar de DC de 5 voltios y cada conector puede consumir hasta 10 watts (2amp) de la ranura. Las especificaciones VL también incluyen dispositivos de 3.3 voltios, por lo que nuevos CPU de bajo voltaje y dispositivos de soporte pueden verse con el bus VESA.

3.7 PCI (Peripheral Component Interconnect)

Está diseñado y mantenido por el Peripheral Component Interconnect Special Interest Group, o PCI SIG.

El bus local PCI puede tener una ruta de 32 o 64 bits para transferencias de datos de alta velocidad (véase fig.3.10). Soporta ambos ambientes de señales de 5 y 3.3 voltios, por lo que el PCI puede acomodarse en el ambiente de escritorio de 5 voltios, así como en el mundo emergente de baja potencia 3.3 voltios.

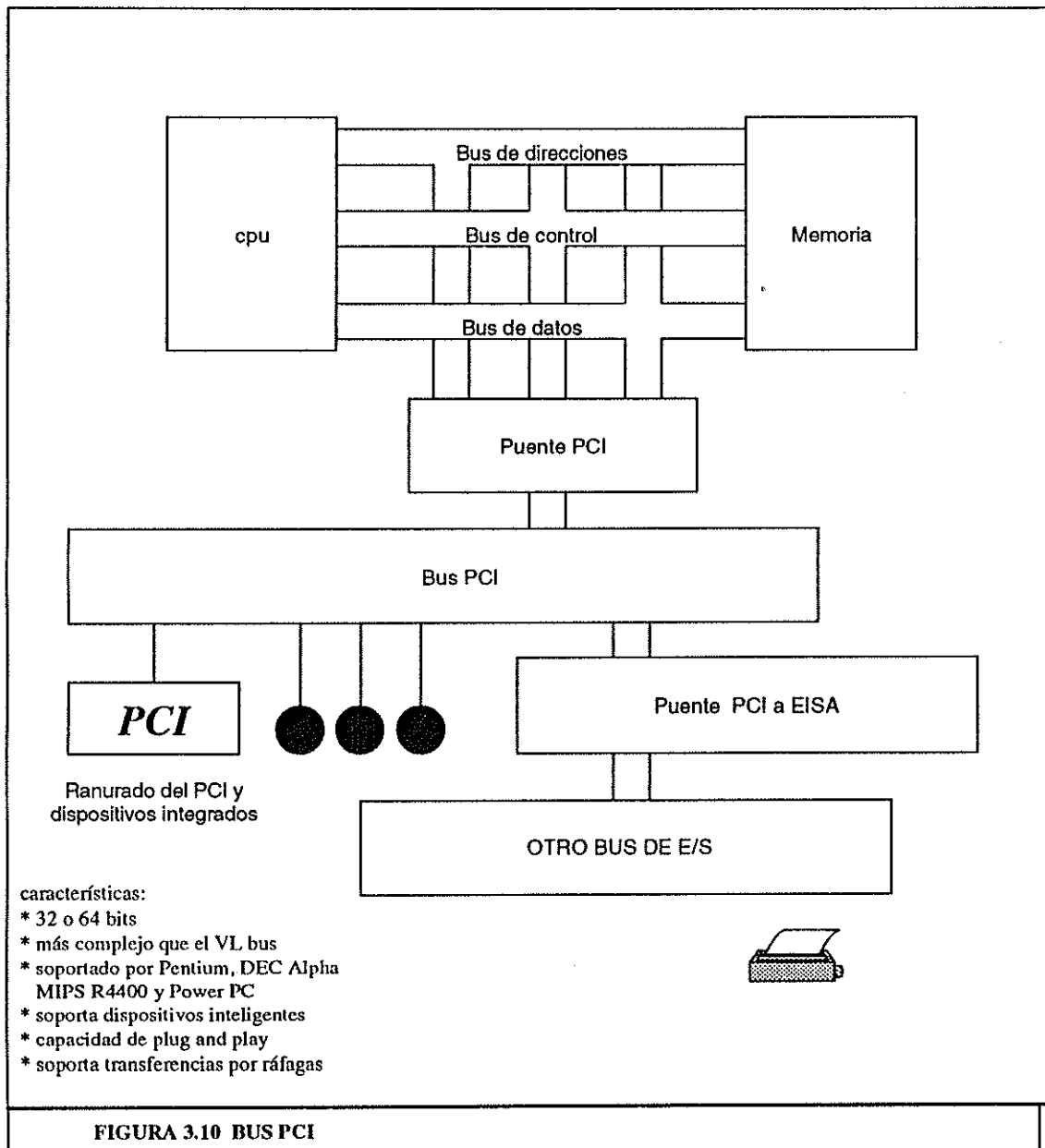
El PCI esta orientado hacia el hardware de las PC de escritorio.

3.7.1 CARACTERÍSTICAS DE DISEÑO

Entre estas características, se encuentra la ruta de mejoramiento transparente del bus local PCI, desde una ruta de datos de 32 bits a una ruta de datos de 64 bits. El diseño de 32 bits es capaz de transferir datos a velocidades de hasta 132 Mbytes por segundo, mientras que el diseño de 64 bits puede transferir información a una velocidad de hasta 254 Mbytes por segundo. Esto es realmente rápido, comparado con alguna de las herramientas convencionales para la transferencia de datos usadas en las PC.

Las tarjetas controladoras de periféricos diseñadas para el bus local PCI, tienen especificaciones de autoconfiguración grabadas en una memoria incluida en la misma tarjeta, para proveer la información de instalación necesaria para el sistema durante la fase de arranque. Las rutinas del BIOS configuran automáticamente cada dispositivo de PCI basándose en los recursos que ya están en uso por las tarjetas. Al menos teóricamente, el usuario no tiene que ajustar interrupciones o puentes para elegir niveles de IRQ, de DMA o direcciones de memoria cada vez que agregue un periférico al sistema.

Este bus, al igual que el anterior, tiene dispositivos máster y esclavo, el cual también trabaja de la misma forma que el anterior bus especificado.



3.7.2 DETALLES DE HARDWARE Y SOFTWARE

El PCI requiere un mínimo de 47 patas para un dispositivo de solo esclavo y 49 patas para un máster. Esto es bastante increíble cuando se considera el potencial de este bus y el hecho de que esto incluye al manejo de datos y su direccionamiento, control de interfaz, arbitraje y función

del sistema. Sin embargo, la especificación proporciona hasta 120 conexiones para una tarjeta estándar de 32 bits y 184 patas para las tarjetas de 64 bits, la mayoría de las cuales se usan para habilitación completa del estándar. Este es un diseño multiplexado, donde varios tipos de señal se transportan por las mismas patas (véase apéndice).

Tres espacios de direcciones físicas están definidos para PCI: memoria, E/S y configuración. La memoria y el direccionamiento de E/S son muy comunes y son usados en todos los diseños de bus. El espacio de direccionamiento de configuración de la PCI se usa para la característica de configuración automática del hardware, que es parte de la definición. Otra característica de diseño que simplifica al bus básico es la decodificación distribuida de direcciones.

Por lo tanto, con el estándar PCI no se necesita lógica central de descodificación o señales para selección de dispositivo más allá de la que se usa para configuración

3.7.3 CARACTERÍSTICAS FÍSICAS

Dos tarjetas físicas están definidas bajo la especificación PCI: una tarjeta de longitud completa y una tarjeta corta, como es el caso de las tarjetas de expansión del bus convencional. Las tarjetas estándar de 32 bits tienen 120 conexiones activas, con cuatro posiciones de patas usadas para la clave de la tarjeta, que hace un total de 124 posiciones de pata. Una extensión de 64 patas para un total de 184 (véase apéndice).

3.8 VME BUS

Versa Module Eurocard (módulo europlaca versátil). El VMEbus puede definirse como una arquitectura de módulos tamaño europlaca, conectables entre sí a través de un pin de conexión común o "backplane", de manera que cada módulo realiza una función concreta dentro del sistema, y cumple unas especificaciones mecánicas y eléctricas determinadas.

Las especificaciones que cada módulo ha de cumplir vienen detalladas en la norma VMEbus ANSI/IEEE SATD 1014 e IEC821 y 297. Esto garantiza la plena compatibilidad y entendimiento entre módulos, sean o no de mismo fabricante.

3.8.1 HISTORIA

La historia del bus VME se remonta a 1981, año en que los buses entonces establecidos, tales como el Multibus, IBM PC, STD bus etc., no estaban concebidos para soportar una arquitectura completa de máximo rendimiento de los ya entonces inminentes μ P de 32 bits. Además, muchos de éstos presentaban deficiencias de diseño mecánico, o sólo estaban concebidos para una determinada familia de microprocesador.

Para ofrecer una respuesta a la demanda citada, las firmas Motorola, Mostek y Signetics decidieron formar una comisión técnica que definiese un bus avanzado, que debería responder a las siguientes premisas básicas:

- 1) Se precisaba un bus de elevada capacidad, que estaba diseñado para soportar completamente 32 bits de datos y direcciones, pero con la posibilidad de operar satisfactoriamente con 16 e incluso con 8 bits.
- 2) Debía de ser independiente de un tipo de microprocesador determinado.
- 3) Se estimaba necesario que ofreciese buenas prestaciones mecánicas, a fin de ser ideal para aplicaciones industriales militares.
- 4) El formato de las placas debería ser Eurocard estándar, con al menos dos tamaños compatibles entre si (3U y 6U).
- 5) Cualquier fabricante podría producir módulos y accesorios, sin necesidad del abono de royalties o patentes. Esto favorecía su difusión.

Con estas consideraciones como premisas de base, la citada comisión técnica redactó el conjunto de especificaciones que definen el bus VME, las cuales han venido siendo completadas y revisadas periódicamente hasta su versión actual.

3.8.2 VENTAJAS

3.8.2.1 AMPLIA ESTANDARIZACIÓN

Ésta implica una buena difusión del VMEbus, sus accesorios, su literatura técnica, etc., así como la existencia de una gama variada y completa de módulos, opciones, márgenes de temperatura, etc. Por otra parte, algunos fabricantes son especialistas en cierto tipo de módulos funcionales, lo que se traduce en que el usuario dispone de módulos específicos, diseñados por ingenieros expertos en ese tema concreto. La última ventaja para operar un bus estándar y muy difundido, se encuentra en la fácil aceptación universal del producto final obtenido por el usuario.

3.8.2.2 GRAN CAPACIDAD DE CÁLCULO

Este es un factor clave, en especial en proyectos y aplicaciones profesionales. En este sentido, el VMEbus está concebido como un bus asíncronico de 32 bits, que apenas limita la capacidad de cálculo de los μ P utilizados. Esto es debido a que las especificaciones VME no definen intervalos prefijados en las transferencias de información entre los módulos que se encuentran interconectados, sino que en cada momento el tiempo de acceso es flexible, y equivale al mínimo de tiempo que necesita cada unidad para completar el ciclo.

3.8.2.3 AMPLIO NÚMERO DE CANALES ENTRADA SALIDA

El VMEbus demuestra una gran capacidad en el apartado de número de canales de entrada/salida, ya que el tamaño y forma de las placas doble europlaca, permite un óptimo aprovechamiento en este sentido. Así actualmente se encuentran placas con 64 canales analógicos de

entrada, 128 canales de E/S discretos, 16 canales de comunicación RS-232, etc., lo que permite con 16 placas similares acceder y superar los 1024 canales.

3.8.2.4 FIABILIDAD OPERATIVA

El VMEbus ofrece un diseño y concepción esmerado, que está orientado a obtener sistemas operativamente muy fiables. En este sentido, dispone de un conjunto de líneas auxiliares, que permiten monitorizar eventos de importancia en el transcurso de una aplicación.

Así, la línea "acfail" permite informar a los módulos de proceso que hay un fallo o falta de energía en la fuente de alimentación; la línea "sysfail" permite informar a una placa del fallo de otra, etc.

3.8.2.5 AUSENCIA DE RESTRICCIONES EN EL SOFTWARE

Debido a que las especificaciones VME sólo afectan a aspectos tales como la interface eléctrica entre módulos la distribución de señales en conectores, en las dimensiones mecánicas, etc., el diseñador de módulos VME posee plena libertad para escoger el tipo de μ P que va a utilizar, así como el sistema operativo o software que desea usar en sus equipos.

3.8.3 DESVENTAJAS

No todo son ventajas, y dentro de inconvenientes clásicos de VMEbus se pueden citar:

3.8.3.1 COMPLEJIDAD

Como consecuencia de las elevadas prestaciones que ofrece y del alto nivel tecnológico de los μ P que suelen utilizarse, por ejemplo el MC 68048, el VMEbus necesita de cierto período de aprendizaje, imprescindible para que el usuario medio adquiera cierto dominio del mismo, y que le permita acometer proyectos de ingeniería con éxito en un plazo razonable, pero cuando ya se tenga un poco de conocimiento de las prestaciones ofrecidas por el bus que compensan el esfuerzo.

3.8.3.2 COSTE ALGO ELEVADO

En especial comparado con el mercado de productos PC, el coste superior del VMEbus no es sino una consecuencia directa de su mayor calidad. Este factor que, puede ser importante en proyectos de pequeño alcance y presupuestos reducidos, tiene una influencia relativa sólo en proyectos grandes, donde los requisitos de la aplicación y el presupuesto suficiente, hacen que el bus VME sea totalmente aconsejable.

3.8.4 ARQUITECTURA GENERAL

La utilización de un buen número de dispositivos constituye la clave de las elevadas prestaciones y fiabilidad bus VME, y cada unidad queda perfectamente definida en las especificaciones

en todo lo relativo a las señales eléctricas que maneja, sus tiempos de propagación, etc. Los módulos funcionales descritos son:

- a) Serial clock driver. Esta unidad proporciona un enlace de serie local entre módulos conectados en un sistema VMEbus. Este bus local auxiliar de nominado VMSbus posee una especificación independiente, que queda fuera de las especificaciones del VMEbus.
- b) System clock driver. Esta unidad proporciona una señal de reloj de 16 mhz de frecuencia. Esta señal puede ser usada por los diseñadores para gobernar contadores, realizar temporizaciones, etc.
- c) Power monitor. Este dispositivo realiza funciones de vigilancia de la tensión de alimentación CA de un sistema VMEbus, que informa a los módulos del sistema los fallos que se produzcan en el suministro, a fin de que se tomen medidas antes del corte local de alimentaciones CC.
- d) Arbiter. Unidad que gestiona el uso del bus VME cuando varios módulos de CPU trabajan juntos en un sistema de multiproceso. El arbitro recibe las peticiones de bus de los distintos maestros y concede o deniega el bus, en función de las prioridades asignadas.
- e) Iack daisy-chain driver. Cadena de propagación de un ciclo de reconocimiento de interrupción, que permite a los módulos VME ceder por el bus los identificadores o vectores de interrupción.
- f) Bus timer. Esta unidad incluye un temporizador que controla el tiempo transcurrido en cada acceso al bus. Si el tiempo excede un límite, se genera un error de bus, lo que puede utilizarse para recuperar la CPU ante un acceso erróneo a dispositivo esclavo inexistente, o que no responde.
- g) Location monitor. Básicamente es un dispositivo que responde cuando en el VMEbus se accede a determinadas direcciones. Esto permite la habilitación de las interfaces del módulo que lo porta al bus. Físicamente se encuentra realizado mediante decodificadores.

3.9 PCMCIA (Asociación de interface de tarjetas de memoria para computadoras personales)

Todas las normas de bus anteriormente citadas presuponen que se usarán en PC's de escritorio, pero no sólo existen éstas, ya que después de la miniaturización de la PC, se lograron las llamadas laptop, y se creó un mundo, el mundo de las computadoras móviles. Las laptop son absolutamente indispensables para profesionistas que viajan, pues son compatibles casi en un 100% con las PC de escritorio, sin embargo, las laptop nunca han podido dar soporte a las tarjetas de expansión; por regla general las laptop no tienen ranuras de expansión. Por esa razón, cuando

se requería incrementar la memoria en éstas, los usuarios debían recurrir a los fabricantes, lo cual resulta caro.

Los japoneses en 1980 fundaron la asociación PCMCIA, con la finalidad de atacar este problema, y crearon un tipo de ranura para una tarjeta de memoria, que debía tener aproximadamente el tamaño de una tarjeta de crédito, sólo que más gruesa.

3.9.1 Características de arquitectura

PCMCIA soporta 64 Mbytes de posibles direcciones de memoria; esto se debe a que el bus usa 26 bits para direccionar la ruta de datos, que es de sólo 16 bits. El número posible de ranuras en la mayor parte de los otros buses no es más de 16 pero el PCMCIA, teóricamente, puede dar soporte a 4,080 ranuras PCMCIA en una PC. La velocidad está limitada a una velocidad de reloj de 33 MHz. Esta norma no da soporte a bus mástering ni a DMA. En cuestión de configuración conectar y operar (Plug and play) es lo que se usa, o sea configuración a base de programas. En virtud de las pequeñas dimensiones físicas de la tarjeta, nunca se verán presentes selectores DIP ni puentes en ellas.

3.9.2 Tipos de tarjetas existentes

Existen 3 tipos de ranura PCMCIA dado que no sólo se necesita expandir memoria, sino que también conectarse a redes por medio de modems, tener discos duros etc. Los tipos se describen a continuación:

- **Tipo 1:** o versión 1, es de 3.3 milímetros de espesor, con un conector para 68 patas; la mayor parte de las tarjetas de este tipo son de memoria, ya sea RAM normal o tarjetas de memoria especiales que incluyen un programa (por ejemplo, lotus 1-2-3 y WordPerfect)
- **Tipo 2:** al desarrollar esta ranura, se desarrolló un importante estándar para programas llamado Card Services y Socket Services (Servicios de tarjeta y Servicios de receptáculo). Las tarjetas Tipo 2 pueden diseñarse para funcionar como un objeto que se coloca directamente en espacio de direcciones de la memoria de la PC, tienen de 5 milímetros de grueso. El tamaño no es la única diferencia entre los tipos de tarjeta 1 y 2, también existe otra, y es la forma de uso, la primera carga su contenido a memoria principal para poder usarlo, la segunda no necesita hacerlo; se puede usar el contenido directamente.
- **Tipo 3:** son tarjetas de 10.5 milímetros de espesor, dan soporte a discos duros removibles.

La especificación de PCMCIA influyen la especificación de PCI. Versiones futuras utilizarán características adicionales de PCI. La especificación de PCMCIA define el tamaño físico de la tarjeta, diseño electrónico, tamaño y tipo de conector y el software necesario para encenderlo.

La arquitectura e/s PCMCIA está relacionada con el diseño e/s existente por medio del uso de un Adaptador de Bus Host (HBA) que acomoda los receptáculos con los cuales se puede conectar la opción PCMCIA. El PCMCIA es un bus host independiente. Cada tarjeta necesita conectarse en un receptáculo que tiene su propia electrónica, que permite hacer interface con el HBA. El HBA actúa como una interface con el sistema de e/s. Para que las aplicaciones puedan trabajar con el dispositivo, se necesita que sea un manejador que pueda comunicarse con el software de servicios de tarjetas, el cual configurará e iniciará la transferencia de información a través del software "servicios del receptáculo".

El software de servicios del receptáculo actúa como una extensión de los sistemas de BIOS y como tal la capa de servicios de tarjetas actúa como un software de interface de nivel general o bajo por medio del cual los manejadores se pueden comunicar. Alternativamente, los programadores tienen la opción de programar directamente el HBA, a pesar de que esto requerirá trabajo extra, conforme la interface de servicios de receptáculo actúa para realizar esta tarea automáticamente. La funcionalidad provista por los servicios de tarjeta y receptáculo se realiza de la siguiente manera:

- **Servicios de tarjeta.** Las tarjetas tienen manejadores que trabajan a través del sistema de aplicación\operación para detectar la presencia de un dispositivo y establecer los requerimientos de configuración para el mismo. A través de los servicios de la tarjeta, el manejador puede configurarla sin tener que administrar el gasto de los recursos que son requeridos y qué recursos del sistema de hardware están disponibles.
- **Servicios de receptáculo.** Provee la información que los servicios de tarjeta necesita para configurar el dispositivo. El sistema de aplicación\operación se comunica con los servicios de tarjeta y luego los servicios de receptáculo configuran y trabajan con la tarjeta PCMCIA (por medio del HBA) para proveer configuración.

ESTADO ACTUAL Y TENDENCIAS

CAPÍTULO IV

4.1 ESTADO ACTUAL

La guerra de buses se presume que ha terminado, hasta ahora PCI se encuentra sobre VL-Bus y EISA. Esto es cierto, por lo menos para el bus de expansión. A continuación, se dan datos importantes de la actualidad.

4.1.1 COMPARACIÓN PCI- VL-BUS

El estándar para Interconexión de Componentes Periféricos es lo más nuevo en la tecnología de bus local y, después de un largo período de gestación, finalmente se ha llegado a las computadoras personales de escritorio de uso general. Si bien el video de alta velocidad y mejoras en el rendimiento del disco duro por medio de VL-BUS o las ranuras exclusivas de expansión de Bus local han estado disponibles por algún tiempo, el PCI eleva de manera impresionante el límite de rendimiento de datos para las PCs basadas en Pentium.

El PCI ofrece un rendimiento más alto, configuración automática de tarjetas periféricas y compatibilidad superior. En cuanto a desventajas, es probable que sea más caro por algún tiempo y sólo se presente en sistemas avanzados, que requerirán video con mayor velocidad y potente acceso al disco.

La amplia aceptación de Microsoft Windows 3.1 y OS/2 2.1 de IBM ha hecho que las ranuras de expansión de Bus Local sean una característica indispensable de las PCs. En otras palabras, la cantidad de datos gráficos requeridos por las aplicaciones de Windows y OS/2 ha agotado la capacidad de transferencia de los buses de expansión de Arquitectura Estándar de la Industria (ISA), Micro Canal (MCA) y Arquitectura Extendida de la Arquitectura Estándar de la Industria (EISA).

Para evitar este cuello de botella en los datos, los diseñadores de la PC circunvalaron el bus de expansión estándar conectando los circuitos de control de gráficos directamente al bus local del CPU 486, que da como resultado el VL-Bus.

Como los circuitos de video y frecuentemente los controladores de disco duro de las PCs de bus local, residen en las mismas líneas de señal que el CPU usa para tener acceso a la memoria DRAM; estos periféricos pueden operar a la velocidad máxima de reloj del CPU, y en una vía de datos de 32 bits de ancho. Esto se traduce en un rendimiento excelente con resoluciones más altas, más colores y una razón de refresco de pantalla más rápida, y abre la PC al video de movimiento completo, que normalmente sobrecarga la tecnología convencional de bus.

Con los sistemas de bus local actuales, el rendimiento gráfico está limitado sólo por el rendimiento de los chips de CPU y gráficos, y no por el bus que corre entre ellos. Un estándar de

interfaz de periféricos establecido por la Asociación para Estándares de Electrónica de Video (VESA) define la conexión directa al CPU 486, porque el VL-Bus es específicamente un bus 486.

Esto significa que los diseñadores de tarjetas de sistema que quieran construir VL-Bus para el Pentium, deben proveer búferes para el VL-Bus, retrasando el sistema para el Pentium. También las velocidades de bus local del Pentium, a 60 y 66 MHz, son demasiado rápidas para más de un periférico integrado de VL-Bus. Los diseños típicos operan el VL-Bus a 33 MHz, lo que permite más periféricos VL-Bus.

Además, en un sistema de alto rendimiento que corra un verdadero sistema operativo de multitareas como el OS/2, Windows NT, o Unix, el PCI tiene la ventaja en rendimiento, gracias a su capacidad de trabajar simultáneamente con el CPU.

Sin embargo, en los diseños actuales de VL-Bus, el CPU no puede operar independientemente cuando está activo un dispositivo de VL-Bus, potencialmente retrasando al procesador. Esto también es cierto para sistemas Pentium de VL-Bus presentados hasta ahora, aunque no tiene que ser así. Como el VL-Bus es esencialmente un bus de 486, se debe ejecutar mediante un puente a sistema Pentium. Tal puente podría diseñarse e imitar al PCI. Al mismo tiempo, una nueva especificación del VL-Bus promete hacer que esta guerra de los buses sea más interesante.

El VL-Bus 2.0 pasó a 64 bits, y será más efectivo en las PCs con Pentium, pero los juegos de chips Pentium/VL-Bus que proveen el rendimiento de bus para los juegos de Pentium/PCI actuales no estarán listos por algún tiempo, y así el uso de búfer elimina cualquier ventaja de costo que el VL-Bus tenía en las PCs 486.

Los creadores de Intel están poniendo de su parte para asegurar que el PCI crezca con éxito. El intento es hacer al PCI un bus tan universal como sea posible y evitar los caminos que los estándares de bus EISA y MCA ya recorrieron; ambos son avanzados, pero nunca tuvieron ganaron una amplia aceptación pública en el escritorio. Intel ha estado ocupado proponiendo el PCI a los fabricantes de PCs, clientes corporativos grandes, y como se ha notado recientemente, a los usuarios finales.

4.1.2 LA NUEVA BASE PCI

Con la presentación del juego de chips Intel 82430 PCIsset, los fabricantes comenzaron a desarrollar sistemas que explotan completamente el rendimiento del Pentium sin hacer cambios importantes en la arquitectura existente de la PC. La arquitectura PCI se diseñó para trabajar junto con los buses actuales ISA o EISA. El PCI pone el chip de gráficos de video y los componentes de E/S de LAN, SCSI y E/S básicos en un bus separado. En las computadoras de hoy, estos componentes están ubicados en los buses ISA, EISA o MCA. Con la arquitectura PCI, estos componentes pueden operar en un bus de 32 bits a 33 MHz. El bus ISA tiene sólo 16 bits de ancho y ejecuta a sólo 8 MHz.

Aunque los estándares EISA y MCA usan buses de 32 bits, sólo pueden operar a 8 y 10 MHz respectivamente. El 82430 PCIsset consiste del 82434LX PCMC (PCI/Caché/Controlador de memoria) y del 82433LX LBA (acelerador de bus local) de Intel y un puente PCI/ISA o PCI/EISA

para conectarse al bus principal. Las ventajas del PCI son evidentes cuando se compara con las especificaciones de VESA VL-Bus.

Si bien el VL-Bus y el PCI son aproximadamente idénticos en términos de rendimiento (130 y 132 Mb/s respectivamente), el VL-Bus necesita un controlador adicional de bus de dispositivos que no sean de video y se limita a tres periféricos de 33 MHz. A velocidades superiores, deben añadirse estados de espera para retrasar a los componentes y evitar las demoras, o si no el número de periféricos conectados debe limitarse a dos.

Las tarjetas con dominio de bus tiene conflicto con el bus local de un sistema de VL-Bus y no permiten trabajar simultáneamente con el procesador. La arquitectura de VL-Bus no apoya el modo de ráfaga completo del procesador. La arquitectura PCI permite que hasta 10 periféricos trabajen a 33 MHz, y el controlador de PCI puede usar una vía de acceso de 32 bits o una de 64 bits de datos para el procesador, que puede ejecutar simultáneamente con múltiples periféricos con dominio del bus. El 82430 PCIset apoya 512 Kb de caché externo con RAM estática de ráfaga.

PCI le permite a los fabricantes de computadoras que integren no solamente el video, sino también otros dispositivos periféricos, tales como los de LAN y SCSI directamente en el bus local. Si bien el VL-Bus puede ser la manera fácil y rápida para que las computadoras aceleren los gráficos actualmente, la arquitectura PCI tiene el potencial de convertirse en el estándar para los sistemas que corren periféricos múltiples al rendimiento máximo del procesador.

4.1.3 PCI A LA CABEZA

Las configuraciones de PCI, por ahora, ofrecen solamente una pequeña ventaja de rendimiento sobre las configuraciones similares de VL-Bus. La falta de una ventaja clara de PCI sobre VL-Bus se puede atribuir a los problemas encontrados en las primeras versiones de los juegos de chips de apoyo Mercury PCI de Intel. La mayor desventaja de este juego de chips es que no apoya un caché externo de contraescritura, a menos que se use el costoso SRAM sincrónico

El próximo juego de chips de Intel, que tiene el nombre de Saturn, apoyará el caché externo de contraescritura sin la necesidad de SRAM sincrónico.

Los dolores de crecimiento de PCI, que se han visto, se puede atribuir a los fabricantes que no implementaron todas las características del juego de chips PCI en sus diseños de tarjetas madres. La semejanza en el rendimiento de las tecnología PCI y VL-Bus indican que la combinación del sistema PCI/Pentium todavía no ha madurado.

4.2 TENDENCIAS

Para el futuro no sólo existe el problema de los buses de expansión, sino que también está el de un bus secundario para conectar periféricos de manera externa. Una solución exitosa necesita combinar desempeño relativamente alto, compatibilidad con un rango de tipos de dispositivos, soporte para identificación y configuración automática de periféricos anexos, inserción inmediata, y bajo costo de implementación. Ya existen fabricantes que se están encargando de esto como se verá después. A continuación, se presentan las tendencias de los buses:

4.2.1 PARA EL BUS DE EXPANSIÓN

El estándar VL-Bus, que fue diseñado específicamente para las tarjetas madres del 486 y tiene una presencia en el mercado mucho mayor a la de PCI, está a punto de ser revitalizado. Se espera que VL-Bus 2.0 tenga una revisión que apoya una vía de acceso de datos de 64 bits, modo de ráfaga y velocidad del bus de 50 MHz, y que sea anunciada muy pronto.

VL-Bus 2.0 presentará un reto interesante al PCI 2.0, ya que la revisión de 64 bits de PCI no ha salido al mercado. Pero aunque su PC tenga PCI, VL-Bus o un diseño de bus local exclusivo, el resultado será el mismo: gráficos y acceso a disco más rápidos que nunca.

4.2.2 BUS PERIFÉRICO, PARA EL FUTURO

El USB (Universal Serial Bus) representa otra mejora mayor en la arquitectura de la PC. Este bus periférico comenzará a aparecer en sistemas comerciales de escritorio el siguiente año. Si tiene éxito, el USB eventualmente podría desplazar a todos los puertos de las actuales PCs. Esto no ocurrirá inmediatamente, ya que la inmensa base instalada de PCs impide el cambio rápido. Sin embargo, los cuellos de botella de entrada/salida empujarán a los vendedores a añadir una interfaz diseñada con la tecnología de los noventa.

Los venerables puertos seriales RS-232 ofrecen velocidades de 9.6 a 115.2 Kb/s, depende del tipo de transmisor/receptor universal asincrónico (UART, Universal Asynchronous Receiver/Transmitter) de la computadora. El ancho de banda del USB es de 12 Mb/s (aunque el actual caudal de procesamiento de datos es como de 8 Mb/s), incluye un subcanal de 1 Mb/s para dispositivos de velocidades lentas como el mouse o el teclado. Este es un ancho de banda suficiente como para manejar cualquier dispositivo, desde el teclado o el mouse, hasta los monitores de video, módems, scanners, impresoras, adaptadores ISDN y video comprimido MPEG-2.

Además, el USB es tanto asincrónico como isocrónico. Las transferencias isocrónicas, como audio y video, consiguen alta prioridad, y aseguran que el flujo de datos sensibles al tiempo no sean interrumpidos. El USB le permite encadenar hasta 127 dispositivos en forma de margarita, en una topología de hileras en forma de estrella. Cada dispositivo puede albergar un centro USB, al cual pueden conectarse otros dispositivos. Los segmentos de cable pueden ser hasta de 5 metros de largo. Soporta conexiones rápidas, por lo que se puede añadir o remover dispositivos sin apagar la

computadora. Si los dispositivos y el sistema operativo soportan "Conectar y Operar" (Plug and Play), los apropiados controladores de dispositivos pueden ser cargados y descargados automáticamente.

La instalación de USB también es barata. Algunos conjuntos de chips PCI de Intel, incluirán próximamente la lógica USB, así que el único costo adicional son los \$0.35 USD del conector externo. Como otros fabricantes de chips incorporan al USB en sus productos, los nuevos bus seriales se convertirán en una característica estándar en las nuevas PCs. El económico USB tal vez permita que los ingenieros incluyan un centro con lógica USB en los periféricos externos, los cuales podrían proporcionar un puerto USB extra para encadenamiento tipo margarita de dispositivos adicionales. Los cables sólo tienen cuatro alambres, que permiten conectores compactos de más o menos el ancho de una grapa. El tamaño pequeño es importante para notebooks, palmtops y otras pequeñas PC de escritorio. Por todas estas razones, el USB parece ser una alternativa viable para interfaces de entrada/salida, que han sido propuestas con el estándar de la siguiente generación, incluyendo GeoPort, Access.bus, FireWire y SCSI.

4.2.2.1 COMPARACIONES DEL USB CON LAS INTERFACES CONVENCIONALES

■ **GeoPort** es una versión ligeramente mejorada de los puertos seriales RS-422, con 12 años de edad en Mac. Apple ya equipa las PowerMacs con GeoPorts para proporcionar funciones de telefonía. Por ejemplo, el GeoPort Telecom Adapter conecta una línea telefónica a la Mac, mientras que el procesador de la PowerPC emula un fax módem. Apple formó junto con IBM, AT&T y Siemens, un consorcio llamado Versit para promover a GeoPort como un estándar industrial, y estará disponible para las PCs en la forma de tarjetas PCI y PC (anteriormente PCMCIA). Sin embargo, el relativamente lento caudal de procesamiento de 2 Mb/s del GeoPort, posiblemente lo elimine de la competencia de los puertos externos de entrada/salida para la siguiente generación de PCs.

■ **Access.bus** es incluso más lento que GeoPort (su velocidad de datos es de tan sólo 100Kps). Inventado por Phillips, nunca tuvo la intención de ser una interfaz de propósitos generales de alta velocidad. En cambio, fue diseñado para periféricos de baja velocidad, como el teclado y dispositivos de señalamiento. También es usado para el Canal de Despliegue de Datos (DDC, Display Data Channel) de la Asociación de Estándares Electrónicos de Video (VESA), una interfaz de control para monitores de video, que Microsoft recomienda para las futuras PCs. Aunque Access.bus cuesta menos para implementar periféricos y tarjetas madre, su capacidad de soportar un rango más amplio de periféricos lo coloca en gran desventaja en comparación con el USB.

■ **FireWire** (conocido oficialmente como IEEE-P1394) está respaldado principalmente por Apple, con soporte de chips por parte de Texas Instruments. Tiene ventajas significativas sobre el USB. La velocidad de transferencia de datos de FireWire, es de 100 Mb/s y próximamente se extenderá a 200 y 400 Mb/s. Además, FireWire está siendo promovido como una interfaz estándar para dispositivos de video para consumidores, como video caseteras y cámaras digitales. Si es adoptado por la mayoría, podría dar cabida a más

periféricos mucho más rápidos que el USB, además proporciona el crucial vínculo digital entre computadoras personales y productos electrónicos del futuro.

Pero como la lógica del FireWire no es inherente en los conjuntos de chips y periféricos, cuesta más su implementación que la del USB. Apple no ha construido ningún FireWire dentro de cualquiera de sus Macs, e incluso, es menos probable que sea integrado en PCs. Probablemente estará disponible para aquellos que lo deseen en una tarjeta PCI al final de año.

■ **SCSI se mantiene como contrincante.** Cuando Apple estandarizó SCSI en 1986, produjo un saludable mercado para scanners, discos duros, unidades CD-ROM y otros periféricos. Cuando los usuarios de PC comenzaron a actualizar sus sistemas con unidades CD-ROM, los adaptadores SCSI crecieron en popularidad. Ahora, SCSI es una importante interfaz estándar de plataforma cruzada que también se encuentra en algunas estaciones de trabajo Unix. SCSI-2 introdujo un caudal de procesamiento de datos más rápido en dos presentaciones. La rápida SCSI-2 duplicó a la velocidad original de SCSI a 10 Mb/s en un bus de 8 bits. SCSI-2 puede utilizar un bus de 16 o 32 bits de caudal de procesamiento de 20 Mb/s. El rápido SCSI-2 alcanza velocidades hasta de 40 Mb/s.

SCSI tiene bastantes problemas. Las actuales implementaciones soportan sólo ocho dispositivos por cadena, bastante menos que las interfaces seriales competidoras. Cada extremo de la cadena de margarita debe de ser terminada, y ésto es la causa principal de la complicada configuración. Cada dispositivo requiere un número único de identificación, y algunos dispositivos no soportan todos los números. Debido a que SCSI es una interfaz paralela, los conectores son relativamente largos, los cables son gruesos y caros, y las extensiones para el cable son poco confiables. SCSI no permite conexiones rápidas tampoco.

El trabajo está progresando en nuevas versiones de SCSI para direccionar estas imperfecciones. El estándar propuesto SCSI-3 permite conectar más de ocho dispositivos por cadena, asignación automática de número de identificación y un caudal de procesamiento más veloz. Incluso existen versiones seriales propuestas de SCSI-3 que podrían utilizar cables de fibra óptica o de tecnología galio arsénido para lograr velocidades tan altas como 1 Gb/s. Así que, SCSI aún tienen un brillante futuro como la opción de alta velocidad en aplicaciones que necesita periféricos para saturar rápidamente la capacidad del USB.

4.2.3 TECNOLOGÍAS DE BUS EMERGENTES

Los intentos por definir estándares de bus continuarán a medida que la industria de las PCs siga subrayando su facilidad de uso. CardBus, un sucesor tipo PCI de 32 bits de PCMCIA, está dirigido a eliminar por completo las tarjetas de expansión internas, y hace posibles todas las actualizaciones PC a través de tarjetas tipo PCMCIA que se coloquen en forma externa. Serial Storage Architecture (SSA) es una solución de alto nivel para conectar grandes cantidades de almacenamiento en un disco resistente a las fallas en servidores.

CONCLUSIONES

- 1) Hoy en día, los buses de expansión no logran igualar en velocidad al CPU. De esta forma aunque se tenga un microprocesador de alta velocidad, los traslados de información se llevarán a cabo a la velocidad que permite el bus.
- 2) PCI es la norma actual; una PC debe ofrecer actualmente un bus de expansión de alta velocidad. El PCI ofrece un desempeño mucho más alto que los demás.
- 3) Muchos computadores aún ofrecen en sus tarjetas de expansión el bus antiguo ISA, para poder tener compatibilidad con software antiguo y periféricos lentos., que aún son usados.
- 4) El bus periférico USB tiene muchas probabilidades de tener un buen impacto en el mercado de las PC's, compatibles con X'86, aunque el soporte generalizado de los fabricantes de los periféricos esté aproximadamente a un año de distancia.
- 5) Lo que se busca ya no es otro bus con tarjetas de expansión convencionales, sino tecnologías más avanzadas, que utilicen tarjetas tipo PCMCIA, con las cuales se pueda tener almacenamiento en forma externa, y poder adaptarlo sin que tenga que apagar la máquina, y haya que realizar configuraciones complicadas.

Bibliografía

- Bartee, Thomas C., Fundamentos de Computadores Digitales: Antonio García Rozo. Colombia, Mac Graw Hill, 1984. 678 pp.
- Hall, Douglas V., Microprocessors and Interfacing, Programming and Hardware: United States of America, Mac Graw Hill, 1986
- Hayes, John P., Diseño de Sistemas Digitales y Microprocesadores: Antonio Lloris Ruiz et. al. México, Mac Graw Hill, 1987. 852 pp.
- Hennessy, John L. et. al., Arquitectura De Computadores un enfoque cuantitativo: Juan Manuel Sanchez. España, Mac Graw Hill, 1993. 827 pp.
- Mano, M. Morris, Lógica Digital y Diseño de Computadores: Jaime Alberto Valbuena Z., México Prentice-Hall, 1982. 611 pp.
- Mejía M., Aurelio, Guía Practica para Manejar el Computador: 4ta. edición, Colombia, Carvajal S.A., 1994.
- Mompin Poblet, José et. al., Interconexión de Periféricos a Microprocesadores: España, s.e., s.f.
- Rosch, Winn L., The Winn L. Rosch Hardware Bible: third edition, United States of America, SAMS publishing, 1994.
- Sipl, Charles J., Microcomputadoras, Diccionario de Términos: Sebastián Dormido Bencomo, México, 2da. Edición, 1985. 750 pp.

Revistas:

" El VME Bus ": El Mundo Electronico, Enero-Febrero 1992 y Abril-Marzo 1992. España.

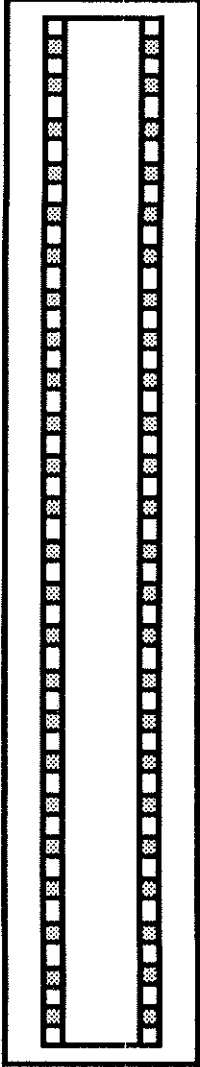
" Tecnologías del Futuro ": Byte, Octubre 1995. México.

"En Busca del Bus Periférico Perfecto": PC Magazine, volumen 6, numero 9. México.

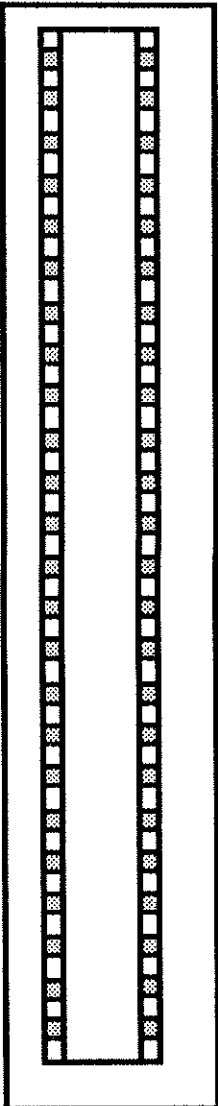
Folleto: "Tecnologías de Buses ISA, MCA, EISA, VESA y PCI". Multisistemas, Guatemala 1995. 9 pp.

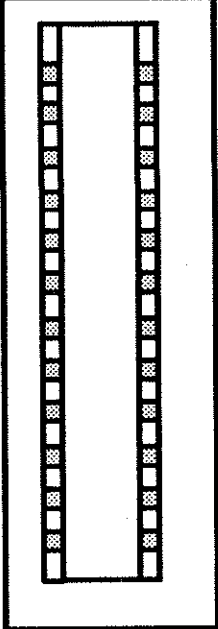
APÉNDICE: INTERFACES DE LOS BUSES

INTERFACE DEL BUS DE 8 BIT

SEÑAL	PIN		PIN	SEÑAL
GROUND	B1		A1	-I/O CHCK
RESET	B2		A2	Data Bit 7
+5VDC	B3		A3	Data Bit 6
IRQ 2	B4		A4	Data Bit 5
-5VDC	B5		A5	Data Bit 4
DRQ2	B6		A6	Data Bit 3
-12VDC	B7		A7	Data Bit 2
Card Sel	B8		A8	Data Bit 1
+12vdc	B9		A9	Data Bit 0
GROUND	B10		A10	-i/o CHRDY
-MEM W	B11		A11	AEN
MEM R	B12		A12	Add Bit 19
-I/O W	B13		A13	Add Bit 18
-I/O R	B14		A14	Add Bit 17
-DACK 3	B15		A15	Add Bit 16
DRQ 3	B16		A16	Add Bit 15
-DACK 1	B17		A17	Add Bit 14
DRQ 1	B18		A18	Add Bit 13
-Refresh	B19		A19	Add Bit 12
CLOCK	B20		A20	Add Bit 11
IRQ7	B21		A21	Add Bit 10
IRQ6	B22		A22	Add Bit 9
IRQ5	B23		A23	Add Bit 8
IRQ4	B24		A24	Add Bit 7
IRQ3	B25		A25	Add Bit 6
-DACK2	B26		A26	Add Bit 5
T/C	B27		A27	Add Bit 4
ALE	B28		A28	Add Bit 3
+5VDC	B29		A29	Add Bit 2
OSC	B30		A30	Add Bit 1
GROUND	B31		A31	Add Bit 0

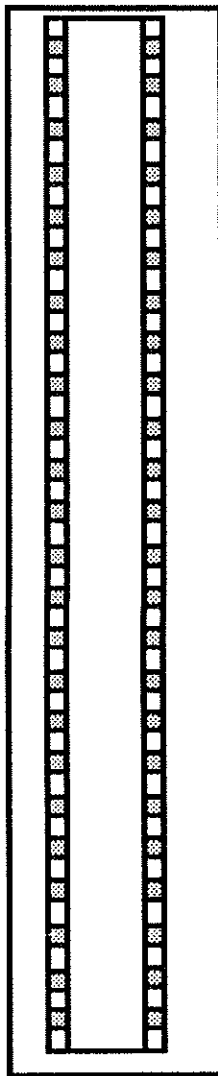
INTERFACE DEL BUS ISA DE 16 BIT

SEÑAL	PIN		PIN	SEÑAL
GROUND	B1		A1	-I/O CHCK
RESET	B2		A2	Data Bit 7
+5VDC	B3		A3	Data Bit 6
IRQ 2	B4		A4	Data Bit 5
-5VDC	B5		A5	Data Bit 4
DRQ2	B6		A6	Data Bit 3
-12VDC	B7		A7	Data Bit 2
Card Sel	B8		A8	Data Bit 1
+12vdc	B9		A9	Data Bit 0
GROUND	B10		A10	-i/o CHRDY
-MEM W	B11		A11	AEN
MEM R	B12		A12	Add Bit 19
-I/O W	B13		A13	Add Bit 18
-I/O R	B14		A14	Add Bit 17
-DACK 3	B15		A15	Add Bit 16
DRQ 3	B16		A16	Add Bit 15
-DACK 1	B17		A17	Add Bit 14
DRQ 1	B18		A18	Add Bit 13
-Refresh	B19		A19	Add Bit 12
CLOCK	B20		A20	Add Bit 11
IRQ7	B21		A21	Add Bit 10
IRQ6	B22		A22	Add Bit 9
IRQ5	B23		A23	Add Bit 8
IRQ4	B24		A24	Add Bit 7
IRQ3	B25		A25	Add Bit 6
-DACK2	B26		A26	Add Bit 5
T/C	B27		A27	Add Bit 4
ALE	B28		A28	Add Bit 3
+5VDC	B29		A29	Add Bit 2
OSC	B30		A30	Add Bit 1
GROUND	B31		A31	Add Bit 0

SEÑAL	PIN		PIN	SEÑAL
-MEM CS16	D1		C1	SBHE
-I/O CS16	D2		C2	ADD BIT 23
IRQ 10	D3		C3	ADD BIT 22
IRQ 11	D4		C4	ADD BIT 21
IRQ 12	D5		C5	ADD BIT 20
IRQ 13	D6		C6	ADD BIT 19
IRQ 14	D7		C7	ADD BIT 18
-DACK 0	D8		C8	ADD BIT 17
DRQ 0	D9		C9	-MEM R
-DACK 5	D10		C10	-MEM W
DRQ 5	D11		C11	DATA BIT 8
-DACK 6	D12		C12	DATA BIT 9
DRQ 6	D13		C13	DATA BIT 10
-DACK 7	D14		C14	DATA BIT 11
DRQ 7	D15		C15	DATA BIT 12
+5VDC	D16		C16	DATA BIT 13
-MASTER	D17		C17	DATA BIT 14
GROUND	D18		C18	DATA BIT 15

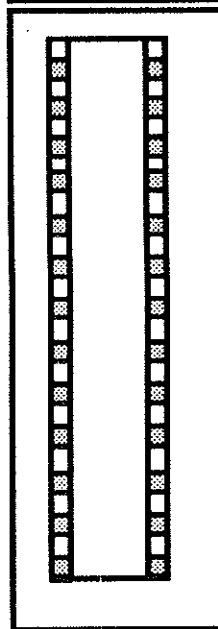
INTERFACE DEL BUS EISA DE 32 BIT

SEÑAL	SEÑAL	PIN
GROUND	GROUND	B1
+5VDC	RESET	B2
+5VDC	+5VDC	B3
RESERVED	IRQ 2	B4
RESERVED	-5VDC	B5
KEY	DRQ2	B6
RESERVED	-12VDC	B7
RESERVED	-0WAIT	B8
+12VDC	+12vdc	B9
M-/I/O	GROUND	B10
-LOCK	-MEM W	B11
RESERVED	-MEM R	B12
GROUND	-I/O W	B13
RESERVED	-I/O R	B14
-B3	-DACK 3	B15
KEY	DRQ 3	B16
-BE2	-DACK 1	B17
-BE0	DRQ 1	B18
GROUND	-Refresh	B19
+5 VDC	CLOCK	B20
-ADD BIT 29	IRQ7	B21
GROUND	IRQ6	B22
-ADD BIT 26	IRQ5	B23
-ADD BIT 24	IRQ4	B24
KEY	IRQ3	B25
ADD BIT 16	-DACK2	B26
ADD BIT 14	T/C	B27
+5VDC	ALE	B28
+5VDC	+5VDC	B29
GROUND	OSC	B30
ADD BIT 10	GROUND	B31



PIN	SEÑAL	SEÑAL
A1	-I/O CHCK	-CMD
A2	Data Bit 7	-START
A3	Data Bit 6	-EXRDY
A4	Data Bit 5	-EX32
A5	Data Bit 4	GROUND
A6	Data Bit 3	KEY
A7	Data Bit 2	-EX16
A8	Data Bit 1	-SLBURST
A9	Data Bit 0	-MSBURST
A10	-i/o CHRDY	W/R
A11	AEN	GROUND
A12	Add Bit 19	RESERVED
A13	Add Bit 18	RESERVED
A14	Add Bit 17	RESERVED
A15	Add Bit 16	GROUND
A16	Add Bit 15	KEY
A17	Add Bit 14	-BE 1
A18	Add Bit 13	-Add bit 31
A19	Add Bit 12	GROUND
A20	Add Bit 11	-Add bit 30
A21	Add Bit 10	-Add bit 28
A22	Add Bit 9	-Add bit 27
A23	Add Bit 8	-Add bit 25
A24	Add Bit 7	GROUND
A25	Add Bit 6	KEY
A26	Add Bit 5	ADD BIT 15
A27	Add Bit 4	ADD BIT 13
A28	Add Bit 3	ADD BIT 12
A29	Add Bit 2	ADD BIT 11
A30	Add Bit 1	GORUND
A31	Add Bit 0	ADD BIT 9

SEÑAL	SEÑAL	PIN
ADD BIT 8	-MEM CS16	D1
ADD BIT 6	-I/O CS16	D2
ADD BIT 5	IRQ 10	D3
+5 VDC	IRQ 11	D4
ADD BIT 2	IRQ 12	D5
KEY	IRQ 13	D6
DATA BIT 16	IRQ 14	D7
DATA BIT 18	-DACK 0	D8
GROUND	DRQ 0	D9
DATA BIT 21	-DACK 5	D10
DATA BIT 23	DRQ 5	D11
DATA BIT 24	-DACK 6	D12
GROUND	DRQ 6	D13
DATA BIT 27	-DACK 7	D14
KEY	DRQ 7	D15
DATA BIT 29	+ 5VDC	D16
+5VCD	-MASTER	D17
+5VCD	GROUND	D18
-MAKX	-----	D19



PIN	SEÑAL	SEÑAL
C1	SBHE	ADD BIT 7
C2	ADD BIT 23	GROUND
C3	ADD BIT 22	ADD BIT 4
C4	ADD BIT 21	ADD BIT 3
C5	ADD BIT 20	GROUND
C6	ADD BIT 19	KEY
C7	ADD BIT 18	DATA BIT 17
C8	ADD BIT 17	DATA BIT 19
C9	-MEM R	DATA BIT 20
C10	-MEM W	DATA BIT 22
C11	DATA BIT 8	GROUND
C12	DATA BIT 9	DATA BIT 25
C13	DATA BIT 10	DATA BIT 26
C14	DATA BIT 11	DATA BIT 28
C15	DATA BIT 12	KEY
C16	DATA BIT 13	GROUND
C17	DATA BIT 14	DATA BIT 30
C18	DATA BIT 15	DATA BIT 31
C19	-----	-MREQX

INTERFACE DEL BUS MCA DE 16 BITS

SEÑAL	PIN	PIN	SEÑAL
AUDIO GROUND	B1	A1	-CD SETUP
AUDIO	B2	A2	MADE 24
GROUND	B3	A3	GROUND
OSC(14.3MHZ)	B4	A4	ADD BIT 11
GROUND	B5	A5	ADD BIT 10
ADD BIT 23	B6	A6	ADD BIT 9
ADD BIT 22	B7	A7	+5VDC
ADD BIT 21	B8	A8	ADD BIT 8
GROUND	B9	A9	ADD BIT 7
ADD BIT 20	B10	A10	ADD BIT 6
ADD BIT 19	B11	A11	+5VDC
ADD BIT 18	B12	A12	ADD BIT 5
GROUND	B13	A13	ADD BIT 4
ADD BIT 17	B14	A14	ADD BIT 3
ADD BIT 16	B15	A15	+5VDC
ADD BIT 15	B16	A16	ADD BIT 2
GROUND	B17	A17	ADD BIT 1
ADD BIT 14	B18	A18	ADD BIT 0
ADD BIT 13	B19	A19	+12VDC
ADD BIT 12	B20	A20	-ADL
GROUND	B21	A21	-PREEMPT
-IRQ 9	B22	A22	-BURST
-IRQ 3	B23	A23	-12VDC
-IRQ 4	B24	A24	ARB 00
GROUND	B25	A25	ARB 01
-IRQ 5	B26	A26	ARB 02
-IRQ 6	B27	A27	-12 VDC
-IRQ 7	B28	A28	ARB 03
GROUND	B29	A29	ARB/BNT
RESERVED	B30	A30	-TC
RESERVED	B31	A31	+5VDC
-CHCK	B32	A32	-SO
GROUND	B33	A33	-S1
-CMD	B34	A34	M/-IO
CHRDYRTN	B35	A35	+12VDC
-CD SFDBK	B36	A36	CD CHRDY
GROUND	B37	A37	DATA BIT 0
CMRESEET	B38	A38	DATA BIT 2
RESERVED	B39	A39	+ 5VDC
RESERVED	B40	A40	DATA BIT 5
GROUND	B41	A41	DATA BIT 6
CMRESET	B42	A42	DATA BIT 7
RESERVED	B43	A43	GROUND
RESERVED	B44	A44	-DS 16 RTN
GROUND	B45	A45	-REFRESH
KEY	B46	A46	KEY
KEY	B47	A47	KEY
DATA BIT 8	B48	A48	+5 VDC
DATA BIT 9	B49	A49	DATA BIT 10
GROUND	B50	A50	DATA BIT 11
DATA BIT 12	B51	A51	DATA BIT 13
DATA BIT 14	B52	A52	+12 VDC
DATA BIT 15	B53	A53	RESERVED
GROUND	B54	A54	-SBHE
-IRQ 10	B55	A55	-CD DS 16
-IRQ 11	B56	A56	+5VDC
-IRQ 12	B57	A57	-IRQ 14
GROUND	B58	A58	-IRQ 15
RESERVED	B59	A59	RESERVED
RESERVED	B60	A60	RESERVED

LOS PINES B4/A4 AL
B57/A57 SON IDENTICOS
AL MCA DE 16 BITS

SEÑAL
GROUND
RESERVED
-MMCR
RESERVED
AUDIO GROUND
AUDIO
GROUND

PIN
BM4
BM3
BM2
BM1
B1
B2
B3

PIN
AM4
AM3
AM2
AM1
A1
A2
A3

SEÑAL
RESERVED
-MMC CMD
GROUND
-MMC
-CD SETUP
MADE 24
GROUND

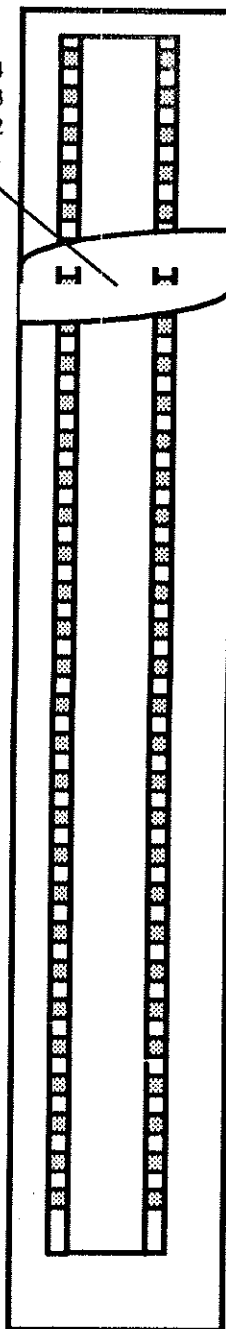
INTERFACE DEL BUS MCA DE 32 BITS

GROUND
RESERVED
RESERVED
RESERVED
RESERVED
GROUND
DATA BIT 16
DATA BIT 17
DATA BIT 18
GROUND
DATA BIT 22
DATA BIT 23
RESERVED
GROUND
DATA BIT 27
DATA BIT 28
DATA BIT 29
GROUND
-BE 0
-BE 1
-BE 2
GROUND
TR 32
ADD BIT 24
ADD BIT 25
GROUND
ADD BIT 29
ADD BIT 30
ADD BIT 31
GROUND
RESERVED
RESERVED

B58
B59
B60
B61
B62
B63
B64
B65
B66
B67
B68
B69
B70
B71
B72
B73
B74
B75
B76
B77
B78
B79
B80
B81
B82
B83
B84
B85
B86
B87
B88
B89

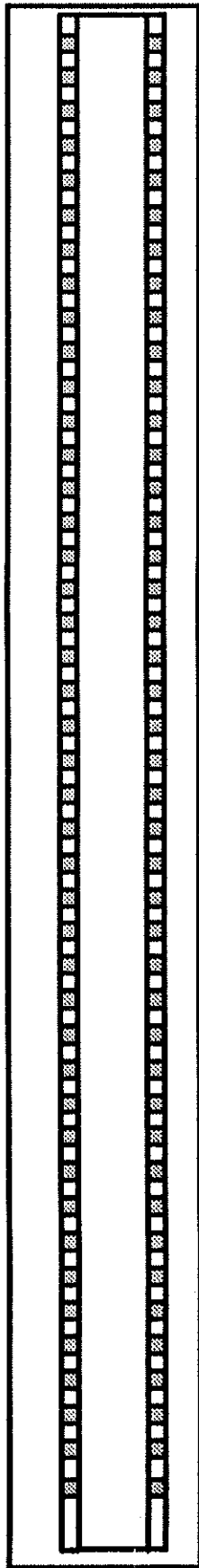
A58
A59
A60
A61
A62
A63
A64
A65
A66
A67
A68
A69
A70
A71
A72
A73
A74
A75
A76
A77
A78
A79
A80
A81
A82
A83
A84
A85
A86
A87
A88
A89

-IRQ 15
RESERVED
RESERVED
GROUND
RESERVED
RESERVED
RESERVED
+12VDC
DATA BIT 19
DATA BIT 20
DATA BIT 21
+5VDC
DATA BIT 24
DATA BIT 25
DATA BIT 26
+5VDC
DATA BIT 30
DATA BIT 31
RESERVED
+12VDC
-BE 3
-DC 32 ATN
-CD DS 32
+5VDC
ADD BIT 26
ADD BIT 27
ADD BIT 28
+5VDC
RESERVED
RESERVED
RESERVED
RESERVED



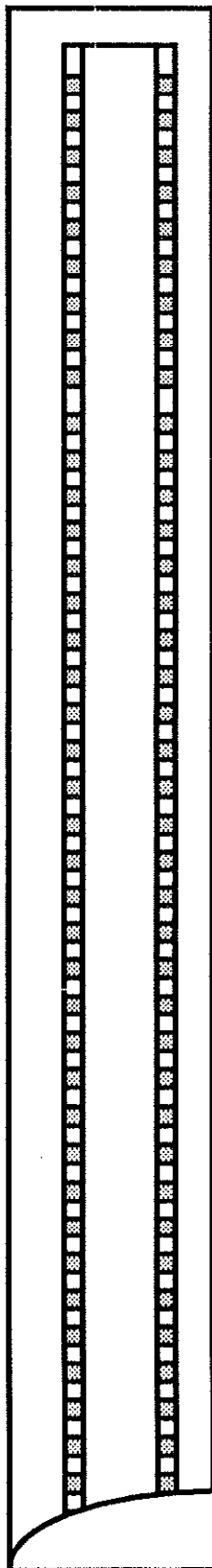
INTERFACE DE VESA LOCAL BUS (VL-BUS)

SEÑAL	SEÑAL	PIN	PIN	SEÑAL	SEÑAL
-----	DATA BIT 00	B1	A1	DATA BIT 01	-----
-----	DATA BIT 02	B2	A2	DATA BIT 03	-----
-----	DATA BIT 04	B3	A3	GROUND	-----
-----	DATA BIT 06	B4	A4	DATA BIT 05	-----
-----	DATA BIT 08	B5	A5	DATA BIT 07	-----
-----	GROUND	B6	A6	DATA BIT 09	-----
-----	DATA BIT 10	B7	A7	DATA BIT 11	-----
-----	DATA BIT 12	B8	A8	DATA BIT 13	-----
-----	+5VDC	B9	A9	DATA BIT 15	-----
-----	DATA BIT 14	B10	A10	GROUND	-----
-----	DATA BIT 16	B11	A11	DATA BIT 17	-----
-----	DATA BIT 18	B12	A12	+5VDC	-----
-----	DATA BIT 20	B13	A13	DATA BIT 19	-----
-----	GROUND	B14	A14	DATA BIT 21	-----
-----	DATA BIT 22	B15	A15	DATA BIT 23	-----
-----	DATA BIT 24	B16	A16	DATA BIT 25	-----
-----	DATA BIT 26	B17	A17	GROUND	-----
-----	DATA BIT 28	B18	A18	DATA BIT 27	-----
-----	DATA BIT 30	B19	A19	DATA BIT 29	-----
-----	+5VDC	B20	A20	DATA BIT 31	-----
DATA BIT 63	ADD BIT 31	B21	A21	ADD BIT 30	Data Bit 62
-----	GROUND	B22	A22	ADD BIT 28	Data Bit 60
DATA BIT 61	ADD BIT 29	B23	A23	ADD BIT 26	Data Bit 58
DATA BIT 59	ADD BIT 27	B24	A24	GROUND	-----
DATA BIT 57	ADD BIT 25	B25	A25	ADD BIT 24	Data Bit 56
DATA BIT 56	ADD BIT 23	B26	A26	ADD BIT 22	Data Bit 54
DATA BIT 53	ADD BIT 21	B27	A27	+5VDC	-----
DATA BIT 51	ADD BIT 19	B28	A28	ADD BIT 20	Data Bit 52
-----	GROUND	B29	A29	ADD BIT 18	Data Bit 50
DATA BIT 49	ADD BIT 17	B30	A30	ADD BIT 16	Data Bit 48
DATA BIT 47	ADD BIT 15	B31	A31	ADD BIT 14	Data Bit 46
-----	+5VDC	B32	A32	ADD BIT 12	Data Bit 44
DATA BIT 45	ADD BIT 13	B33	A33	ADD BIT 10	Data Bit 42
DATA BIT 43	ADD BIT 11	B34	A34	ADD BIT 08	Data Bit 40
DATA BIT 41	ADD BIT 09	B35	A35	GROUND	-----
DATA BIT 39	ADD BIT 07	B36	A36	ADD BIT 06	Data Bit 38
DATA BIT 37	ADD BIT 05	B37	A37	ADD BIT 04	Data Bit 36
-----	GROUND	B38	A38	-WBAK	-----
DATA BIT 35	ADD BIT 03	B39	A39	-BE 0	-BE 4
DATA BIT 34	ADD BIT 02	B40	A40	+5VDC	-----
-LBS64	-----	B41	A41	-BE 1	-BE 5
-----	-RESET	B42	A42	-BE 2	-BE 6
-----	D/-C	B43	A43	GROUND	-----
-----	M/-IO	B44	A44	-BE 3	-BE 7
-----	W/-R	B45	A45	-ADS	-----
KEY	KEY	B46	A46	KEY	KEY
KEY	KEY	B47	A47	KEY	KEY
-----	-RDYRTN	B48	A48	-LRDY	-----
-----	GROUND	B49	A49	-LDEV	-----
-----	IRQ 0	B50	A50	-LREQ	-----
-----	-BRDY	B51	A51	GROUND	-----
-----	-BLAST	B52	A52	-LGNT	-----
DATA BIT 32	ID 0	B53	A53	+5VDC	-----
DATA BIT 33	ID 1	B54	A54	ID 2	-----
-----	GROUND	B55	A55	ID 3	-----
-----	LCLK	B56	A56	ID 4	-ACK64
-----	+5VDC	B57	A57	-----	-----
-----	-LBS16	B58	A58	-LEADS	-----



INTERFACE DE BUS PCI (3.3 Y 5 VDC)

3.3 VDC		5.0 VDC		PIN	PIN	3.3 VDC		5.0 VDC	
SEÑAL	VDC	SEÑAL	VDC			SEÑAL	SEÑAL	SEÑAL	SEÑAL
TCK		TCK		B1	A1	-TRST		-TRST	
GROUND		GROUND		B2	A2	+12 VDC		+12VDC	
TDO		TDO		B3	A3	TMS		TMS	
+5VDC		+5VDC		B4	A4	TDI		TDI	
+5VDC		+5VDC		B5	A5	+5VDC		+5VDC	
-INTB		-INTB		B5	A6	-INTA		-INTA	
-INTD		-INTD		B7	A7	-INTC		-INTC	
-PRSNT1		-PRSNT1		B8	A8	+5VDC		+5VDC	
RESERVED		RESERVED		B9	A9	RESERVED		RESERVED	
-PRSNT2		-PRSNT2		B10	A10	+5VDC		+5VDC	
GROUND		GROUND		B11	A11	RESERVED		RESERVED	
GROUND		GROUND		B12	A12	GROUND		GROUND	
RESERVED		RESERVED		B13	A13	GROUND		GROUND	
GROUND		GROUND		B14	A14	RESERVED		RESERVED	
CLOCK		CLOCK		B15	A15	-RST		-RST	
GROUND		GROUND		B16	A16	+5VDC		+3.3VDC	
-REQ		-REQ		B17	A17	-GNT		-GNT	
+3.3 VDC		+5VDC		B18	A18	GROUND		GROUND	
ADD/DATA 31		ADD/DATA 31		B19	A19	RESERVED		RESERVED	
ADD/DATA 29		ADD/DATA29		B20	A20	ADD/DATA 30		Add/Data 30	
GROUND		GROUND		B21	A21	+5VDC		+3.3VDC	
ADD/DATA 27		ADD/DATA27		B22	A22	ADD/DATA 28		Add/Data 28	
ADD/DATA 25		ADD/DATA25		B23	A23	ADD/DATA 26		Add/Data 26	
+3.3 VDC		+5VDC		B24	A24	GROUND		GROUND	
C/-BE3		C/-BE3		B25	A25	ADD/DATA 24		Add/Data 24	
ADD/DATA 23		ADD/DATA23		B26	A26	IDSEL		IDSEL	
GROUND		GROUND		B27	A27	+5VDC		+3.3VDC	
ADD/DATA 21		ADD/DATA21		B28	A28	ADD/DATA 22		Add/Data 22	
ADD/DATA 19		ADD/DATA19		B29	A29	ADD/DATA 20		Add/Data 20	
+3.3 VDC		+5VDC		B30	A30	GROUND		GROUND	
ADD/DATA 17		ADD/DATA17		B31	A31	ADD/DATA 18		Add/Data 18	
C/-BE2		C/-BE2		B32	A32	ADD/DATA 16		Add/Data 16	
GROUND		GROUND		B33	A33	+5VDC		+3.3VDC	
-RDY		-RDY		B34	A34	-FRAME		-FRAME	
+3.3 VDC		+5VDC		B35	A35	GROUND		GROUND	
-DEVSEL		-DEVSEL		B36	A36	-TRDY		-TRDY	
GROUND		GROUND		B37	A37	GROUND		GROUND	
-LOCK		-LOCK		B38	A38	-STOP		-STOP	
-PERR		-PERR		B39	A39	+5VDC		+3.3VDC	
+3.3 VDC		+5VDC		B40	A40	SDONE		SDONE	
-SERR		-SERR		B41	A41	-SBO		-SBO	
+3.3 VDC		+5VDC		B42	A42	GROUND		GROUND	
C/-BE1		C/-BE1		B43	A43	PAR		PAR	
ADD/DATA 14		ADD/DATA14		B44	A44	ADD/DATA 15		Add/Data 15	
GROUND		GROUND		B45	A45	+5VDC		+3.3VDC	
ADD/DATA 12		ADD/DATA12		B46	A46	ADD/DATA 13		Add/Data 13	
ADD/DATA 10		ADD/DATA10		B47	A47	ADD/DATA 11		Add/Data 11	
GROUND		GROUND		B48	A48	GROUND		GROUND	
GROUND		GROUND		B49	A49	ADD/DATA 09		Add/Data 09	
GROUND		GROUND		B50	A50	GROUND		GROUND	
GROUND		GROUND		B51	A51	GROUND		GROUND	



INTERFACE DE BUS PCI (3.3 Y 5 VDC) continuación

3.3 VDC SEÑAL	5.0 VDC SEÑAL	PIN	PIN	3.3 VDC SEÑAL	5.0VDC SEÑAL
ADD/DATA08	ADD/DATA08	B52	A52	C/-BE0	C/-BE0
ADD/DATA07	ADD/DATA07	B53	A53	+5VDC	+3.3 VDC
+3.3VDC	+5VDC	B54	A54	ADD/DATA05	Add/Data05
ADD/DATA05	ADD/DATA05	B55	A55	ADD/DATA04	Add/Data04
ADD/DATA03	ADD/DATA03	B56	A56	GROUND	GROUND
GROUND	GROUND	B57	A57	ADD/DATA02	Add/Data02
ADD/DATA01	ADD/DATA01	B58	A58	ADD/DATA00	Add/Data00
+3.3VDC	+5VDC	B59	A59	+5VDC	+3.3 VDC
-ACK64	-ACK64	B60	A60	-REQ64	-REQ64
+5VDC	+5 VDC	B61	A61	+5VDC	+5 VDC
+5VDC	+5 VDC	B62	A62	+5VDC	+5VDC
RESERVED	RESERVED	B63	A63	GROUND	GROUND
GROUND	GROUND	B64	A64	C/-BE7	C/-BE7
C/-BE6	C/-BE6	B65	A65	C/-BE5	C/-BE5
C/-BE4	C/-BE4	B66	A66	+5VDC	+3.3 VDC
GROUND	GROUND	B67	A67	PAR64	PAR64
ADD/DATA63	ADD/DATA63	B68	A68	ADD/DATA62	Add/Data62
ADD/DATA61	ADD/DATA61	B69	A69	GROUND	GROUND
+3.3VDC	+5VDC	B70	A70	ADD/DATA60	Add/Data60
ADD/DATA59	ADD/DATA59	B71	A71	ADD/DATA58	Add/Data58
ADD/DATA57	ADD/DATA57	B72	A72	GROUND	GROUND
GROUND	GROUND	B73	A73	ADD/DATA56	Add/Data56
ADD/DATA55	ADD/DATA55	B74	A74	ADD/DATA54	Add/Data54
ADD/DATA53	ADD/DATA53	B75	A75	+5VDC	+3.3 VDC
GROUND	GROUND	B76	A76	ADD/DATA52	Add/Data52
ADD/DATA51	ADD/DATA51	B77	A77	ADD/DATA50	Add/Data50
ADD/DATA49	ADD/DATA49	B78	A78	GROUND	GROUND
+3.3VDC	+5VDC	B79	A79	ADD/DATA48	Add/Data48
ADD/DATA47	ADD/DATA47	B80	A80	ADD/DATA46	Add/Data46
ADD/DATA45	ADD/DATA45	B81	A81	GROUND	GROUND
GROUND	GROUND	B82	A82	ADD/DATA44	Add/Data44
ADD/DATA43	ADD/DATA43	B83	A83	ADD/DATA42	Add/Data42
ADD/DATA41	ADD/DATA41	B84	A84	+5VDC	+3.3 VDC
GROUND	GROUND	B85	A85	ADD/DATA40	Add/Data40
ADD/DATA39	ADD/DATA39	B86	A86	ADD/DATA38	Add/Data38
ADD/DATA37	ADD/DATA37	B87	A87	GROUND	GROUND
+3.3VDC	+5VDC	B88	A88	ADD/DATA36	Add/Data36
ADD/DATA35	ADD/DATA35	B89	A89	ADD/DATA34	Add/Data34
ADD/DATA33	ADD/DATA33	B90	A90	GROUND	GROUND
GROUND	GROUND	B91	A91	ADD/DATA32	Add/Data32
RESERVED	RESERVED	B92	A92	RESERVED	RESERVED
RESERVED	RESERVED	B93	A93	GROUND	GROUND
GROUND	GROUND	B94	A94	RESERVED	RESERVED

