

UNIVERSIDAD DE SAN CARLOS DE GUATEMALA

FACULTAD DE INGENIERIA



ANALISIS PARA EL MEJORAMIENTO DE LAS CARACTERISTICAS DE LA
INSTALACION ELECTRICA DEL EDIFICIO DE AULAS T-3, DE LA FACULTAD
DE INGENIERIA

TESIS

Presentada a la Junta Directiva de la
Facultad de Ingenieria
de la
Universidad de San Carlos de Guatemala

Por

RICARDO LEONEL GARCIA TRANCO

al conferirsele el titulo de

INGENIERO ELECTRICISTA

Guatemala, mayo de 1976.

PROPIEDAD DE LA UNIVERSIDAD DE SAN CARLOS DE GUATEMALA
Biblioteca Central

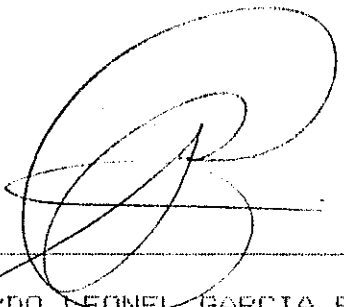
08
T(3736)
C04

HONORABLE TRIBUNAL EXAMINADOR

Cumpliendo con lo establecido por la ley de la Universidad de San Carlos de Guatemala, tengo el honor de someter a vuestra consideración, mi trabajo de tesis titulado:

ANALISIS PARA EL MEJORAMIENTO DE LAS CARACTERISTICAS DE LA INSTALACION ELECTRICA DEL EDIFICIO DE AULAS T-3, DE LA FACULTAD DE INGENIERIA.

Tema que me fuera asignado por la Dirección de la Escuela de Ingeniería Mecánica Eléctrica, con fecha de 30 de noviembre de 1989.



RICARDO LEONEL GARCIA FRANCO

PROPIEDAD DE LA UNIVERSIDAD DE SAN CARLOS DE GUATEMALA
Biblioteca Central

UNIVERSIDAD DE SAN CARLOS DE GUATEMALA



FACULTAD DE INGENIERIA

MIEMBROS DE LA JUNTA DIRECTIVA

DECANO: Ing. Julio Ismael González Podszueck.
VOCAL 1: Ing. Miguel Angel Sánchez Guerra.
VOCAL 2: Ing. Jack Douglas Ibarra Solórzano.
VOCAL 3: Ing. Juan Adolfo Echeverría Méndez.
VOCAL 4: Br. Fernando Waldemar de Leon Contreras.
VOCAL 5: Br. Pedro Ignacio Escalante Pastor.
SECRETARIO: Ing. Francisco Javier González López.

TRIBUNAL QUE PRACTICO EL EXAMEN GENERAL PRIVADO

DECANO: Ing. Roberto Mayorga Rouge.
EXAMINADOR: Ing. Gustavo Benigno Orozco Godínez.
EXAMINADOR: Ing. José Mauricio Velásquez González.
EXAMINADOR: Ing. Angel Jesus García Martínez.
SECRETARIO: Ing. Pedro Aguilar Polanco.

PROPIEDAD DE LA UNIVERSIDAD DE SAN CARLOS DE GUATEMALA
Biblioteca Central

ACTO QUE DEDICO

A DIOS

Porque en su misericordia me permitió y ayudó a alcanzar este triunfo.

A MIS PADRES

Cristobal Garcia Blanco.

Petrona Franco de Garcia.

Porque con su amor, esfuerzo y dedicación hicieron posible que yo lograra culminar mi carrera.

A MIS HERMANOS

Victor Manuel

Thelma Yolanda

María Antonieta

José Alberto

AGRADECIMIENTO

AL ING. ARMANDO GALVEZ CASTILLO

Por haberme asesorado para desarrollar este trabajo de tesis.

AL ING. INFERI PEDRO C. MENDEZ E.

Por brindar su colaboración para poder realizar este trabajo de tesis.

Guatemala 7 de noviembre de 1995.

Ingeniero
Pedro Quiroa Méndez
Coordinador de E.P.S.
Facultad de Ingeniería
Universidad de San Carlos
Ciudad Universitaria.


Ingeniero Quiroa:

Atentamente me dirijo a usted para informarle que he revisado el trabajo de tesis titulado "Análisis para el Mejoramiento de las Características de la Instalación Eléctrica del Edificio de Aulas T-3, de la Facultad de Ingeniería" elaborado por el estudiante Ricardo Leonel García Franco.

Considero que con dicho trabajo se han alcanzado los objetivos establecidos.

Por lo tanto, comparto con el autor de este trabajo la responsabilidad que me compete sobre el mismo.

Atentamente,


Armando Álvarez Castillo
Ingeniero Mecánico Electricista
Colegiado No. 2162

13 MAR 1996



FACULTAD DE INGENIERIA
Unidad de Prácticas de Ingeniería
Ejercicio Profesional Supervisado
E.P.S.

Ciudad Universitaria, Zona 12
01012 Guatemala, Centroamérica

REF.EPS.C.037.96

Guatemala, 13 de marzo de 1,996

Señor
Ing. Edgar Montúfar Urizar
Director de la Escuela
de Ingeniería Mecánica Eléctrica
Presente

Señor Director:

Atentamente por este medio, estoy trasladando para su **APROBACION** y trámite respectivo el Informe Final, correspondiente al Proyecto de Ejercicio Profesional Supervisado (E.P.S.), titulado **ANALISIS PARA EL MEJORA-DE LAS CARACTERISTICAS DE LA INSTALACION ELECTRICA DEL EDIFICIO DE AULAS T-3 DE LA FACULTAD DE INGENIERIA**; tal trabajo fue desarrollado por el estudiante universitario **RICARDO LEONEL GARCIA FRANCO**, habiendo sido asesorado por el Ingeniero Mecánico Electricista **Armando Gálvez Castillo**, Colegiado No. 2162, quien ha dado su **APROBACION**, según nota adjunta; el Ingeniero **Gálvez Castillo**, es el Asesor nombrado por la Escuela a su cargo.

Sin otro particular, me es grato suscribirme de usted.

Muy Deferentemente,

"ID Y ENSEÑAD A TODOS"

ING. PEDRO QUIROGA MENDEZ
COORDINADOR DE E.P.S.

PQM/lgg.
c.c.: Archivo



FACULTAD DE INGENIERIA

Escuelas de Ingeniería Civil, Ingeniería
Mecánica Industrial, Ingeniería Química,
Ingeniería Mecánica Eléctrica, Técnica
y Regional de Post-grado de Ingeniería
Sanitaria.

Ciudad Universitaria, zona 12
Guatemala, Centroamérica

Guatemala, 19 de marzo de 1,996

Señor Director
Ing. Edgar F. Montúfar Urizar
Escuela de Ingeniería Mecánica Eléctrica
Facultad de Ingeniería, USAC.

Señor Director.

En cuanto a comentarios y recomendaciones del Proyecto de EPS titulado:
**Análisis para el mejoramiento de las características de la instalación
eléctrica del Edificio de Aulas T-3 de la Facultad de Ingeniería, del
estudiante Ricardo Leonel García Franco, informo a usted lo siguiente:**

Siendo que el objetivo de este trabajo es el mejoramiento de la
distribución del alumbrado del Edificio T-3 considerando una alternativa de
semiautomatización aplicada, opino que es una adecuada forma de aportar
tecnología a la solución de los problemas de los edificios de la Facultad.

Debiera sugerirse una forma de financiamiento por donaciones o aportes.

Atentamente,

ID Y ENSEÑAD A TODOS



Ing. José Luis Herrera Gálvez
Coordinador Area Electrotecnia

JLHG/sdem.

cc. Archivo.

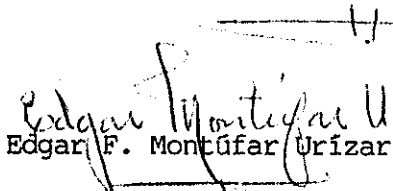


FACULTAD DE INGENIERIA

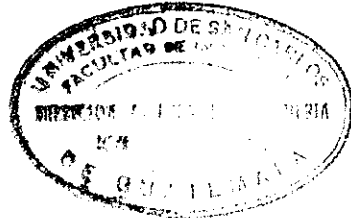
Escuelas de Ingeniería Civil, Ingeniería
Mecánica Industrial, Ingeniería Química,
Ingeniería Mecánica Eléctrica, Técnica
y Regional de Post-grado de Ingeniería
Sanitaria.

Ciudad Universitaria, zona 12
Guatemala, Centroamérica

El Director de la Escuela de Ingeniería Mecánica Eléctrica, después de conocer el dictamen del Asesor, con el Visto Bueno del Coordinador de Area, al trabajo de tesis del estudiante Ricardo Leonel García Franco, titulada: Análisis para el mejoramiento de las características de la instalación eléctrica del Edificio de Aulas T-3 de la Facultad de Ingeniería, procede a la autorización del mismo.


Ing. Edgar F. Montúfar Urizar
Director

Guatemala, 15 de abril de 1,996.





FACULTAD DE INGENIERIA

Escuelas de Ingeniería Civil, Ingeniería
Mecánica Industrial, Ingeniería Química,
Ingeniería Mecánica Eléctrica, Técnica
Regional de Post-grado de Ingeniería
Sanitaria.

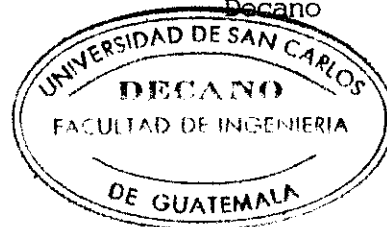
Ciudad Universitaria, zona 12
Guatemala, Centroamérica

El Decano de la Facultad de Ingeniería, luego de conocer la autorización por parte del Director de la Escuela de Ingeniería Mecánica-Eléctrica, al trabajo de tesis: **Análisis para el mejoramiento de las características de la instalación eléctrica del Edificio de Aulas T-3 de la Facultad de Ingeniería, del estudiante Ricardo Leonel García FrancoB**, procede a la autorización para la impresión de la misma.

IMPRIMASE:


Ing. Julio Ismael González Podszueck

Decano



Guatemala, 17 de abril de 1,996.

INDICE GENERAL

	Página
Lista de figuras y tablas.....	I
Glosario.....	III
Introducción.....	V
Prefasio.....	VI
Capítulo I	
Descripción.....	1
Capítulo II	
Conjunto de bloques que forman el sistema de control maestro.....	2
Bloque emisor.....	2
A) Sección de codificación.....	2
B) Sección de selección.....	3
B.1) Circuito generador de pulsos.....	3
B.2) Circuito generador de claves.....	4
B.3) Circuito multiplexor.....	5
Funcionamiento del bloque emisor.....	5
Bloque de recepción.....	7
A) Sección de recuperación.....	7
A.1) Circuito generador de pulsos.....	9
A.2) Circuito generador de claves.....	9
A.3) Circuito demultiplexor.....	9
B) Sección de decodificación.....	10
C) Sección de potencia.....	20
C.1) Circuito de memoria.....	22
C.2) Circuito de switch.....	23
C.3) Circuito de fuerza.....	28
Funcionamiento del bloque de recepción.....	29
Sincronización.....	29
Capítulo III	
Iluminación de gradas y corredores.....	31
Capítulo IV	
Bloque de selección de nivel.....	35
Flujograma de funcionamiento.....	36
Capítulo V	
Ubicación del sistema de control maestro de iluminación.....	38
Uso del sistema de control maestro de iluminación.....	40
Mantenimiento del sistema.....	40
Protección del sistema.....	40
Presupuesto del proyecto.....	41
Propuesta para la ejecución del proyecto.....	43
Conclusiones.....	44
Recomendaciones.....	45
Bibliografía.....	46
Apéndice.....	47

LISTADO DE FIGURAS Y TABLAS

- Figura No. 1 : Sección codificadora.
- Figura No. 2 : Circuito generador de pulsos.
- Figura No. 3 : Circuito generador de claves.
- Figura No. 4 : Circuito multiplexor.
- Figura No. 5 : Bloque de emisión.
- Figura No. 6 : Circuito demultiplexor.
- Figura No. 7 : Circuito lógico combinacional general para el nivel uno.
- Figura No. 8 : Circuito lógico combinacional general para el nivel dos.
- Figura No. 9 : Circuito lógico combinacional general para el nivel tres.
- Figura No. 10 : Circuito lógico combinacional general para el nivel cuatro.
- Figura No. 11 : Circuito de memoria.
- Figura No. 12 : Circuito eléctrico de switch.
- Figura No. 13 : Fuente de alimentación regulada.
- Figura No. 14 : Circuito de switch para 16 luminarias.
- Figura No. 15 : Circuito de fuerza.
- Figura No. 16 : Bloque de recepción.
- Figura No. 17 : Circuito lógico combinacional general para corredores y gradas.
- Figura No. 18 : Circuito lógico combinacional para selección de nivel.
- Figura No. 19 : Flujograma de funcionamiento del sistema de control maestro.

Figura No. 20 : Ubicación del bloque de emisión.

Figura No. 21 : Ubicación del bloque de recepción

Figura No. 22 : Ubicación del circuito de memoria, switch y potencia.

Tabla No. 1 : Tabla de verdad para el nivel uno.

Tabla No. 2 : Tabla de verdad para el nivel dos.

Tabla No. 3 : Tabla de verdad para el nivel tres.

Tabla No. 4 : Tabla de verdad para el nivel cuatro.

Tabla No. 5 : Tabla de verdad del flip-flop para el circuito de memoria.

Tabla No. 6 : Tabla de verdad para corredores y gradas.

Tabla No. 7 : Tabla de verdad para selección de nivel.

GLOSARIO

Circuito Integrado: es una combinación de interconexión de elementos de un circuito asociados inseparablemente.

Cmos: una familia de circuitos lógicos Complementada con Metal-Oxido-Silicio.

Cmos 4013: en este circuito, se encuentra integrado el flip-flop que estará en el circuito de memoria, con las características de construcción de los Cmos.

Cmos 4049: en este circuito, se encuentran integrados unos inversores que forman parte del circuito generador de pulsos.

Cmos 4081: en este circuito, se encuentra integradas las compuertas AND de dos entradas.

Cmos 4082: en este circuito, se encuentran integradas las compuertas AND de 4 entradas.

Cmos 4516: en este circuito, se encuentra integrado el generador de claves.

Circuito Multiplexor: circuito que se encarga de distribuir cuatro entradas en un solo canal.

Cmos 4539: en este circuito, se encuentra integrado el multiplexor.

Circuito Demultiplexor: circuito que se encarga de distribuir una señal de entrada y proporcionar 4 señales en la salida.

Cmos 4555: en este circuito, se encuentra integrado el demultiplexor.

Circuito Combinacional: circuito integrado por varias compuertas AND.

Circuito de Fuerza: lo constituyen las luminarias y los interruptores térmicos de protección.

Circuito de Memoria: este circuito se encarga de almacenar o guardar información previamente recibida.

Cable Multipar: contiene pares de conductores de tipo telefónico.

CI: Carry In, debe estar aterrizado para que el generador de claves quede iniciar el conteo.

Diodo: rectificador de onda.

Ecuación Lógica: expresión matemática que está formada por unos y ceros y que es aplicada a las compuertas and.

Flip-Flop: tiene dos estados permanentes de estabilidad pero para pasar de un estado a otro necesita de una señal.

Frecuencia: es la continuidad con la que sucede un evento.

Inversor: elemento que se encarga de convertir un cero en uno o viceversa.

N.O.: contactos normalmente abiertos del relé.

Oscilador Astable: es un oscilador no senoidal: el generador de pulsos opera de manera continua, pero primeramente conduce un paso, mientras el otro está en corte. No requiere señal de entrada pero sí se le aplican pulsos de sincronización.

Pulso: son los diferentes estados que puede enviar el generador, ya sea un cero o un uno.

Reloj: para este caso, así se le denomina al generador de pulsos.

Reset: regresar o recuperar desde cualquier punto al conteo de cero.

Relé: dispositivo eléctrico que al tener una señal eléctrica en la entrada, tendrá como respuesta una acción mecánica, para este caso, cierra o abre sus contactos.

Switch: para este caso, permite o no la energización de las lámparas.

Strobe: en condiciones normales de operación, son entradas del Cmos 4539 que van aterrizadas.

Transformador: reducción de un nivel de voltaje; en este caso, es de 120 V. a.c. a 12 V. a.c.

INTRODUCCION

La idea principal del perfil sobre el mejoramiento de las características eléctricas del edificio de aulas T-3, es obtener un sistema que permita el control de la iluminación en una forma exclusiva y que a su vez permita que los elementos que lo componen tengan un mayor tiempo de vida útil con el complemento de un mantenimiento preventivo continuo.

El control maestro de iluminación está basado en circuitos lógicos combinatoriales, relevadores, transistores y fuentes de alimentación reguladas; elementos que permiten el control a distancia complementado con el buen estado de las lámparas que comprenden pantallas, candelas, balastos, etc.

Para la obtención del presupuesto, se visitaron varias casas comerciales con el fin de poder establecer los precios reales y su respectiva variación. El valor de los materiales se proporciona en dólares para tener una perspectiva estable respecto a su inversión.

Otra característica de este sistema es la comodidad que representa para la persona encargada del encendido y apagado de las luminarias.

PREFACIO

La razón principal que da origen a la realización del presente trabajo está determinada por el mal estado de interruptores, tomacorrientes y lámparas de los salones, corredores y gradas del edificio de aulas T-3 de la facultad de ingeniería, debido al uso continuo a que son sometidos, especialmente los interruptores para encendido y apagado de las luminarias, durante los periodos de clase.

El objetivo principal de este trabajo, sobre El Mejoramiento de las Características Eléctricas del Edificio de Aulas T-3, es proporcionar una mejor opción para mejorar, el manejo de la iluminación.

Otro de los objetivos que se pretenden alcanzar es el de mostrar una forma de cómo se pueden utilizar los conocimientos adquiridos durante el transcurso de la carrera de Ingeniería Eléctrica, relacionados con el diseño de circuitos lógicos combinacionales, para dar solución a problemas de tipo práctico.

Una de las partes del trabajo consistió en la reparación de algunos elementos de las luminarias cuando su condición lo permitía. Una segunda parte del mismo se relaciona con el diseño de un circuito de control maestro electrónico, que permita el manejo a distancia por una sola persona de las luminarias propias de los distintos ambientes.

Uno de los obstáculos que se tuvieron que superar para poder realizar este trabajo consistió, en que no existe personal específico que suministrara información esencial referente a las características más importantes del sistema eléctrico del edificio.

El suministro por parte de las autoridades de la Facultad de Ingeniería, en una forma rápida de los diferentes elementos para la reparación de las luminarias, interruptores y tomacorrientes facilitó enormemente la elaboración del trabajo.

CAPITULO I

DESCRIPCION:

En el año de 1879, se estableció la Escuela de Ingeniería en la Universidad de San Carlos de Guatemala; por decreto del gobierno en el año de 1882, ésta se elevó a la categoría de Facultad, dentro de la misma Universidad.

La Facultad tuvo problemas para adquirir su independencia administrativa y su propia sede, por una serie de vicisitudes con la Escuela Politécnica, las cuales terminaron en 1908 debido a los acontecimientos políticos sucedidos en ese año. En 1918 se perfila el resurgimiento de la facultad al denominarla "Facultad de Matemática" por acuerdo gubernativo, y en 1920 reinicia sus labores en el edificio que ocupó durante muchos años frente al parque Morazán. En 1934, la facultad se traslada a la 8a. Avenida y 11 calle y desde 1959, ocupa su propio edificio en la Ciudad Universitaria.

Los edificios e instalaciones de la Facultad de Ingeniería están ubicados en la Ciudad Universitaria, localizada en la zona 12 de esta ciudad. El núcleo central de la Facultad fué contruido en 1956 y consta de las siguientes instalaciones: Edificio de Aulas, T-3; Edificio Administrativo y Biblioteca, T-4; Centro de Investigaciones de Ingeniería, T-5; Auditorium "Francisco Vela", T-6; Taller de Ingeniería Mecánica, T-7; comparte con la Facultad de Arquitectura el edificio T-1. Asimismo, cuenta con un área aproximada de 500 metros cuadrados para las actividades del Centro de Investigaciones de Ingeniería.

Nuestro proyecto se desarrolla en el edificio de aulas T-3, el cual está localizado hacia el norte y es el elemento más destacado del conjunto. Consta de cinco plantas, de las cuales la planta baja está destinada a varios servicios como la cafetería, Departamento de Reproducción, Cooperativa de la AEI y Salón de Proyecciones de la Facultad. El proyecto propuesto tendrá su aplicación en las otras cuatro plantas que contienen los salones de estudio con capacidad para unos 1,800 estudiantes.

CAPITULO II

CONJUNTO DE BLOQUES QUE FORMAN EL SISTEMA DE CONTROL MAESTRO

Para comprender la forma como el circuito de control realiza su función, se considera que está constituido por dos bloques principales que son:

- 1) Bloque emisor.
- 2) Bloque de recepción.

1) BLOQUE EMISOR

Este bloque esta constituido por las siguientes secciones:

- A) Sección de codificación.
- B) Sección de selección.

A) SECCION DE CODIFICACION

Está formada básicamente por 4 interruptores del tipo ON - OFF, una fuente de alimentación de 12 V y resistencias limitadoras de corriente de 470 Ohmios, 0.5 vatios.

La función que realiza consiste en generar una clave formada por una combinación de unos y ceros que identifican a cada uno de los ambientes (0 = cero voltios, 1 = 12 voltios).

La codificación para encender o apagar las luminarias será la misma, y dependiente únicamente de la posición del switch de envío de datos; si es un cero, entonces se apagarán y si es un uno, entonces se encenderán.

A continuación, se muestra el diagrama eléctrico correspondiente a la sección codificadora.

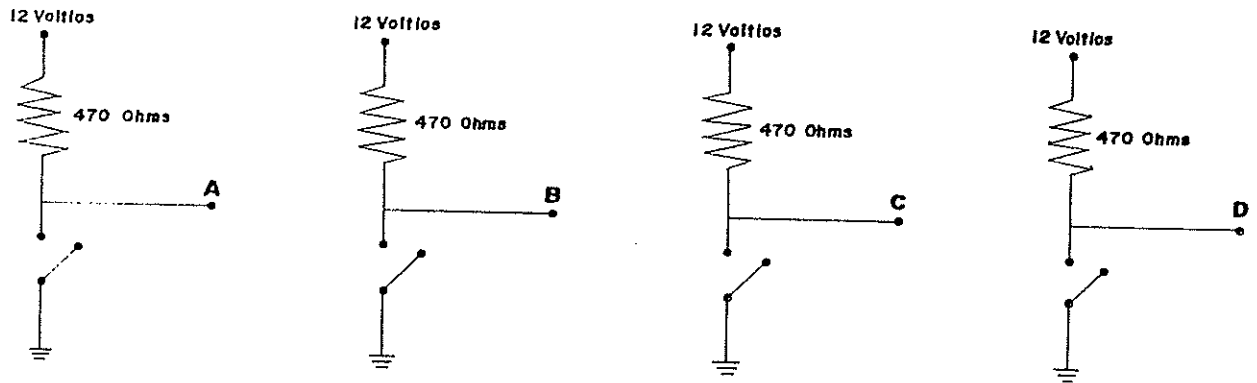


FIG. 1 SECCION CODIFICADORA

La manera cómo se obtiene un voltaje alto o un voltaje bajo para formar la clave deseada es la siguiente:

Cuando está cerrado el interruptor, el punto A del diagrama anterior esta sometido a un potencial bajo, que equivale a tener un cero a la salida del codificador.

Por el contrario cuando está abierto el interruptor, el punto A es sometido a un nivel alto de voltaje, que equivale a tener un uno a la salida del codificador.

B) SECCION DE SELECCION

Esta sección está constituida por los siguientes elementos:

- B.1) Circuito generador de pulsos.
- B.2) Circuito generador de claves.
- B.3) Circuito multiplexor.

B.1) Circuito generador de pulsos

Su función consiste en generar un tren de pulsos de forma cuadrada. La frecuencia del tren de pulsos está determinada por la relación matemática siguiente:

$$f = \frac{1}{(2.2) (R_1) (C)}$$

De acuerdo con los valores de R₁ y C que se presentan en la Figura No 2, la frecuencia que le corresponde es de 454 ciclos por segundo.

Como se puede ver, para realizar su función, este generador utiliza únicamente dos de los seis inversores disponibles en el circuito integrado Cmos 4049.

En el apéndice, se incluye información general correspondiente al circuito integrado Cmos 4049.

A continuación, se muestra el esquema eléctrico correspondiente a este generador:

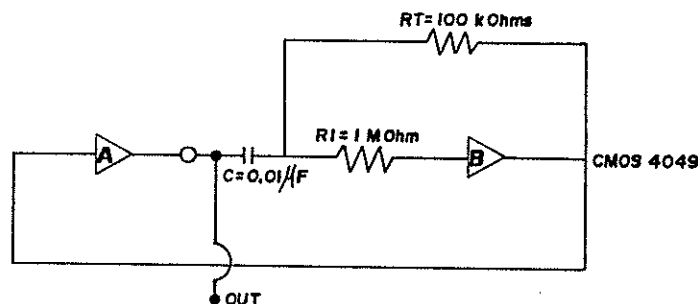


FIG. 2 CIRCUITO GENERADOR DE PULSOS

B.2) Circuito generador de claves.

Esta función es desarrollada por el circuito integrado Cmos 4516, que básicamente lo que hace es llevar la cuenta del número de pulsos (En grupos de 16 en 16), provenientes del circuito generador anteriormente descrito.

Dicha cuenta la expresa por medio de 4 terminales de salida codificadas en BCD.

En el apéndice, se incluye una descripción más detallada de cómo este circuito realiza su función.

A continuación, se muestra el esquema eléctrico de este generador:

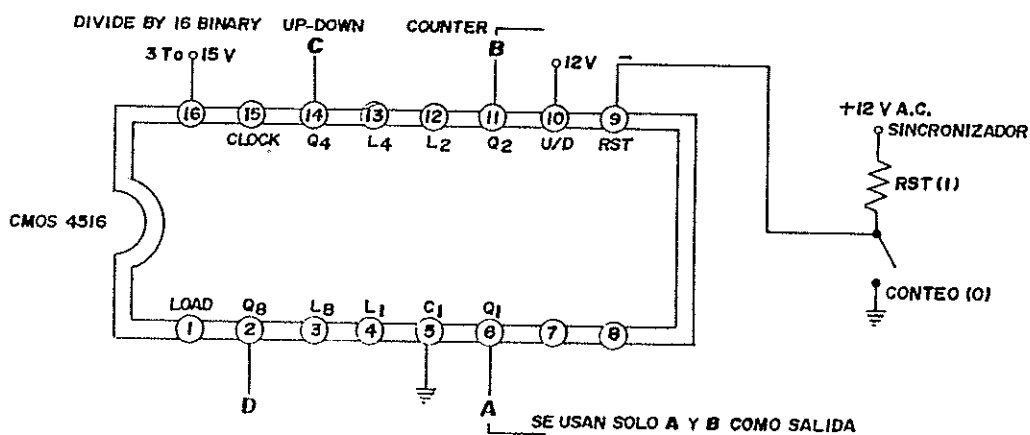


FIG. 3 CIRCUITO GENERADOR DE CLAVES

B.3) Circuito multiplexor.

Este circuito permite momentáneamente y en forma secuencial el paso hacia el canal de transmisión a cada una de sus 4 entradas con datos, que se selecciona por medio de otras dos entradas de selección de que dispone.

Las entradas con datos provienen del circuito codificador de entrada, en tanto que las entradas de selección provienen del circuito contador de pulsos.

En el apéndice, se incluye información más detallada que describe la forma como el circuito integrado CMOS 4539 realiza la función de selección antes mencionada.

A continuación, se presenta el esquema que corresponde al circuito multiplexor.

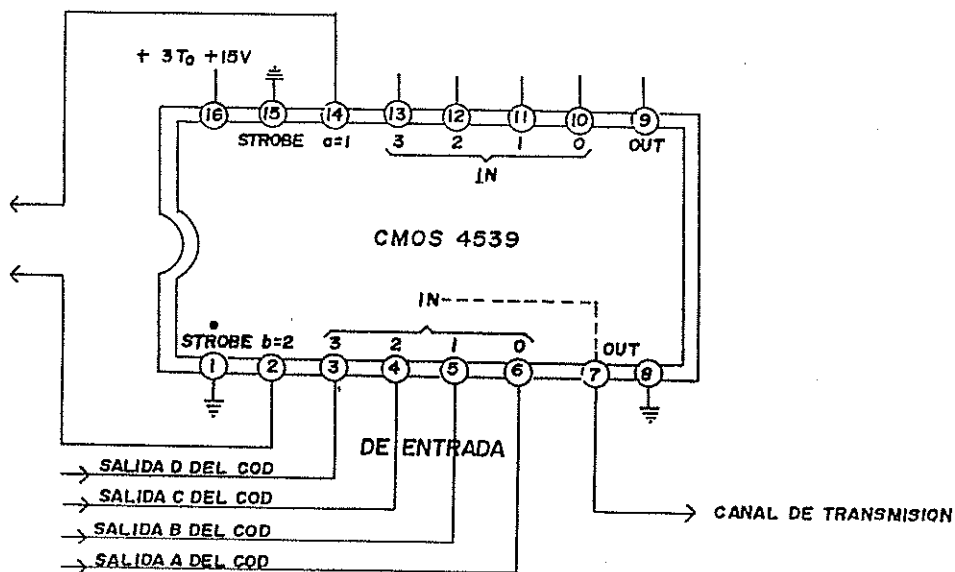


FIG. 4 CIRCUITO MULTIPLEXOR

FUNCIONAMIENTO DEL BLOQUE EMISOR

Por medio del conjunto de 4 interruptores tipo ON - OFF de que dispone el codificador de entrada, se genera una clave compuesta por unos y ceros que identifica a cada uno de los salones propios de cada nivel del edificio T-3 de aula.

Esta codificación se aplica a las entradas del circuito multiplexor, con el propósito de que en forma secuencial, se permita el paso momentáneo de una de las entradas hacia el canal de transmisión. Después de permitirle el paso a las cuatro entradas, se repite nuevamente el ciclo de transmisión con una frecuencia de 454 veces por segundo.

Para elegir la entrada que se transmitirá, se utilizan las dos variables de selección de que dispone el circuito multiplexor. El código que identifica a cada una de las entradas lo generan dos de las cuatro salidas en código BCD de que dispone el circuito contador de pulsos que se utiliza como generador de claves para el circuito multiplexor.

Los pulsos que se cuentan van a provenir de un circuito oscilador de tipo Aestable, el cual los genera con una frecuencia de 454 ciclos por segundo.

Por ejemplo, si los interruptores D, C y B se colocan en la posición de Off, y el interruptor A se coloca en la posición de ON; a la salida de los tres primeros, se tiene un nivel alto de voltaje (un uno), en tanto que en la salida de este último se tiene un nivel bajo de voltaje (un cero), que da como resultado la generación de la clave 1110, la cual se aplica a las 4 entradas de datos del circuito multiplexor.

Durante el tiempo que se emplea para generar la clave por medio de los interruptores anteriormente mencionados, el circuito contador debe mantenerse con el control de reset activado, que trae como consecuencia que se le permita el paso hacia el canal de transmisión a la entrada de datos número cero del circuito multiplexor (salida A del circuito codificador de entrada), pues a la salida del circuito contador se tiene la clave 00.

Al liberar el control de Reset del circuito contador, éste inicia el conteo de los pulsos provenientes del oscilador. En consecuencia luego del arribo del primer pulso, se tiene a la salida del contador la clave 01 que aplicada a las dos entradas de selección del circuito multiplexor, permite que se le dé paso a la entrada número 1 del mismo (salida B del codificador de entrada), hacia el canal de transmisión. De la misma forma, luego del arribo del segundo pulso, el circuito contador presenta a su salida la clave 10, que aplicada a las entradas de selección del circuito multiplexor, permiten el paso de la entrada de datos número dos hacia el canal de transmisión (salida C del codificador de entrada).

Con el arribo del tercer pulso, la clave que se tiene a la salida del contador es la 11, que entonces le permite el paso hacia el canal de transmisión a la entrada de datos, número tres del circuito multiplexor (salida D del circuito codificador de entrada).

El cuarto pulso, proveniente del oscilador, hace que las dos salidas de menor peso que posee el contador, muestren la clave 00 que entonces permite nuevamente que sea la entrada de datos número cero del multiplexor, la que se dirige hacia el canal de transmisión.

Los pulsos subsiguientes hacen que el ciclo de transmisión anteriormente descrito se repita continuamente.

En la Figura No. 5, se muestra el esquema eléctrico del diseño de control maestro de iluminación del edificio de aulas T-3, correspondiente al bloque del emisor.

2) BLOQUE DE RECEPCION

Las secciones que constituyen este bloque son las siguientes:

- A) Sección de recuperación.
- B) Sección de decodificación.
- C) Sección de potencia.

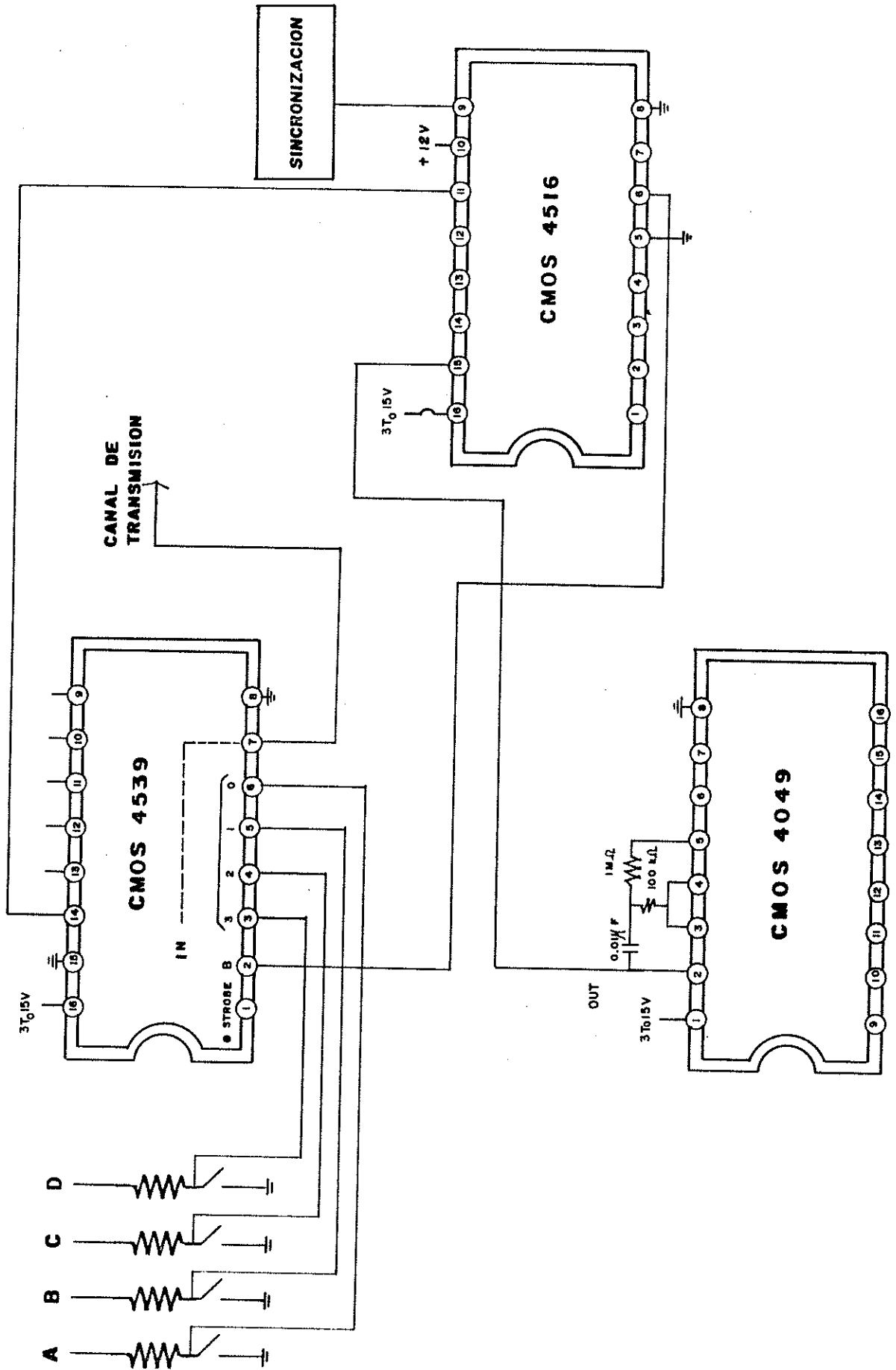
A) Sección de recuperación

Básicamente la función que realiza este bloque consiste en recuperar, del otro lado del canal de transmisión, la clave generada por el circuito codificador de entrada que identifica al salón en donde se desea apagar o encender las luminarias.

Los elementos que constituyen este bloque son los siguientes:

- A.1) Circuito generador de pulsos.
- A.2) Circuito generador de claves.

FIG. 5 BLOQUE DEL EMISOR



A.3) Circuito demultiplexor.

A.1) Circuito generador de pulsos.

Las características de este circuito son idénticas a las que posee el circuito generador de pulsos que utiliza el bloque de selección que posee la sección de transmisión, ya que la generación de los pulsos se efectúa con la misma frecuencia (454 hertz), utilizando la misma configuración del circuito y el mismo tipo de elementos para realizar dicha función.

A.2) Circuito generador de claves.

Al igual que en el caso anterior, las características de este circuito son idénticas a las que posee el circuito generador de claves que posee el bloque de selección de la sección de transmisión, ya que utiliza la misma configuración del circuito contador, y el mismo tipo de circuito para realizar su función (Cmos 4516).

A.3) Circuito demultiplexor.

Se utiliza, para el efecto, el circuito integrado Cmos 4555 cuya función principal consiste en distribuir secuencialmente la información contenida en el canal de transmisión en cada una de las cuatro salidas de datos de que dispone el mismo.

La elección de la salida a la que se dirigirá momentáneamente la información contenida en el canal, se efectúa por medio de dos de las cuatro variables de salida que tiene el circuito contador de pulsos.

En el apéndice, se incluye información más detallada de la forma cómo se puede utilizar el circuito integrado Cmos 4555 para realizar la función de distribución de datos anteriormente mencionada.

A continuación, se muestra el esquema eléctrico correspondiente al circuito demultiplexor.

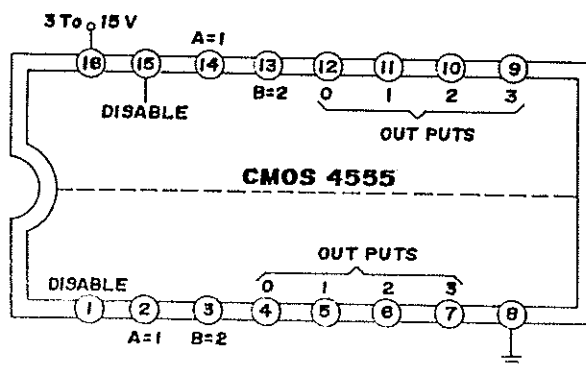


FIG. 6 CIRCUITO DEMULTIPLEXOR

B) SECCION DE DECODIFICACION

La función que le corresponde realizar es la de establecer a partir de la clave obtenida, cuál es el salón en donde se deberá habilitar el encendido o el apagado de las luminarias propias del mismo.

La habilitación antes mencionada consiste en aplicar un nivel alto de voltaje a la entrada del circuito de memoria del salón seleccionado por el usuario del sistema.

A continuación, se presentan las tablas de verdad correspondientes a cada uno de los niveles del edificio de aulas T-3.

También se presentan las ecuaciones lógicas que corresponden a cada salón, y el circuito combinatorial general que se construye a partir de dichas ecuaciones.

Las compuertas AND de 4 entradas que se utilizarán están integradas en el circuito Cmos 4082.

Para el nivel 1 que consta de once salones, le corresponde la tabla No 1 de verdad, la cual se muestra a continuación.

TABLA No. 1

DCEA	102	103	104	105	106	107	108	109	110	111	112
0000	0	0	0	0	0	0	0	0	0	0	0
0001	0	0	0	0	0	0	0	0	0	0	1
0010	0	0	0	0	0	0	0	0	0	1	0
0011	0	0	0	0	0	0	0	0	1	0	0
0100	0	0	0	0	0	0	0	1	0	0	0
0101	0	0	0	0	0	0	1	0	0	0	0
0110	0	0	0	0	0	1	0	0	0	0	0
0111	0	0	0	0	1	0	0	0	0	0	0
1000	0	0	0	1	0	0	0	0	0	0	0
1001	0	0	1	0	0	0	0	0	0	0	0
1010	0	1	0	0	0	0	0	0	0	0	0
1011	1	0	0	0	0	0	0	0	0	0	0

De esta tabla se deducen las siguientes expresiones lógicas combinatoriales:

Para el salón 102:

$$102 (D,C,B,A) = D.\bar{C}.B.A$$

Salón 103:

$$103 (D,C,B,A) = D.\bar{C}.B.\bar{A}$$

Salón 104:

$$104 (D,C,B,A) = D.\bar{C}.\bar{B}.A$$

Salón 105:

$$105 (D,C,B,A) = D.\bar{C}.\bar{B}.\bar{A}$$

Salón 106:

$$106 (D,C,B,A) = \bar{D}.C.B.A$$

Salón 107:

$$107 (D,C,B,A) = \bar{D}.C.B.\bar{A}$$

Salón 108:

$$108 (D,C,B,A) = \bar{D}.C.\bar{B}.A$$

Salón 109:

$$109 (D,C,B,A) = \bar{D}.C.\bar{B}.\bar{A}$$

Salón 110:

$$110 (D,C,B,A) = \bar{D}.\bar{C}.B.A$$

Salón 111:

$$111 (D,C,B,A) = \bar{D}.\bar{C}.B.\bar{A}$$

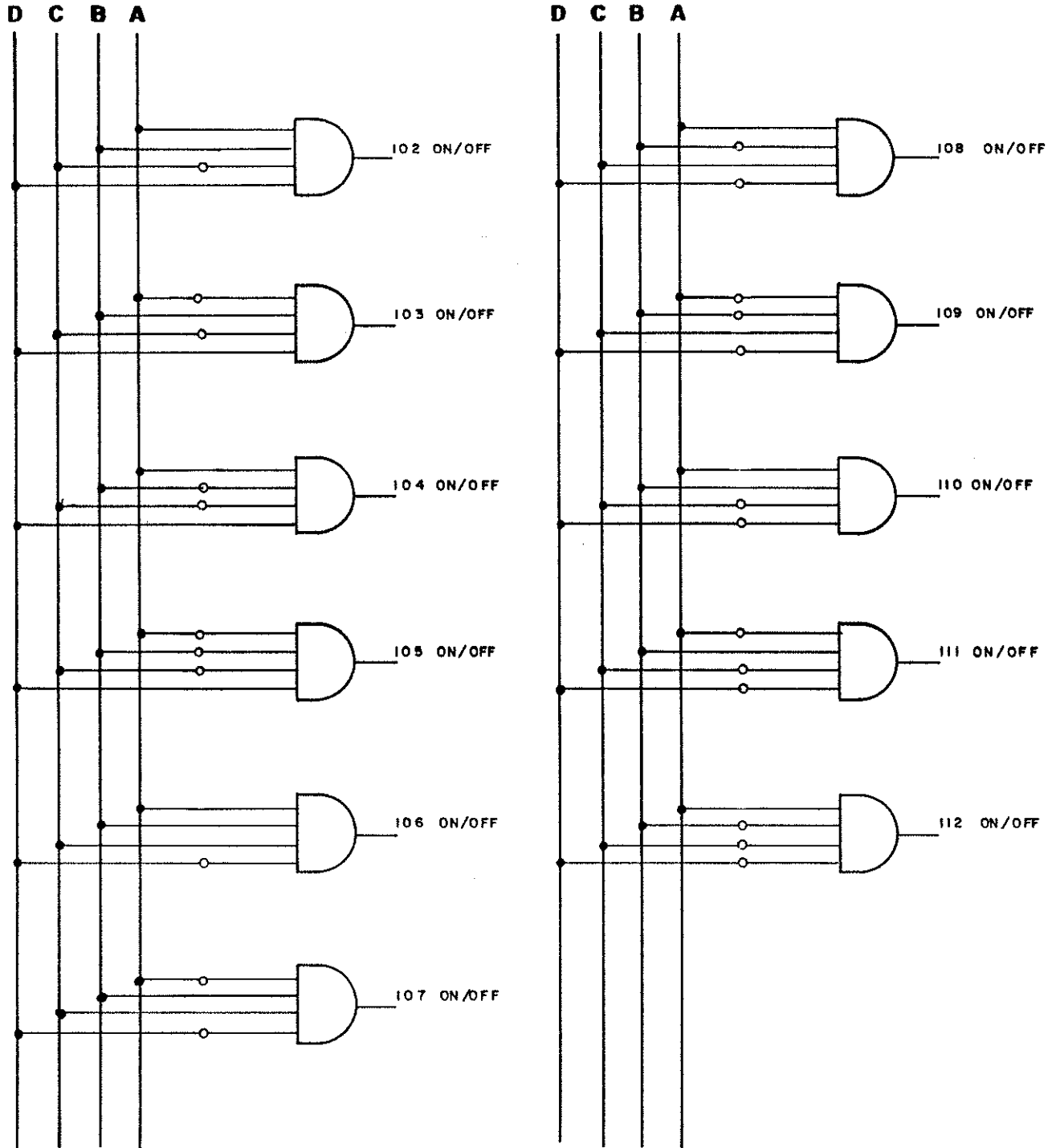
Salón 112:

$$112 (D,C,B,A) = \bar{D}.\bar{C}.\bar{B}.A$$

Para la clave 0000, todas las luminarias del nivel 1 estarán apagadas.

Partiendo de estas ecuaciones, se obtiene el circuito combinacional lógico general que se muestra en la figura No. 7.

FIG. 7 CIRCUITO LOGICO COMBINACIONAL GENERAL NIVEL 1



Para el nivel 2 que consta de 14 salones, y le corresponde la siguiente tabla No. 2 de verdad:

TABLA No. 2

DCBA	201	202	203	204	205	206	207	208	209	210	211	212	213	214
0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0001	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0010	0	0	0	0	0	0	0	0	0	0	0	0	1	0
0011	0	0	0	0	0	0	0	0	0	0	0	1	0	0
0100	0	0	0	0	0	0	0	0	0	0	1	0	0	0
0101	0	0	0	0	0	0	0	0	0	1	0	0	0	0
0110	0	0	0	0	0	0	0	0	1	0	0	0	0	0
0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1000	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1001	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1010	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1011	0	0	0	1	0	0	0	0	0	0	0	0	0	0
1100	0	0	1	0	0	0	0	0	0	0	0	0	0	0
1101	0	1	0	0	0	0	0	0	0	0	0	0	0	0
1110	1	0	0	0	0	0	0	0	0	0	0	0	0	0

De esta tabla, se deducen las siguientes ecuaciones lógicas combinacionales:

Para el salón 201:

$$201 (D, B, C, A,) = D.C.B.\bar{A}.$$

salón 202:

$$202 (D, C, B, A) = D.C.\bar{B}.A$$

Salón 203:

$$203 (D, C, B, A) = D.C.\bar{B}.\bar{A}$$

Salón 204:

$$204 (D, C, B, A) = D.\bar{C}.B.A$$

Salón 205:

$$205 (D,C,B,A) = D.\bar{C}.\bar{B}.\bar{A}$$

Salón 206:

$$206 (D,C,B,A) = D.\bar{C}.\bar{B}.A$$

Salón 207:

$$207 (D,C,B,A) = D.\bar{C}.B.\bar{A}$$

Salón 208:

$$208 (D,C,B,A) = \bar{D}.C.B.A$$

Salón 209:

$$209 (D,C,B,A) = \bar{D}.C.B.\bar{A}$$

Salón 210:

$$210 (D,C,B,A) = \bar{D}.C.\bar{B}.A$$

Salón 211:

$$211 (D,C,B,A) = \bar{D}.C.\bar{B}.\bar{A}$$

Salón 212:

$$212 (D,C,B,A) = \bar{D}.\bar{C}.B.A$$

Salón 213:

$$213 (D,C,B,A) = \bar{D}.\bar{C}.B.\bar{A}$$

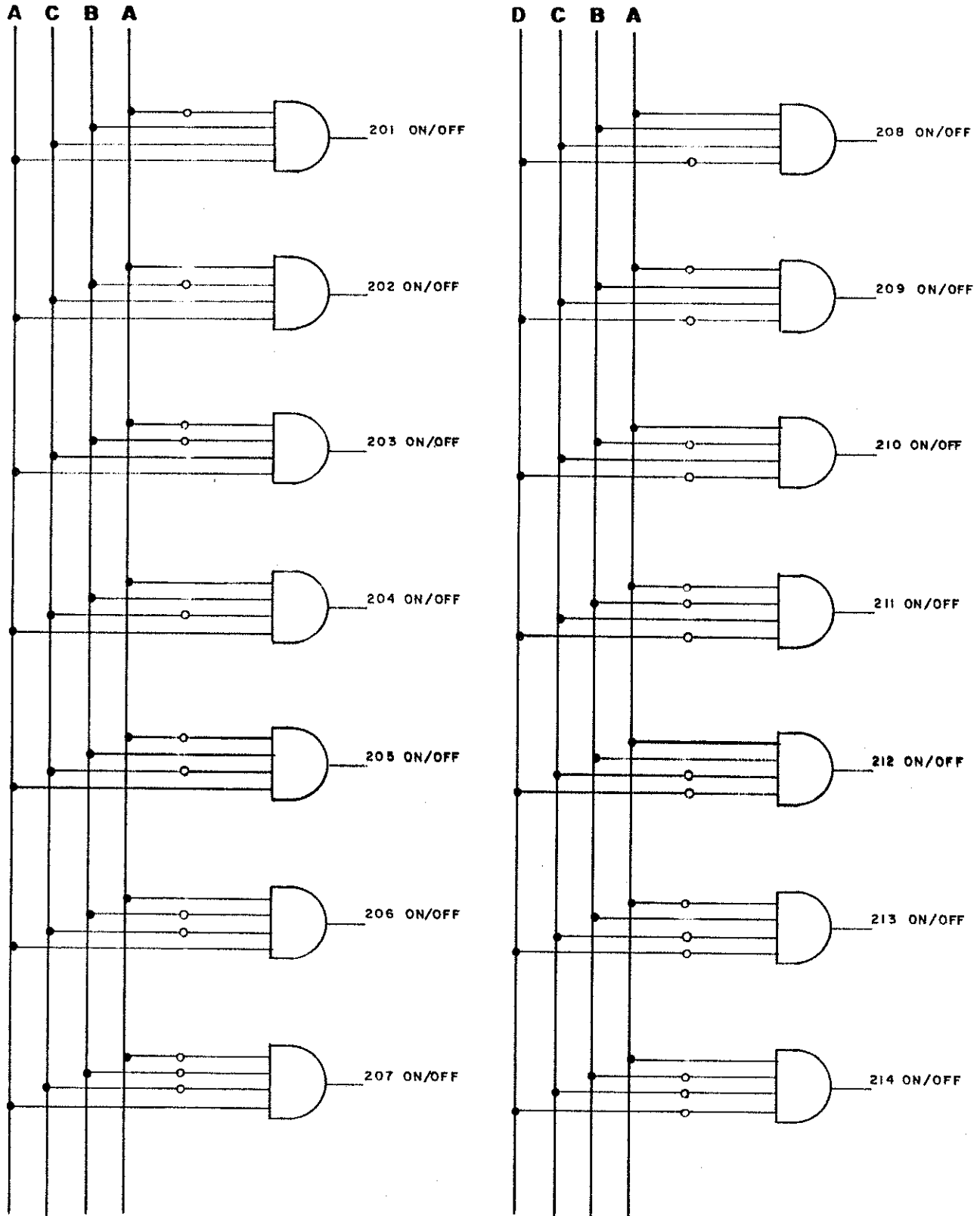
Salón 214:

$$214 (D,C,B,A) = \bar{D}.\bar{C}.\bar{B}.A$$

Para la clave 0000, todas las luminarias del nivel 2 están apagadas.

Partiendo de estas ecuaciones, se obtiene el circuito combinacional lógico general que se muestra en la figura No. 8.

FIG. 8 CIRCUITO LOGICO COMBINACIONAL GENERAL NIVEL 2



Para el nivel 3 que consta de 17 salones, y le corresponde la siguiente tabla No. 3 de verdad:

TABLA No. 3

DCBA	301	302	303	304	305	306	307	308	309	310	311	312	313	314	315	316	317
0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0001	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1
0010	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
0011	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
0100	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
0101	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
0110	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
0111	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1000	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1001	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1010	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
1011	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
1100	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
1101	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1110	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1111	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

De esta tabla, se deducen las siguientes ecuaciones lógicas combinacionales:

Para el salón 301 y 302:

$$301 \text{ y } 302 (D,C,B,A) = D.C.B.A$$

Salón 303:

$$303 (D,C,B,A) = D.C.B.\bar{A}$$

Salón 304:

$$304 (D,C,B,A) = D.C.\bar{B}.A$$

Salón 305:

$$305 (D,C,B,A) = D.C.\bar{B}.\bar{A}$$

Salón 306:

$$306 (D,C,B,A) = D.\bar{C}.B.A$$

Salón 307:

$$307 (D,C,B,A) = D.\bar{C}.B.\bar{A}$$

Salón 308:

$$308 (D,C,B,A) = D.\bar{C}.\bar{B}.A$$

Salón 309:

$$309 (D,C,B,A) = D.\bar{C}.\bar{B}.\bar{A}$$

Salón 310:

$$310 (D,C,B,A) = \bar{D}.C.B.A$$

Salón 311:

$$311 (D,C,B,A) = \bar{D}.C.B.\bar{A}$$

Salón 312:

$$312 (D,C,B,A) = \bar{D}.C.\bar{B}.A$$

Salón 313:

$$313 (D,C,B,A) = \bar{D}.C.\bar{B}.\bar{A}$$

Salón 314:

$$314 (D,C,B,A) = \bar{D}.\bar{C}.B.A$$

Salón 315:

$$315 (D,C,B,A) = \bar{D}.\bar{C}.B.\bar{A}$$

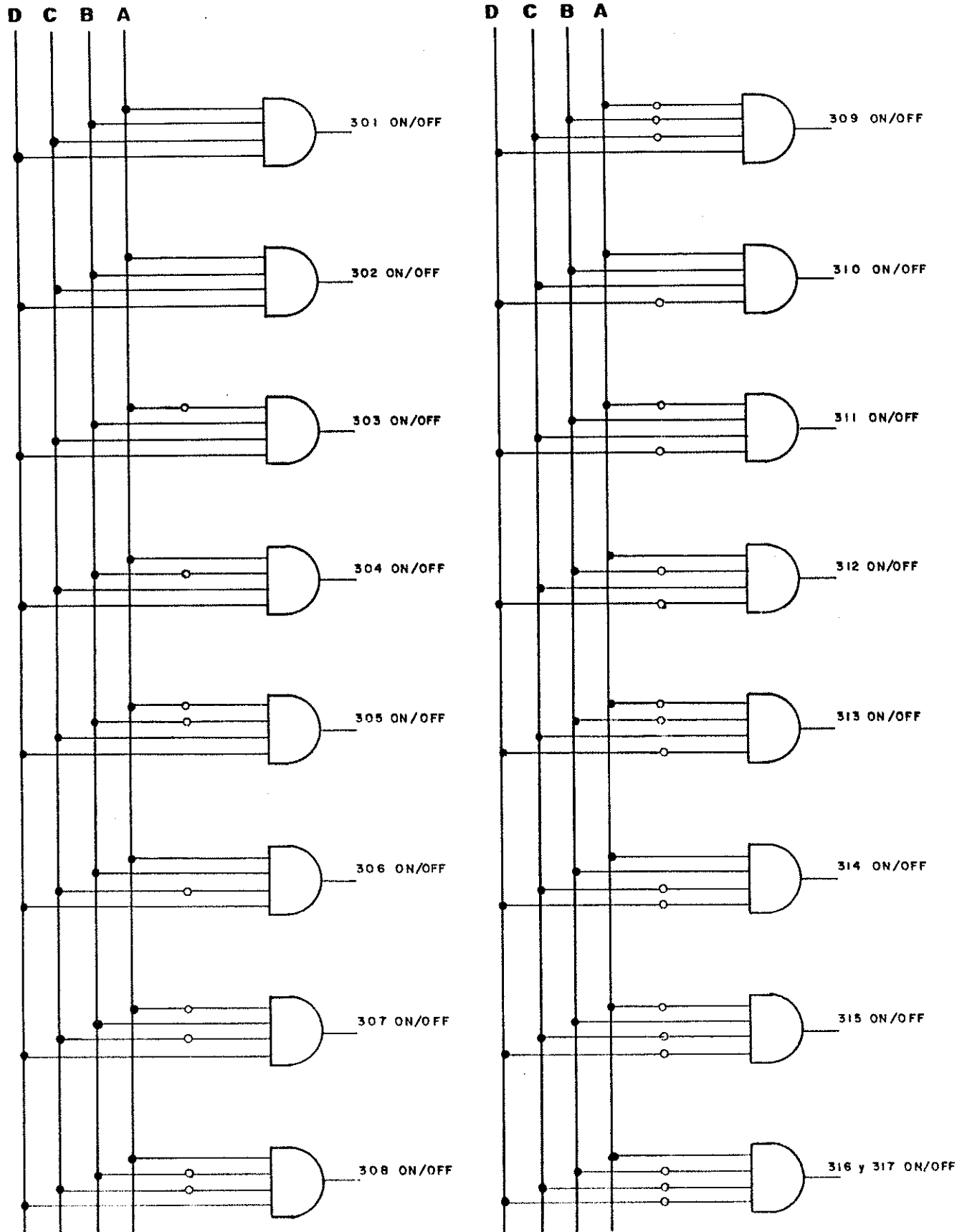
Los salones 316 y 317 tienen la misma ecuación siguiente:

$$316 \text{ y } 317 (D,C,B,A) = \bar{D}.\bar{C}.\bar{B}.A$$

Para la clave 0000, todas las luminarias del nivel 3 están apagadas.

Partiendo de estas ecuaciones, se obtiene el circuito lógico combinacional general, el cual se muestra en la figura No. 9.

FIG. 9 CIRCUITO LOGICO COMBINACIONAL GENERAL NIVEL 3



Para el nivel 4 que consta de 12 salones, y le corresponde la siguiente tabla No. 4 de verdad:

TABLA No. 4

DCHA	401A	401B	401C	402	403	404	405	406	407	408	409	410
0000	0	0	0	0	0	0	0	0	0	0	0	0
0001	0	0	0	0	0	0	0	0	0	0	0	1
0010	0	0	0	0	0	0	0	0	0	0	1	0
0011	0	0	0	0	0	0	0	0	0	1	0	0
0100	0	0	0	0	0	0	0	0	1	0	0	0
0101	0	0	0	0	0	0	0	1	0	0	0	0
0110	0	0	0	0	0	0	1	0	0	0	0	0
0111	0	0	0	0	0	1	0	0	0	0	0	0
1000	0	0	0	0	1	0	0	0	0	0	0	0
1001	0	0	0	1	0	0	0	0	0	0	0	0
1010	0	0	1	0	0	0	0	0	0	0	0	0
1011	0	1	0	0	0	0	0	0	0	0	0	0
1100	1	0	0	0	0	0	0	0	0	0	0	0

De esta tabla, se deducen las siguientes ecuaciones lógicas combinacionales:

Para el salón 401A:

$$401A (D,C,B,A) = D.C.B.\bar{A}$$

Para el salón 401B:

$$401B (D,C,B,A) = D.C.B.A$$

Salón 401C:

$$401C (D,C,B,A) = D.\bar{C}.B.\bar{A}$$

Salón 402:

$$402 (D,C,B,A) = D.C.B.A$$

Salón 403:

$$403 (D,C,B,A) = D.C.B.\bar{A}$$

Salón 404:

$$404 (D,C,B,A) = \bar{D}.C.B.A$$

Salón 405:

$$405 (D,C,B,A) = \bar{D}.C.B.\bar{A}$$

Salón 406:

$$406 (D,C,B,A) = \bar{D}.C.\bar{B}.A$$

Salón 407:

$$407 (D,C,B,A) = \bar{D}.C.\bar{B}.\bar{A}$$

Salón 408:

$$408 (D,C,B,A) = \bar{D}.\bar{C}.B.A$$

Salón 409:

$$409 (D,C,B,A) = \bar{D}.\bar{C}.\bar{B}.\bar{A}$$

Salón 410:

$$410 (D,C,B,A) = \bar{D}.\bar{C}.\bar{B}.A$$

Con la clave 0000, todas las luminarias del nivel 4 estarán apagadas.

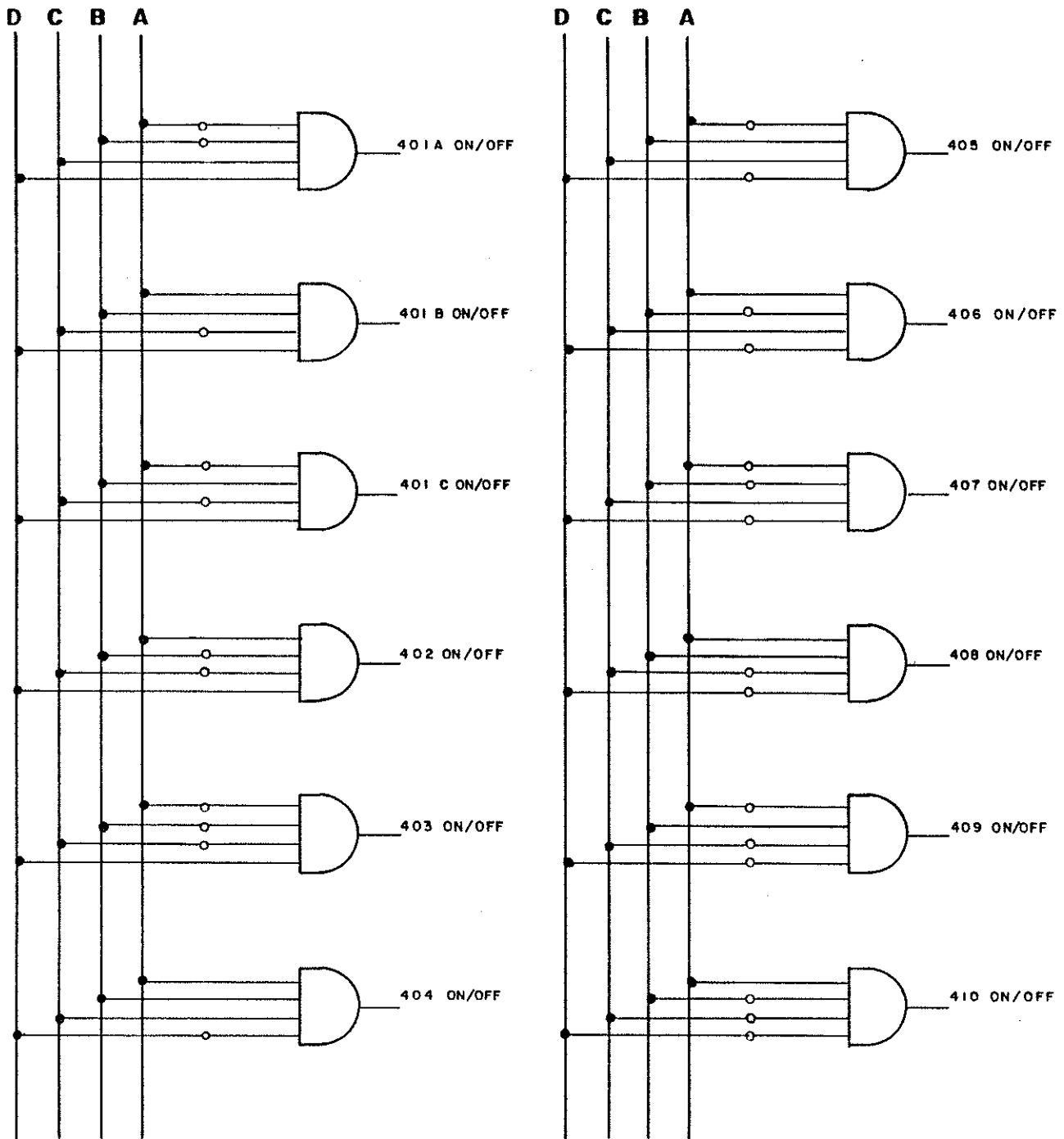
Partiendo de estas ecuaciones, se obtiene el circuito lógico combinacional general, el cual se muestra en la figura No. 10.

C) SECCION DE POTENCIA

Los elementos que constituyen esta sección son los siguientes:

- C.1) Circuito de memoria.
- C.2) Circuito de switch.
- C.3) Circuito de fuerza.

FIG.10 CIRCUITO LOGICO COMBINACIONAL GENERAL NIVEL 4



C.1) Circuito de memoria.

la función que le corresponde realizar a este circuito es la de mantener un nivel de voltaje alto (12 voltios), o un nivel bajo de voltaje (0 voltios), según se requiera que las luminarias se enciendan o se apaguen.

Estos niveles de voltaje son suministrados por una de las 4 salidas que posee el circuito codificador y se aplican al circuito de switch para que éste a su vez permita o no la circulación de corriente a través de un relé que controla el suministro de la energía eléctrica a las luminarias del salón seleccionado por el usuario.

Los elementos que constituyen este circuito de memoria son los siguientes:

- 1.- Una compuerta habilitadora tipo AND.
- 2.- Un flip-flop tipo D.

El esquema eléctrico que le corresponde al circuito de memoria es el siguiente:

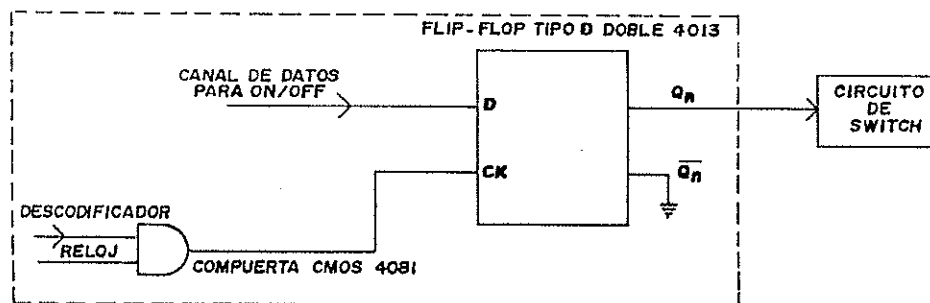


FIG. II CIRCUITO DE MEMORIA

La compuerta habilitadora permite el paso de los pulsos de reloj hacia el flip-flop de la siguiente manera: cuando la salida respectiva del decodificador trae un cero, entonces a la compuerta le llega un nivel de voltaje bajo, un cero, y da como resultado que el tren de pulsos no lleque a la memoria y cuando dicha salida trae un nivel de voltaje alto, un uno, entonces el tren de pulsos es transmitido a la memoria.

Para implementar este tipo de compuerta, se utiliza el circuito integrado Cmos 4081.

En el apéndice, se incluye una descripción de las características generales que corresponden a este tipo de circuito.

El flip-flop cambia el estado en que se encuentra su salida de acuerdo con la siguiente tabla No. 5 de verdad:

D	Q _N
0	0
1	1

TABLA No.5

De esta manera, se tiene entonces que si en la entrada de datos del flip-flop se aplica un nivel alto de voltaje (un uno), en la salida se tendrá también un nivel alto de voltaje, después de que arribe un pulso de reloj. Por otro lado, si en la entrada de datos se tiene un nivel bajo de voltaje, un cero, entonces se tendrá a la salida un cero, hasta que se cambie la información en la entrada de datos y llegue un nuevo pulso del reloj. Los pulsos de salida del generador de pulsos del bloque de recepción se utilizan también como pulsos del reloj, que le permiten al flip-flop que tiene el circuito de memoria, trasladar la información que tenga en su entrada hacia la salida del mismo.

La información de encendido o apagado que se aplica a cada uno de los flip-flops se suministra por medio de un canal adicional de datos procedente de la parte emisora del diseño.

Para implementar este tipo de flip-flop, se utiliza el circuito integrado Cmos 4013.

En el apéndice, se incluye una descripción de las características generales que corresponden a este tipo de circuito.

C.2) Circuito de switch.

La función que le corresponde realizar es la de proporcionar un nivel adecuado de voltaje y de corriente al relé, para que éste a su vez cierre o abra sus contactos, con el propósito de energizar o desenergizar las luminarias de cada uno de los ambientes de que consta el edificio T-3.

Este circuito está constituido por los siguientes elementos:

- Un transistor ECG 123 A.
- Una resistencia de base.
- Una resistencia limitadora de colector.
- Un relé RHN SPDT.
- Una fuente de alimentación.

En la figura No. 12 se muestra el diagrama propio del circuito eléctrico del switch.

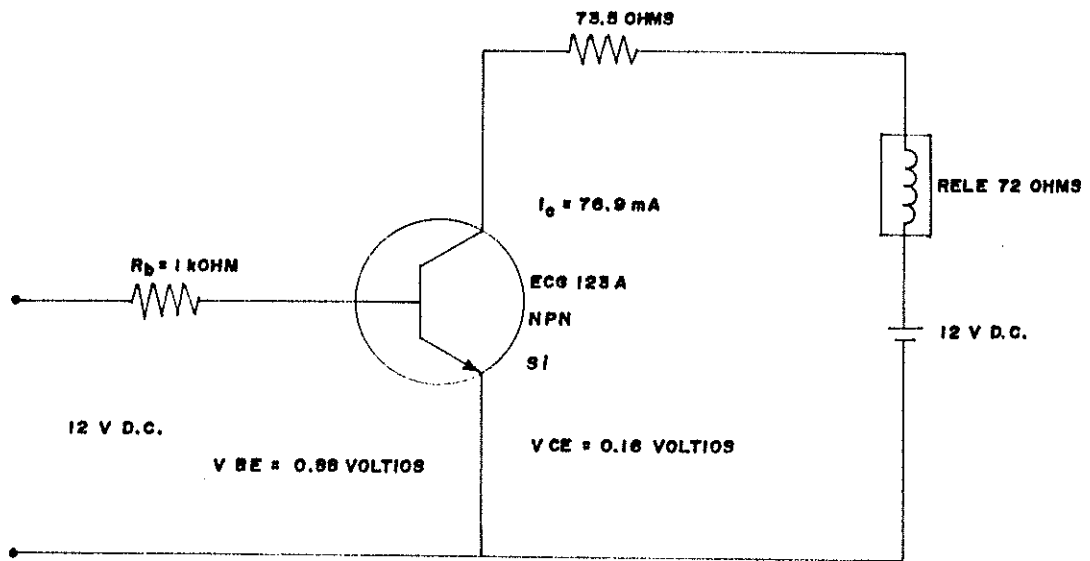


FIG. 12 CIRCUITO ELECTRICO DE SWITCH

Las características de los elementos son las siguientes:

tipo de transistor NPN de silicio

Función característica : amplificador de audio o de radiofrecuencia y switch.

75 voltios máximos de colector a base.

40 voltios máximos de colector a emisor.

6 voltios máximos de base a emisor.

0.8 amperios máximos de corriente de colector.

0.5 Vatios máximos de potencia de disipación.

300 Mega hertz máximo de frecuencia.

200 Hfe promedio.

La resistencia de base es de 1000 ohmios 0.5 vatios.

La resistencia de colector es de 73.5 ohmios 2 vatios.

Las características del relé son las siguientes:

Relé tipo RHN.

Corriente de bobina 83.3 miliamperios + - 15 % a 20 grados centigrados.

Resistencia de bobina 72 Ohmios.

Voltaje de Bobina 12 voltios D.C.

Corriente máxima de contactos 10 amperios.

Voltaje de contactos 120 voltios A.C.

Fuente de alimentación.

El circuito de control maestro de iluminación requiere el empleo de una fuente de alimentación por nivel de 12 voltios D.C., con el propósito de reducir al mínimo la posibilidad de falla total del sistema, en el momento de ocurrir algún desperfecto en la fuente de alimentación.

Esta fuente se utiliza para suministrar energía al circuito de switch, así como también para el suministro de energía que requieren los circuitos integrados que constituyen el circuito de control maestro de iluminación.

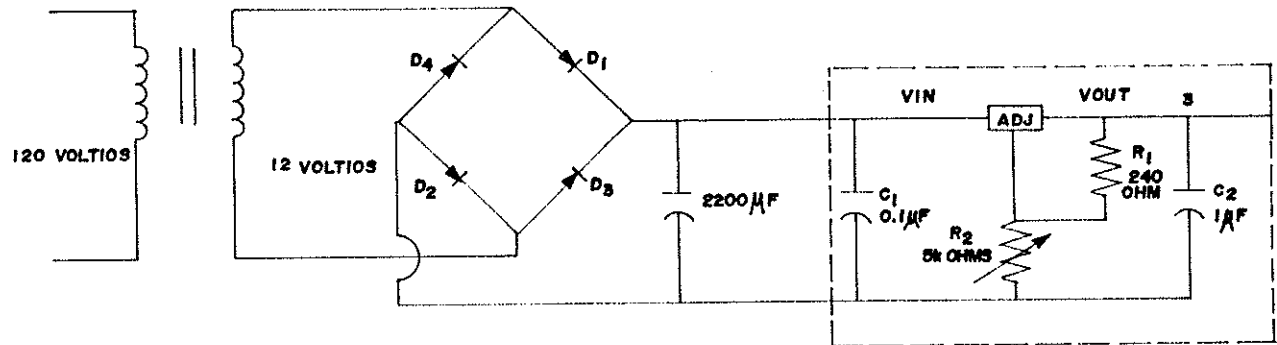
En la figura No. 13, se muestra el diagrama eléctrico de la fuente de alimentación en referencia.

El transformador que utiliza tiene las siguientes características:

Voltaje de primario 120 voltios A.C.

Voltaje de secundario 12 voltios A.C.

Capacidad de corriente 3 amperios.



TRANSFORMADOR 120/12 Voltios
 DIODOS IN 5400 = ECG 5800
 VOUT = 1.2 a 33 Voltios
 3 AMPERIOS

FIG. 13 FUENTE DE ALIMENTACION REGULADA

La rectificación se lleva a cabo por medio de un puente constituido por 4 diodos ECG 5800, los cuales tienen una capacidad máxima de 3 amperios y un voltaje máximo de 100 voltios.

El filtrado de la tensión rectificada se realiza utilizando un condensador 2200 microfaradios 25 voltios.

La regulación de la tensión de salida requiere del empleo del circuito integrado regulador ECG 970, cuyas características son las siguientes:

3 amperios máximos de capacidad de corriente y voltaje de salida variable entre 1.2 y 33 voltios D.C.

La fijación del voltaje de salida, en 12 voltios, se realiza por medio del reostato de 5000 Ohms de resistencia, el cual forma parte del circuito complementario que necesita el regulador para realizar su función.

Funcionamiento del circuito de switch.

Cuando el valor de la tensión de señal de entrada tiene un valor alto (12 voltios) se tiene que por la unión base emisor, circula una corriente cuyo valor sitúa al transistor en el estado de conducción, lo cual permite que circule corriente a través del relé.

Cuando el valor de la tensión de señal de entrada tiene un valor bajo (0 voltios), se tiene que por la unión base emisor no circula corriente alguna, situación que coloca al transistor en el estado de corte, el cual que no permite la circulación de corriente a través de la bobina del relé.

La resistencia de base R_b limita la corriente de base al valor de 4.5 miliamperios cuando la señal de entrada tiene un valor de 12 voltios.

La resistencia de colector R_c limita la corriente que circula por el circuito de colector a un valor de 76.9 miliamperios necesarios para lograr que el relé mantenga cerrado sus contactos durante el periodo de encendido de las luminarias.

La fuente de alimentación regulada de 12 voltios suministra la energía necesaria para que tanto el transistor como el relé realicen la función que le corresponde a cada uno.

La función del relé es la siguiente:

Cuando circula una corriente de 83 miliamperios $\pm 15\%$ a través de su bobina, cierra sus contactos normalmente abiertos, lo cual permite que se aplique un voltaje de 120 voltios A.C. a las respectivas luminarias que controla en tanto que cuando no circula corriente a través de su bobina

dichos contactos vuelven a su posición de normalmente abierto, lo cual da como resultado que no se aplique voltaje alguno a las luminarias, que a su vez provocan el apagado de la mismas.

Cuando el valor de luminarias sea de 16, la resistencia de colector Rc se sustituirá por otro relé que permitiera el control de 8 luminarias adicionales a las que se controlan con un solo relé.

A continuación, se muestra el circuito que se utiliza para controlar el encendido o apagado de 16 luminarias.

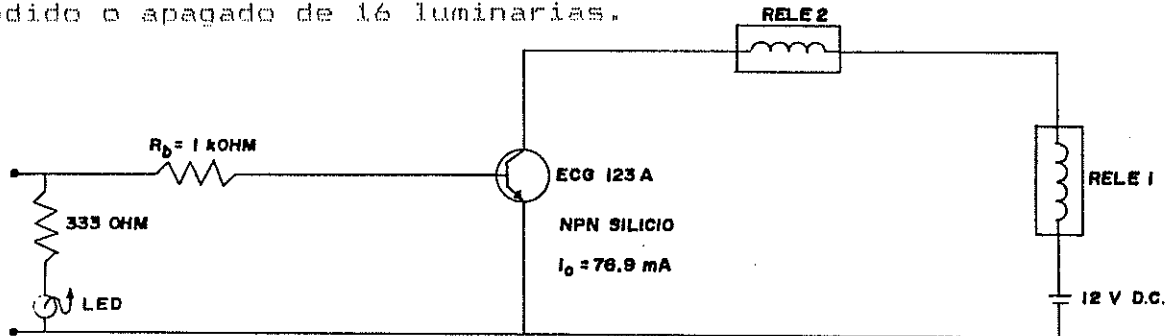


FIG. 14 CIRCUITO DE SWITCH PARA 16 LUMINARIAS

El conjunto compuesto por la resistencia 333 Ohmios de 0.5 vatios y el diodo emisor de luz D1, se utiliza como indicador de encendido del circuito de luminarias respectivo, ya que cuando el valor de la tensión de entrada es alto (12 voltios), provoca que dicho diodo emita luz mientras que cuando el valor de tensión es bajo (0 voltios), el diodo permanece sin emitir luz.

C.3) Circuito de fuerza.

Este circuito lo constituye esencialmente los contactos normalmente abiertos del relé, las luminarias y los interruptores térmicos (flippones) de protección. En otras palabras, es la parte del circuito que controla magnitudes de corrientes alternas del rango de un amperio en adelante.

El diagrama del circuito queda representado de la siguiente manera:

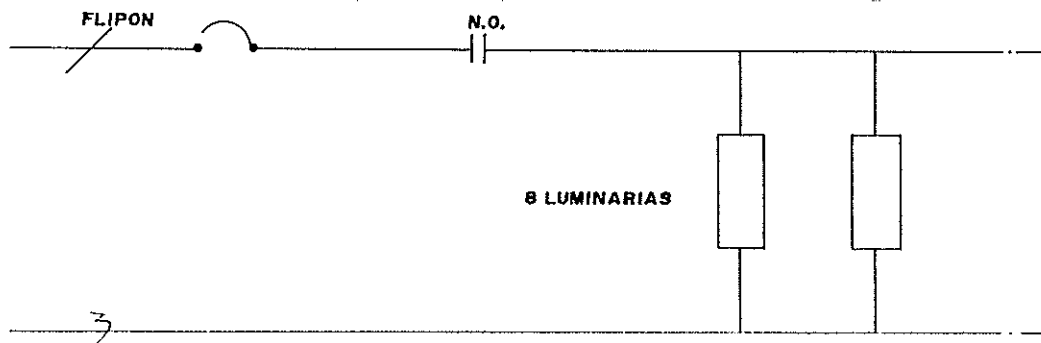


FIG. 15 CIRCUITO DE FUERZA

En la figura No. 16, se muestra el esquema eléctrico del diseño de control maestro de iluminación del edificio de aulas T-3, que corresponde a la parte de recepción.

Funcionamiento del bloque de recepción.

Si por ejemplo, a través del canal de direcciones se transmite la secuencia 1010, luego de que transcurra el tiempo que corresponde a 4 pulsos de reloj, se tienen en las salidas del circuito demultiplexor los valores siguientes:

- Un valor bajo de voltaje en la salida 0 del demultiplexor.
- Un valor alto de voltaje en la salida 1 del demultiplexor.
- Un valor bajo de voltaje en la salida 2 del demultiplexor.
- Un valor alto de voltaje en la salida 3 del demultiplexor.

Como la secuencia 1010 vuelve a repetirse en tanto que se mantenga la codificación de entrada generada por los cuatro interruptores tipo ON-OFF, tenemos que se vuelven a obtener los mismos valores en cada una de las salidas del circuito demultiplexor.

Esta clave, así recuperada, se aplica a las 4 entradas de que dispone el circuito decodificador de claves, una de cuyas salidas se coloca en un nivel alto de voltaje, el cual que se utiliza para habilitar el paso de los pulsos de reloj hacia el elemento de memoria respectivo.

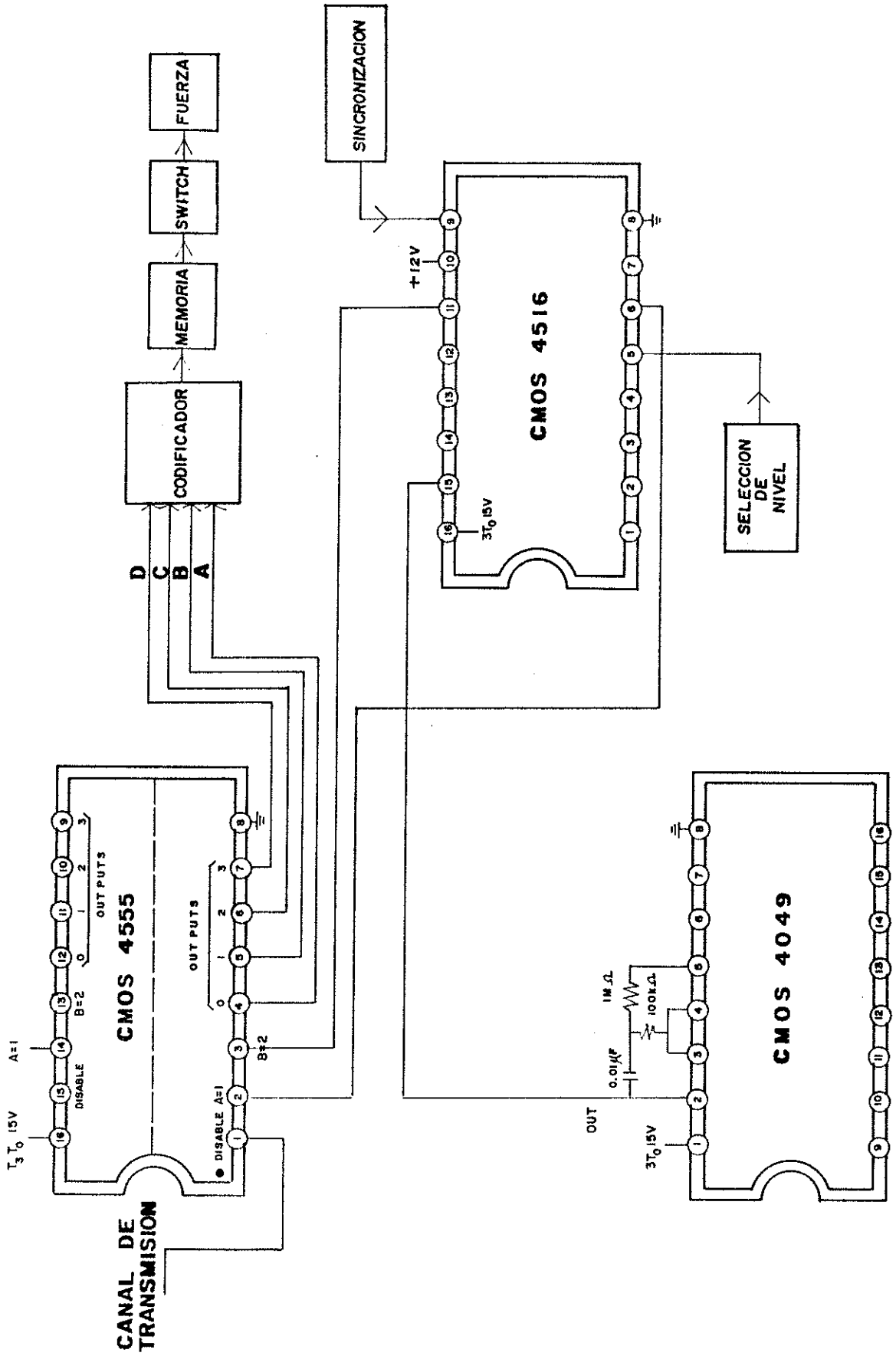
Si el nivel de voltaje de que dispone en el canal de datos es alto a la salida del elemento de memoria se tiene también un nivel alto de voltaje, el cual luego de ser aplicado a la entrada del circuito de switch provoca el encendido de las luminarias respectivas.

En caso de disponer de un nivel bajo de voltaje en el canal de datos, tenemos que en la salida del elemento de memoria también se dispone de un nivel bajo de voltaje, el cual luego de ser aplicado a la entrada del circuito de switch provoca el apagado de las luminarias respectivas.

Sincronización.

Esta se realizará por medio de un switch, este switch actuará simultáneamente sobre el pin 9 (Reset) del generador de claves, tanto del bloque emisor como del bloque de recepción, lo cual permitirá que ambos inicien el conteo al mismo tiempo, para que no ocurra desfase en el conteo.

FIG. 16 BLOQUE DE RECEPCION



CAPITULO III

ILUMINACION DE GRADAS Y CORREDORES

Para controlar el funcionamiento de las luminarias de las gradas y de los corredores, se utiliza un sistema electrónico similar al que se utiliza para controlar el funcionamiento de las luminarias propias de cada nivel.

Dicho sistema consta entonces de un bloque emisor y de un bloque de recepción, cuyas características son idénticas a las que poseen los bloques de emisión y de recepción anteriormente descritos.

La única diferencia que existe entre el circuito de control de salones y el circuito de control de gradas y corredores, radica en la tabla de verdad propia del circuito combinacional codificador que se utiliza para identificar el conjunto de luminarias sobre las que se desea actuar.

A continuación, se muestra la tabla No. 6 de verdad que corresponde al circuito combinacional codificador propio de gradas y corredores.

TABLA No.6

DCBA	N1N2	N2N3	N3N4	N1N2'	N2N3'	N3N4'	C1	C1'	C2	C2'	C3	C3'	C4	C4'
0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0001	0	0	0	0	0	0	0	0	0	0	0	0	0	1
0010	0	0	0	0	0	0	0	0	0	0	0	0	1	0
0011	0	0	0	0	0	0	0	0	0	0	0	1	0	0
0100	0	0	0	0	0	0	0	0	0	0	1	0	0	0
0101	0	0	0	0	0	0	0	0	0	1	0	0	0	0
0110	0	0	0	0	0	0	0	0	1	0	0	0	0	0
0111	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1000	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1001	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1010	0	0	0	0	1	0	0	0	0	0	0	0	0	0
1011	0	0	0	1	0	0	0	0	0	0	0	0	0	0
1100	0	0	1	0	0	0	0	0	0	0	0	0	0	0
1101	0	1	0	0	0	0	0	0	0	0	0	0	0	0
1110	1	0	0	0	0	0	0	0	0	0	0	0	0	0
1111	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Con la clave 0000, todas las luminarias de los corredores y gradas estarán apagadas.

En esta tabla de verdad, la expresión N1N2 se refiere a las luminarias de las gradas situadas entre el nivel 1 y el nivel 2 del lado derecho del edificio F-3.

N2N3 se refiere a las luminarias de las gradas situadas entre el

nivel 2 y el nivel 3 del lado derecho del edificio T-3.

N3N4 se refiere a las luminarias de las gradas situadas entre el nivel 3 y el nivel 4 del lado derecho del edificio T-3.

N1N2' corresponde a las luminarias situadas entre los niveles 1 y 2 del lado izquierdo del edificio T-3.

N2N3' corresponde a las luminarias situadas entre los niveles 2 y 3 del lado izquierdo del edificio T-3.

N3N4' corresponde a las luminarias situadas entre los niveles 3 y 4 del lado izquierdo del edificio T-3.

Todas las anteriores nomenclaturas tienen como referencia el Auditorium de la Facultad de Ingeniería.

La nomenclatura C1 y C1' se refiere al corredor del nivel 1; C1 se refiere a una mitad del corredor y C1' a la otra mitad.

C2 y C2' se refiere al corredor del nivel 2; C2 se refiere a una mitad del corredor y C2' se refiere a la otra mitad.

C3 y C3' se refiere al corredor del nivel 3; C3 se refiere a una mitad del corredor y C3' se refiere a la otra mitad.

C4 y C4' se refiere al corredor del nivel 4; C4 se refiere a una mitad del corredor y C4' se refiere a la otra mitad.

De la tabla anterior se deducen la siguientes expresiones lógicas según sea el caso:

Para N1N2:

$$N1N2 (D,C,B,A) = D.C.B.\bar{A}$$

Para N2N3 :

$$N2N3 (D,C,B,A) = D.C.\bar{B}.A$$

Para N3N4 :

$$N3N4 (D,C,B,A) = D.C.\bar{B}.\bar{A}$$

Para N1N2' :

$$N1N2' (D,C,B,A) = D.\bar{C}.B.A$$

PROPIEDAD DE LA UNIVERSIDAD DE SAN CARLOS DE GUATEMALA
Biblioteca Central

Para N2N3' :

$$N2N3' (D,C,B,A) = D.\bar{C}.\bar{B}.\bar{A}$$

Para N3N4' :

$$N3N4' (D,C,B,A) = D.\bar{C}.\bar{B}.A$$

Para C1 :

$$C1 (D,C,B,A) = D.\bar{C}.\bar{B}.\bar{A}$$

Para C1' :

$$C1' (D,C,B,A) = \bar{D}.B.C.A$$

Para C2 :

$$C2 (D,C,B,A) = \bar{D}.B.C.\bar{A}$$

Para C2' :

$$C2' (D,C,B,A) = \bar{D}.C.\bar{B}.A$$

Para C3 :

$$C3 (D,C,B,A) = \bar{D}.C.\bar{B}.\bar{A}$$

Para C3' :

$$C3' (D,C,B,A) = \bar{D}.\bar{C}.B.A$$

Para C4 :

$$C4 (D,C,B,A) = \bar{D}.\bar{C}.B.\bar{A}$$

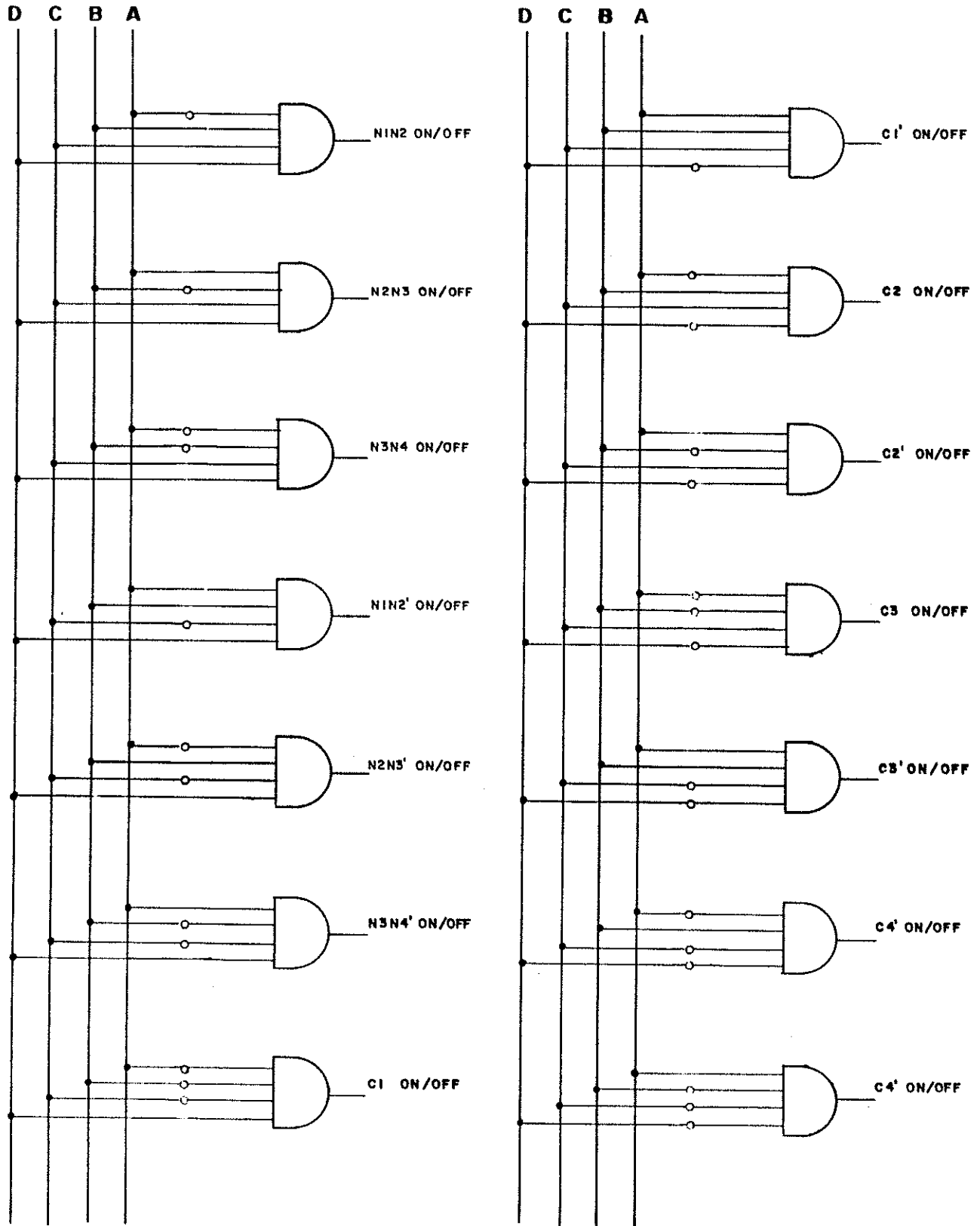
Para C4' :

$$C4' (D,C,B,A) = \bar{D}.\bar{C}.\bar{B}.A$$

Para la clave 0000, todas las luminarias de gradas y corredores están apagadas.

En la figura No. 17, se muestra el circuito lógico combinacional general integrado que corresponde a las gradas y corredores.

**FIG.17 CIRCUITO LOGICO COMBINACIONAL GENERAL
GRADAS Y CORREDORES**



CAPITULO IV

BLOQUE DE SELECCION DE NIVEL

Este bloque esta constituido básicamente por las siguientes secciones:

A) Sección de emisión.

Esta parte está constituida por 2 interruptores del tipo ON-OFF, una fuente de alimentación de 12 voltios y resistencias limitadoras de corriente de 470 Ohms, 0.5 vatios.

La función que realiza consiste en generar una clave, formada por una combinación de ceros y unos (0 = cero voltios, 1 = 12 voltios), para identificar en qué nivel se desea encender o apagar las luminarias.

El esquema eléctrico que le corresponde es idéntico al que se utiliza para la selección de salones, con la diferencia de que se utilizarán 2 variables de selección. Nombradas en este caso como S y T.

La clave generada es transmitida a cada uno de los niveles, a través de un par de conductores comunes.

B) Sección de recepción.

En cada nivel, existirá un circuito lógico combinacional, el cual habilitará la función de conteo del circuito generador de claves del bloque de recepción. Las compuertas que se utilizarán están integradas en el circuito Cmos 4081.

La tabla No. 7 de la verdad que le corresponde al circuito para la selección del nivel es la siguiente:

TABLA No. 7

S T	Nivel 1	Nivel 2	Nivel 3	Nivel 4
0 0	0	0	0	1
0 1	0	0	1	0
1 0	0	1	0	0
1 1	1	0	0	0

De esta tabla, se deducen las siguientes expresiones lógicas combinacionales:

Para el nivel 1:

$$\text{Nivel 1 (S.T)} = S.T$$

Para el Nivel 2:

Nivel 2 (S,T) = S.T

Para el Nivel 3:

Nivel 3 (S,T) = $\bar{S}.T$

Para el Nivel 4:

Nivel 4 (S,T) = $\bar{S}.\bar{T}$

Partiendo de estas ecuaciones, se obtiene el circuito combinacional lógico general para la selección de nivel, el cual se presenta a continuación.

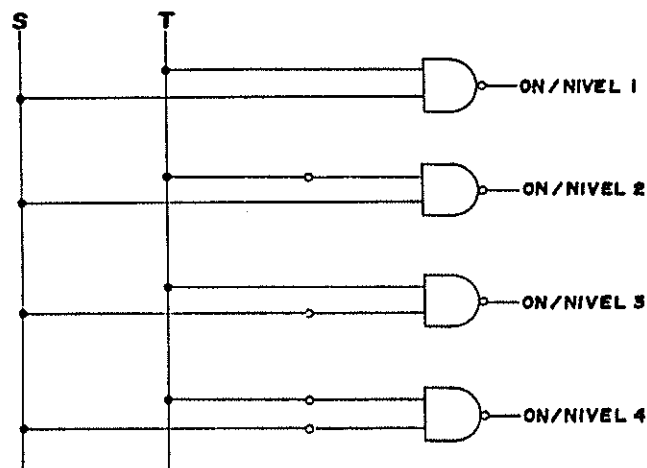


FIG. 18 CIRCUITO COMBINACIONAL LOGICO PARA SELECCION DE NIVEL

Las salidas de estas compuertas deben pasar por un inversor antes de ser aplicadas al pin 5 (CI) del generador de claves del bloque de recepción, con el propósito de habilitar el funcionamiento del contador, de tal manera, que cuando CI esté a un nivel bajo (0 voltios) dé inicio la función de conteo. Si esta condición no se cumple, no existirá función de conteo.

FLUJOGRAMA DE FUNCIONAMIENTO

En la figura No. 19, se muestra una secuencia completa de la manera como el sistema de control maestro realiza su función, y se inicia de la siguiente manera: 1) selección de nivel, 2) sincronización, 3) codificación, 4) sección de selección, 5) sección de recuperación, 6) sección de decodificación y 7) sección de potencia.

Este flujo grama es válido tanto para la iluminación de salones como para la iluminación de gradas y corredores.

CAPITULO V

UBICACION DEL SISTEMA DE CONTROL MAESTRO DE ILUMINACION

La parte del bloque de emisión que lo constituyen son:

El circuito codificador, el multiplexor, el circuito generador de pulsos, circuito generador de claves, circuito de selección de nivel, circuito sincronizador, la fuente regulada de 12 voltios y el switch de envío de datos para apagado-encendido estarán dentro de una caja de 25.5 cms * 31 cms y 9.5 cms de fondo, semejante a las que se usan con los tableros de distribución. Este panel o caja estará ubicada en el ambiente No. 6 del nivel 0, debido a que este lugar es de uso exclusivo para el personal de mantenimiento del edificio, y le permite tener exclusividad en su uso. En los planos, estas cajas o paneles están identificados como A y A'; en la figura No. 20, se muestra un esquema de lo anterior, y su conexión eléctrica está descrita en el capítulo 2.

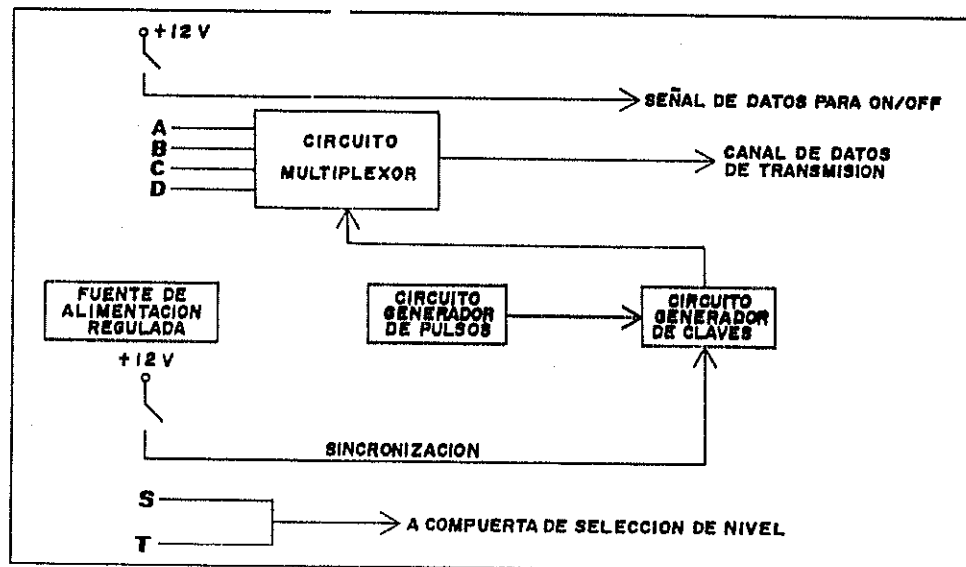


FIG. 20 UBICACION DEL BLOQUE EMISOR

La parte que comprende las compuertas de selección de nivel, el circuito demultiplexor, circuito generador de claves, circuito generador de pulsos y una fuente de 12 voltios que servirá para alimentar el circuito de switch y circuitos integrados, estarán ubicados en los salones donde se encuentran los interruptores térmicos de protección (flippones), en una caja similar a la que se utilizó en la parte de emisión. En los planos eléctricos, están identificadas como B, B', D, D', E, E', F y F'.

En la figura No. 21, se muestra un esquema de lo anterior; en el capítulo 2, está descrita su conexión eléctrica.

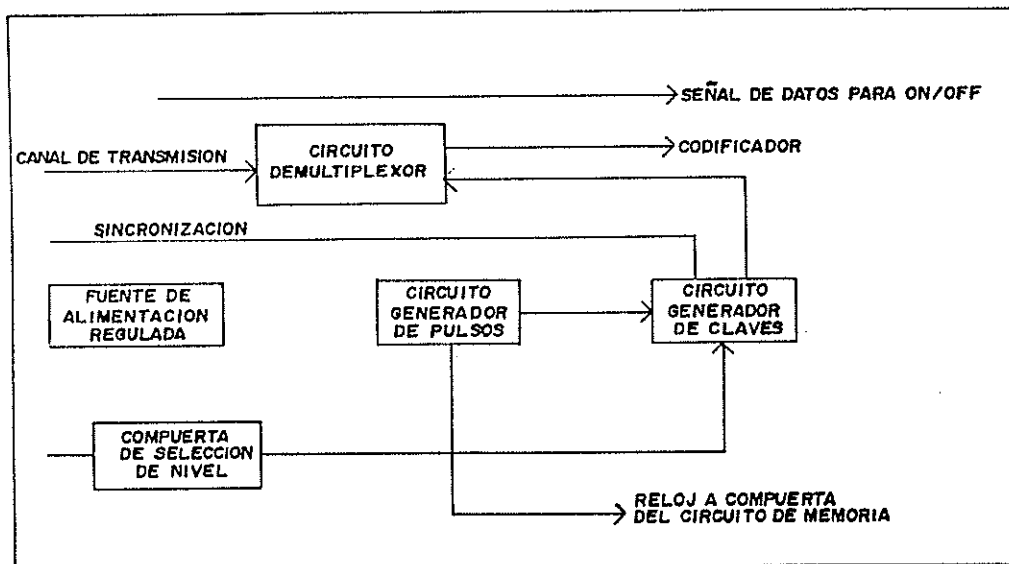


FIG. 21 UBICACION DEL BLOQUE DE RECEPCION

Las partes que constituyen el circuito decodificador, el circuito de memoria, el circuito de switch estarán ubicados en una caja de 8 cms * 13.5 cms y 4.5 cms de fondo cerca de las luminarias de los salones. Estas cajas están identificadas en los planos eléctricos como C y C'. En la figura No. 22, se muestra un esquema de lo anterior; en el capítulo 2, está descrita su conexión eléctrica.

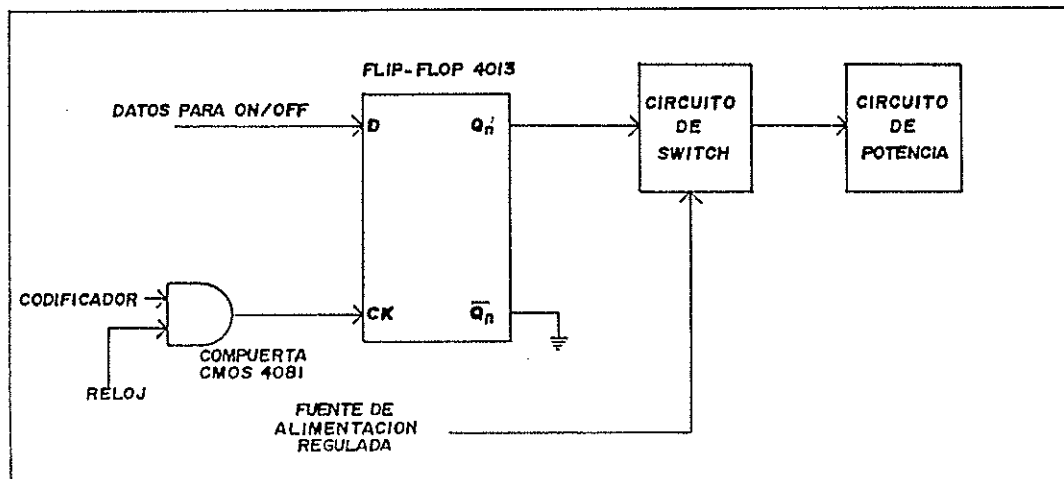


FIG. 22 UBICACION DE CIRCUITO DE MEMORIA, SWITCH Y POTENCIA

Del bloque emisor, saldrán 2 conductores para la selección de nivel, un conductor para apagado-encendido, un conductor para la transmisión de datos y un conductor para la sincronización. Del bloque de recepción, saldrán 4 conductores comunes del circuito demultiplexor para todos los salones de cada nivel, un conductor que contine datos de on-off, 2 conductores que vienen de la fuente regulada y un conductor al Cmos 4081 del circuito de memoria que viene del generador de pulsos; éstos se implementan utilizando un cable multipar de 5 pares, de calibre 24 AWG, diámetro de 8 mm y 0.0940 Ohms/mt.

Se adjuntan planos de la instalación eléctrica actual y en estos se indica dónde estaría ubicado el proyecto propuesto.

USO DEL SISTEMA DE CONTROL MAESTRO DE ILUMINACION

El sistema funcionará por niveles individuales. Existirá un teclado de selección de nivel; una vez seleccionado el nivel, se procede a seleccionar la función si queremos encender o apagar las luminarias, luego tecleamos el switch de sincronización para después proceder a ingresar la clave que está formada por ceros y unos del salón que se desea encender o apagar las luminarias.

Este mismo criterio se utilizará para el uso de la iluminación en los corredores y gradas del edificio.

MANTENIMIENTO DEL SISTEMA

Por la naturaleza de sus componentes, este sistema no necesita un mantenimiento continuo.

Sin embargo, para prolongar lo más que sea posible el tiempo de vida útil del sistema, se deben considerar las siguientes recomendaciones:

- a.- Hacer una revisión general de los componentes del sistema por lo menos una vez cada año, con el objetivo de establecer cuál es el estado físico y funcional de los mismos.
- b.- Retirar las partículas de polvo que se hayan acumulado sobre los componentes.
- c.- Limpiar contactos de interruptores codificadores y contactos de los relés que controlan el circuito de potencia.
- d.- Medir voltajes de salida de las diferentes fuentes de alimentación.
- e.- Asegurar que el sistema disponga de una ventilación adecuada.

PROTECCION DEL SISTEMA:

- a.- El sistema de envío de señal estará protegido por fusibles de 3 amperios.
- b.- El circuito de fuerza estará protegido por los interruptores térmicos de protección (flippones) que actualmente posee.

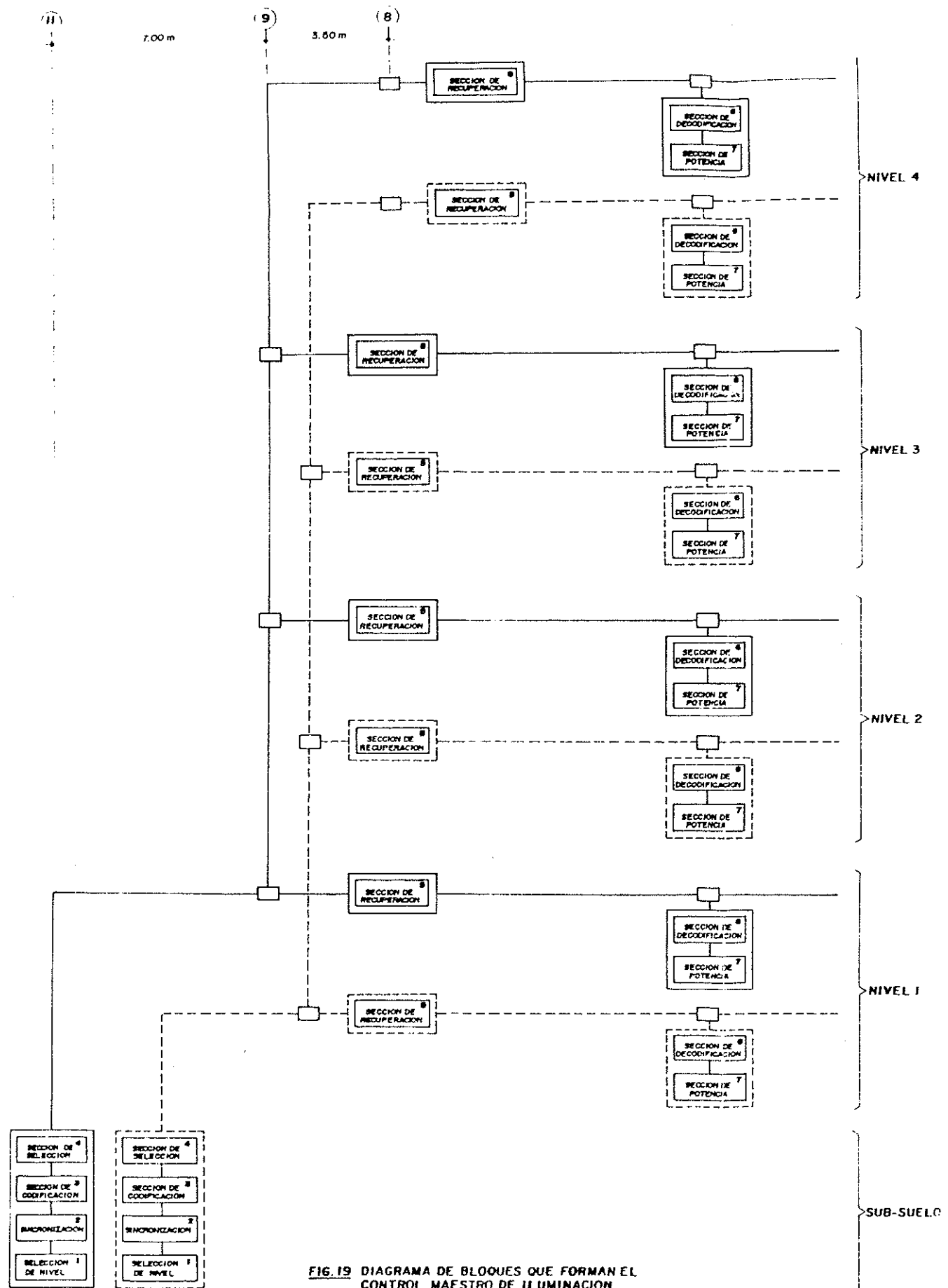


FIG. 19 DIAGRAMA DE BLOQUES QUE FORMAN EL CONTROL MAESTRO DE ILUMINACION.

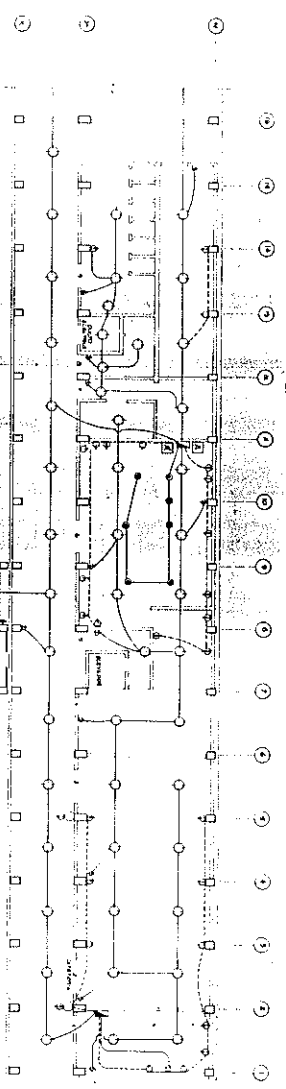


Figura 1
Panel de Control

Este diagrama muestra el sistema de control para el motor de inducción. El sistema incluye un relé de control, un interruptor de emergencia y un interruptor de parada. El relé de control está conectado al motor de inducción y al interruptor de emergencia. El interruptor de parada está conectado al relé de control y al motor de inducción. El sistema de control está diseñado para permitir el arranque y el paro seguro del motor de inducción.

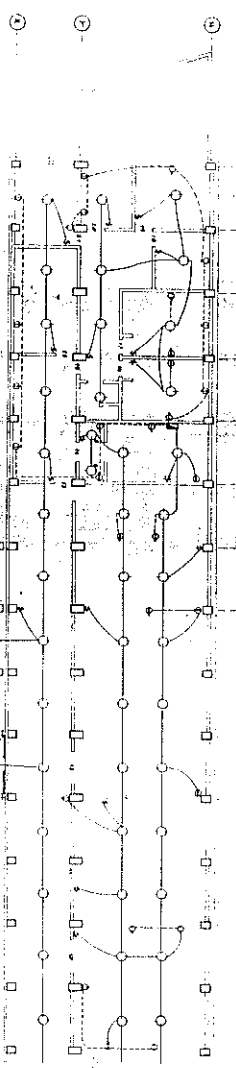
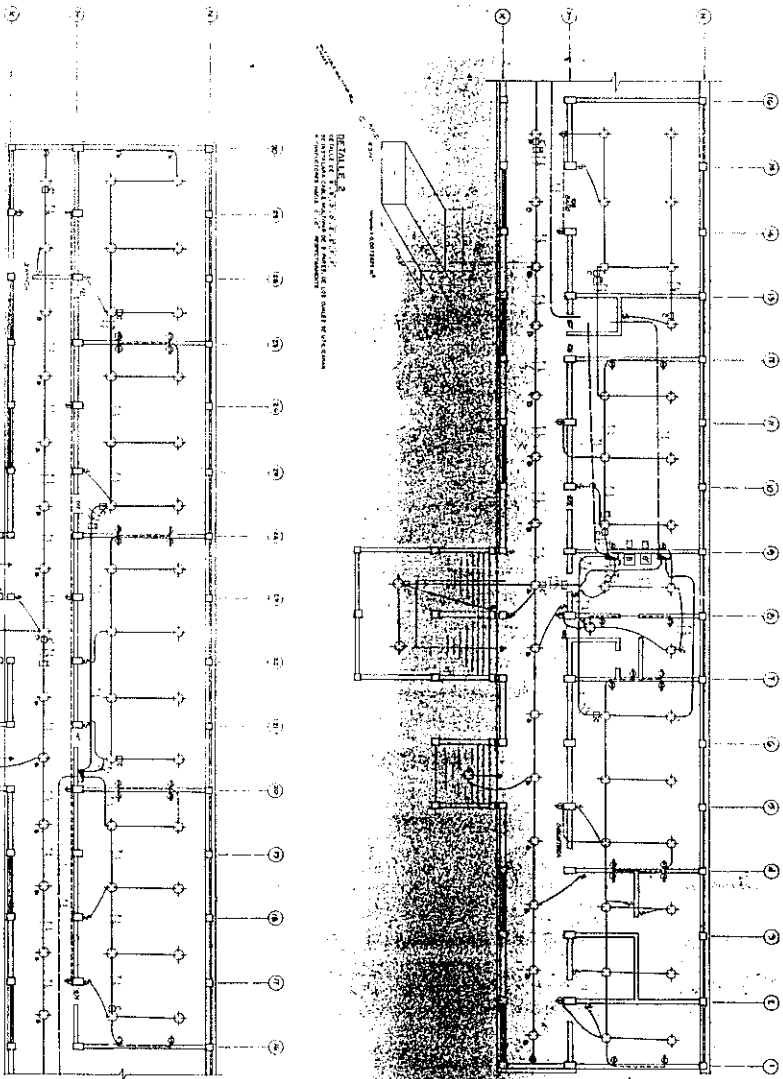


Figura 2
Panel de Control

LEYENDA	
○	Terminal de conexión
○	Interruptor de emergencia
○	Relé de control
○	Motor de inducción
○	Interruptor de parada
○	Motor de inducción
○	Relé de control
○	Interruptor de emergencia
○	Terminal de conexión

EJERCICIO PROFESIONAL SUPERVISADO	
Módulo Técnico: MANTENIMIENTO	
Planta: SUB-CENTRO T-3	
Proyecto: CONTROL, MANTENIMIENTO DE LA ENERGÍA	
Fecha: 20/05/2023	
Lugar: INSTITUTO TECNOLÓGICO DE CALABAZGAL	

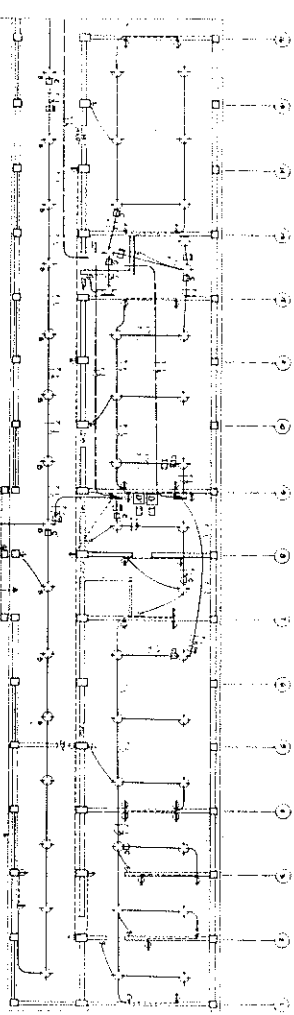
INSTITUTO TECNOLÓGICO DE CALABAZGAL



DETALLE A
 PLANTA DE LA PARTE DE LOS SUELOS DE LA PARTE CENTRAL DEL EDIFICIO

- LEYENDA**
- 1. Línea de eje de simetría
 - 2. Línea de eje de simetría
 - 3. Línea de eje de simetría
 - 4. Línea de eje de simetría
 - 5. Línea de eje de simetría
 - 6. Línea de eje de simetría
 - 7. Línea de eje de simetría
 - 8. Línea de eje de simetría
 - 9. Línea de eje de simetría
 - 10. Línea de eje de simetría
 - 11. Línea de eje de simetría
 - 12. Línea de eje de simetría
 - 13. Línea de eje de simetría

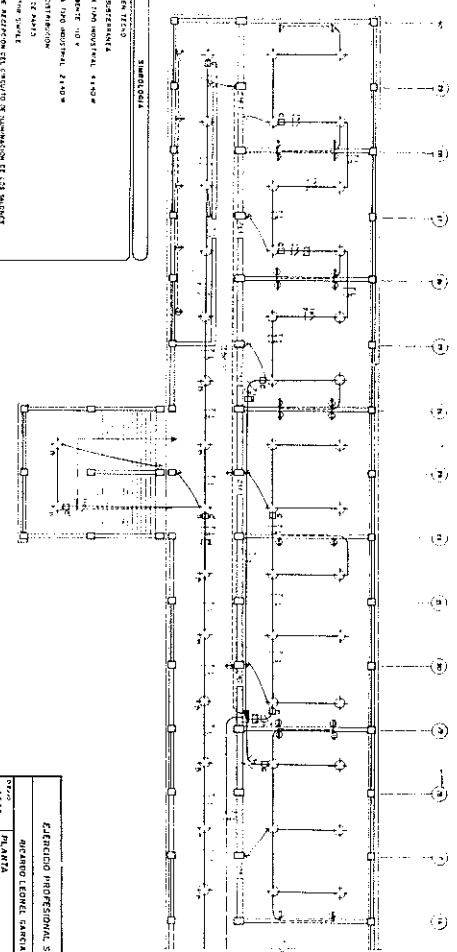
CARRERA PROFESIONAL SUPERVISADO RICARDO GARCÍA, SÁNCHEZ FERRER	
TÍTULO: PLANTA	14. NOVEL 13
PROYECTO: CONTROL MAESTRO DE ILUMINACIÓN	F. CALVO SOTOMAYOR



DETALLE 3
Módulo de aula
1:20

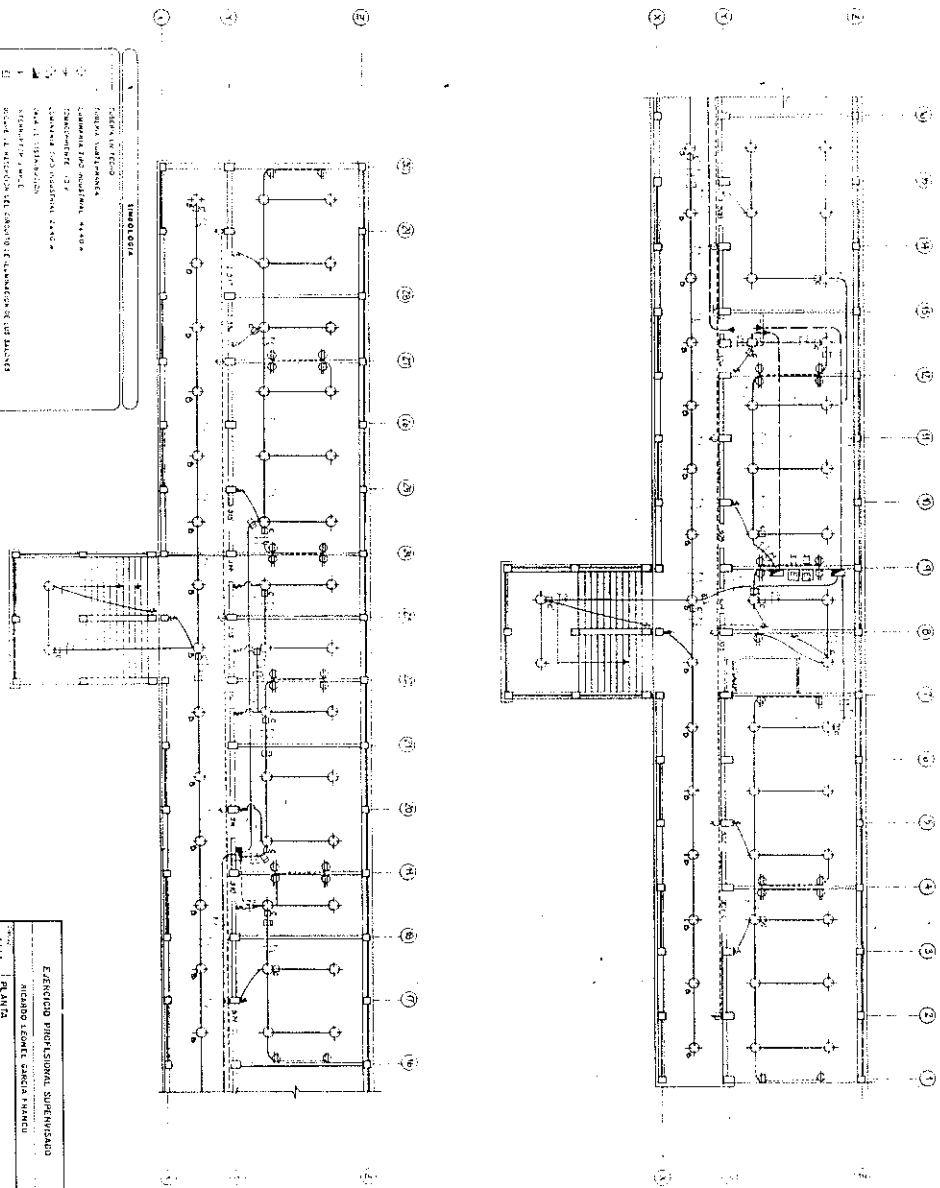


DETALLE 4
Módulo de aula
1:20



- LEYENDA**
- 1. TIPO DE PUERTA
 - 2. TIPO DE VENTANA
 - 3. TIPO DE ESCALERA
 - 4. TIPO DE PASADIZO
 - 5. TIPO DE PASADIZO
 - 6. TIPO DE PASADIZO
 - 7. TIPO DE PASADIZO
 - 8. TIPO DE PASADIZO
 - 9. TIPO DE PASADIZO
 - 10. TIPO DE PASADIZO
 - 11. TIPO DE PASADIZO
 - 12. TIPO DE PASADIZO
 - 13. TIPO DE PASADIZO
 - 14. TIPO DE PASADIZO
 - 15. TIPO DE PASADIZO
 - 16. TIPO DE PASADIZO
 - 17. TIPO DE PASADIZO
 - 18. TIPO DE PASADIZO
 - 19. TIPO DE PASADIZO
 - 20. TIPO DE PASADIZO
 - 21. TIPO DE PASADIZO
 - 22. TIPO DE PASADIZO
 - 23. TIPO DE PASADIZO
 - 24. TIPO DE PASADIZO
 - 25. TIPO DE PASADIZO
 - 26. TIPO DE PASADIZO
 - 27. TIPO DE PASADIZO
 - 28. TIPO DE PASADIZO
 - 29. TIPO DE PASADIZO
 - 30. TIPO DE PASADIZO
 - 31. TIPO DE PASADIZO
 - 32. TIPO DE PASADIZO
 - 33. TIPO DE PASADIZO
 - 34. TIPO DE PASADIZO
 - 35. TIPO DE PASADIZO
 - 36. TIPO DE PASADIZO
 - 37. TIPO DE PASADIZO
 - 38. TIPO DE PASADIZO
 - 39. TIPO DE PASADIZO
 - 40. TIPO DE PASADIZO
 - 41. TIPO DE PASADIZO
 - 42. TIPO DE PASADIZO
 - 43. TIPO DE PASADIZO
 - 44. TIPO DE PASADIZO
 - 45. TIPO DE PASADIZO
 - 46. TIPO DE PASADIZO
 - 47. TIPO DE PASADIZO
 - 48. TIPO DE PASADIZO
 - 49. TIPO DE PASADIZO
 - 50. TIPO DE PASADIZO
 - 51. TIPO DE PASADIZO
 - 52. TIPO DE PASADIZO
 - 53. TIPO DE PASADIZO
 - 54. TIPO DE PASADIZO
 - 55. TIPO DE PASADIZO
 - 56. TIPO DE PASADIZO
 - 57. TIPO DE PASADIZO
 - 58. TIPO DE PASADIZO
 - 59. TIPO DE PASADIZO
 - 60. TIPO DE PASADIZO
 - 61. TIPO DE PASADIZO
 - 62. TIPO DE PASADIZO
 - 63. TIPO DE PASADIZO
 - 64. TIPO DE PASADIZO
 - 65. TIPO DE PASADIZO
 - 66. TIPO DE PASADIZO
 - 67. TIPO DE PASADIZO
 - 68. TIPO DE PASADIZO
 - 69. TIPO DE PASADIZO
 - 70. TIPO DE PASADIZO
 - 71. TIPO DE PASADIZO
 - 72. TIPO DE PASADIZO
 - 73. TIPO DE PASADIZO
 - 74. TIPO DE PASADIZO
 - 75. TIPO DE PASADIZO
 - 76. TIPO DE PASADIZO
 - 77. TIPO DE PASADIZO
 - 78. TIPO DE PASADIZO
 - 79. TIPO DE PASADIZO
 - 80. TIPO DE PASADIZO
 - 81. TIPO DE PASADIZO
 - 82. TIPO DE PASADIZO
 - 83. TIPO DE PASADIZO
 - 84. TIPO DE PASADIZO
 - 85. TIPO DE PASADIZO
 - 86. TIPO DE PASADIZO
 - 87. TIPO DE PASADIZO
 - 88. TIPO DE PASADIZO
 - 89. TIPO DE PASADIZO
 - 90. TIPO DE PASADIZO
 - 91. TIPO DE PASADIZO
 - 92. TIPO DE PASADIZO
 - 93. TIPO DE PASADIZO
 - 94. TIPO DE PASADIZO
 - 95. TIPO DE PASADIZO
 - 96. TIPO DE PASADIZO
 - 97. TIPO DE PASADIZO
 - 98. TIPO DE PASADIZO
 - 99. TIPO DE PASADIZO
 - 100. TIPO DE PASADIZO

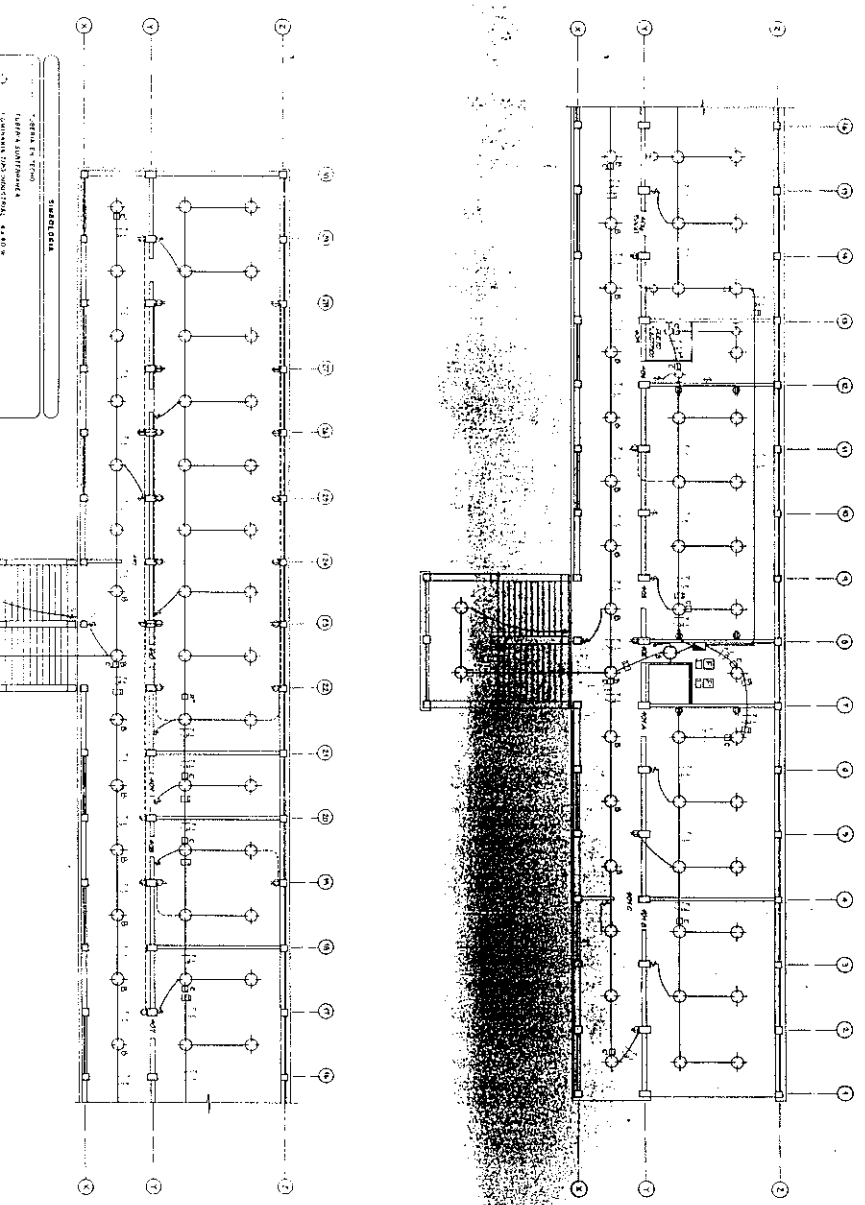
ESTUDIO PROFESIONAL SUPERVISADO	
PROFESOR	RICARDO LEONEL SANCHEZ FRANCO
ESTUDIANTE	PLAMITA
PROYECTO	2da. AVUL. 1-3
FECHA	BOGOTÁ DE INGENIERÍA
PROYECTO	DESIGNO DE ILUMINACION
FECHA	



LEYENDA

1. ESTRUCTURA
 2. CUBIERTA
 3. CIMENTACION
 4. CIMENTACION
 5. CIMENTACION
 6. CIMENTACION
 7. CIMENTACION
 8. CIMENTACION
 9. CIMENTACION
 10. CIMENTACION
 11. CIMENTACION
 12. CIMENTACION

EXERCICIO PROFESIONAL SUPERVISADO	
PROYECTO	RENOVACION DE LA ESCUELA
TITULO	PLANTA
FECHA	3er AÑO 1-3
PROFESOR	FACULTAD DE INGENIERIA
PROYECTO	CONTROL MAESTRO DE CONSTRUCCION



LEYENDA

1 Línea de eje
 2 Línea de eje
 3 Línea de eje
 4 Línea de eje
 5 Línea de eje
 6 Línea de eje
 7 Línea de eje
 8 Línea de eje
 9 Línea de eje
 10 Línea de eje
 11 Línea de eje
 12 Línea de eje

1 Línea de eje
 2 Línea de eje
 3 Línea de eje
 4 Línea de eje
 5 Línea de eje
 6 Línea de eje
 7 Línea de eje
 8 Línea de eje
 9 Línea de eje
 10 Línea de eje
 11 Línea de eje
 12 Línea de eje

EJERCICIO PROFESIONAL SUPERVISADO	
PROYECTO:	RICARDO LÓPEZ GARCÍA FRANCO
PLANTA:	4to NIVEL F-5
PROYECTO:	PROYECTO DE CONTROL MAESTRO DE EDIFICACIONES
PROYECTO:	PROYECTO DE CONTROL MAESTRO DE EDIFICACIONES

PRESUPUESTO DEL PROYECTO

Descripción	P/U	Cantidad	Total
1. Interruptor tipo On-Off.....	\$.0.69	12	\$.8.28
2. Resistencia de 470 Ohms, 0.5 W.....	\$.0.08	08	\$.0.64
3. Circuito integrado generador de pulsos Cmos 4049.....	\$.1.31	10	\$.13.10
4. Circuito integrado generador de claves Cmos 4516.....	\$.1.38	10	\$.13.80
5. Circuito integrado multiplexor Cmos 4539.....	\$.1.38	02	\$.2.76
6. Circuito integrado demultiplexor Cmos 4555.....	\$.1.12	08	\$.8.96
7. Transformador de 120 V a.c./ 12 V a.c., 3 amperios.....	\$.9.08	10	\$.90.80
8. Diodos ECB 5800.....	\$.0.66	40	\$.26.40
9. Condensador de 2200 microfaradios para 25 voltios.....	\$.1.01	10	\$.10.10
10. Circuito integrado ECB 970.....	\$.8.31	10	\$.83.10
11. Circuito integrado Flip-Flop tipo D Cmos 4013.....	\$.1.21	67	\$.81.07
12. Circuito integrado Cmos 4081.....	\$.0.57	67	\$.38.19
13. Resistencia de 1000 Ohms 0.5 W.....	\$.0.23	67	\$.15.41
14. Resistencia de 73.5 Ohms de 2 W....	\$.0.34	67	\$.22.78
15. Rele RHN Spdt de 12 voltios de un polo.....	\$.14.17	67	\$.949.39
16. Resistencia de 333 Ohms de 2 W.....	\$.0.34	67	\$.22.78
17. Diodo emisor de luz (LED).....	\$.0.22	67	\$.14.74
18. Circuito integrado Cmos 4082.....	\$.0.68	67	\$.45.56

19. Caja rectangular de 25 cms * 31 cms y 9.5 cms de fondo.....	\$.15.62	02	\$.31.24
20. Caja rectangular de 8 cms * 13.5 cms y 4.5 cms de fondo.....	\$.1.85	67	\$.123.95
21. Caja de distribución con 5 pares de borneras de 11 cms * 10 cms y 2.5 cms de fondo.....	\$.21.25	49	\$.1041.25
22. Transistor NPN de Silicio ECG 123A.....	\$.0.44	67	\$.29.48
23. Fusible de 3 amperios.....	\$.0.17	10	\$.1.70
24. Metro de cable multipar de 5 pares, calibre 24 AWG, diámetro 8 mm y 0.0940 Ohms/mt.....	\$.1.11	890	\$.987.90
25. Metro de tubo p.v.c de 3/4".....	\$.0.15	40	\$.6.00
26. Codo de p.v.c. de 3/4".....	\$.0.95	67	\$.63.65

Materiales.....\$.3,733.03

Mano de obra.....\$.1,306.56

Ingeniería.....\$.746.60

Administrativos...\$.373.30

Imprevistos.....\$.186.65

Total.....\$.6,346.14

con 1.0 \$ = 0.5.76

Total.....0,36,553.76

PROPUESTA PARA LA EJECUCION DEL PROYECTO

Para poder realizar la ejecución, se debe cumplir con la aprobación del proyecto ante las autoridades de la Facultad, específicamente con el Decano. Esta tendrá su consideración presentando los beneficios siguientes:

- a.- Aumentar el tiempo de vida útil de los elementos que componen las unidades de iluminación.
- b.- Eliminar los gastos que son utilizados en los elementos que componen las unidades de encendido y apagado de las luminarias.
- c.- Ahorro en el consumo de energía eléctrica.
- d.- Reducción del presupuesto al realizar la ejecución a través de la Escuela de Ingeniería Mecánica - Eléctrica y el Departamento de Mantenimiento de la Facultad.
- e.- Los repuestos tienen un bajo costo.
- f.- Eficiencia en la operación del sistema de iluminación.

Con la aprobación, las autoridades designarán un representante que tendrá bajo su responsabilidad la coordinación de las actividades.

La Escuela de Ingeniería Mecánica - Eléctrica será responsable de las siguientes actividades:

- a.- Fabricación de las fuentes reguladas.
- b.- Hacer la instalación.
- c.- Realizar las pruebas al sistema.
- d.- Capacitación al personal para su mantenimiento.

El Departamento de Mantenimiento se encargará de realizar las siguientes:

- a.- Adquisición de los materiales.
- b.- Capacitación al personal para su operación.

El tiempo aproximado para la realización del trabajo es de 3 meses.

CONCLUSIONES

- 1.- El sistema fue diseñado utilizando los principios básicos de . circuitos lógicos combinacionales y electricidad.
- 2.- El proyecto llena las condiciones mínimas respecto a su funcionamiento y confiabilidad.
- 3.- Los repuestos son accesibles en el comercio.
- 4.- El precio de los repuestos tiene un bajo costo.
- 5.- El mantenimiento para el sistema de envío de señal es mínimo.
- 6.- Existe exclusividad en el manejo del sistema de control maestro.
- 7.- Algunos de los Cmos utilizan sólo la mitad de sus elementos, lo cual nos da la posibilidad de disponer del repuesto en el mismo dispositivo.
- 8.- Se utilizará la tubería eléctrica actual que dispone el edificio.
- 9.- El sistema está diseñado para que se pueda ampliar su capacidad para controlar luminarias.
- 10.- Fácil acceso a los bloques de emisión y recepción para su reparación.
- 11.- Los elementos Cmos tienen amplio rango de trabajo en la señal de entrada de voltaje.
- 12.- Mayor tiempo de vida útil de los elementos.
- 13.- La independencia entre el sistema de control de iluminación de los salones y el sistema de control de iluminación de corredores y gradas, da la ventaja de que si ocurre una falla en uno de los sistemas, ésta no se extienda al otro sistema.

RECOMENDACIONES

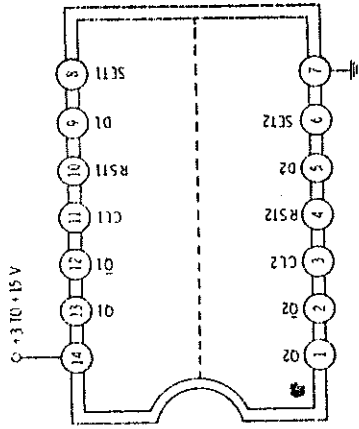
- 1.- Es necesario que si se realiza el proyecto, se dé la posibilidad de que lo ejecute la Escuela de Ingeniería Mecánica-Eléctrica.
- 2.- Si por cualquier razón existiera alguna dificultad para utilizar la tubería eléctrica actual, se recomienda crear una tubería nueva para el envío de señal. Este posible gasto está considerado dentro de los imprevistos.
- 3.- Todas las unidades anteriores que correspondían a los switches se deberán sellar para evitar la entrada de cualquier cuerpo extraño.
- 4.- De existir disponibilidad presupuestaria, se recomienda utilizar cable multipar con blindaje por cada par y además con blindaje global, similar al Trade No. B165, UL NEC type CM. En el apéndice, se muestran las características generales del mismo. Esta recomendación se hace con el propósito de reducir al mínimo la interferencia.
- 5.- Es conveniente que el personal de mantenimiento de la facultad reciba la capacitación correspondiente para ejecutar el mantenimiento adecuado.
- 6.- Se recomienda que los elementos Cmos que se van a utilizar sean estrictamente los que se detallan en el trabajo. No se debe permitir la utilización de elementos equivalentes, debido a que varían las características y rangos de funcionamiento.
- 7.- En la parte que corresponde a las fuentes reguladas de voltaje, se podría recomendar que los estudiantes de Ingeniería Eléctrica las fabricaran como parte de algún laboratorio.
- 8.- Los elementos del bloque de emisión, bloque de recepción, circuito de memoria y el circuito de switch deberán tener una ventilación adecuada.
- 9.- La supervisión del desarrollo del proyecto debe estar a cargo del Departamento de Mantenimiento de la Facultad de Ingeniería.
- 10.- Tener un mantenimiento de por lo menos cada 6 meses a la parte que corresponde a las luminarias, especialmente a los balastos y pantallas.

BIBLIOGRAFIA

- ACOSTA, Enrico. Tecnologia Electronica. España: Edit. Científica-Médica. 1968.
- GRUENBERG, Elliot. Handbook of Telemetry and Remote Control. United States: McGraw-Hill Book Co. 1974.
- LANCASTER, Don. Cmos Cookbook. United States: Howard W. Sams & Co. 1982.
- MASON, S. Et.al. Electronic Circuits, Signal and Syst. United States: John Wiley. 1976.
- MIDDLETON, Robert. Digital Logic Circuits: Test and Analysis. United States: Welborn Associates. 1982.
- MILLMAN, Jacob. Electronica Integrada. 4a. edición. España: McGraw-Hill. 1982.
- MORALES, Jorge. Universidad de San Carlos de Guatemala Facultad de Ingeniería Catalogo de Estudios 1992. Guatemala: Triple AAA. s.f.
- TAUB, Herbert. Circuitos Digitales y Microprocesadores. Mexico: Calypso. 1987.

APENDICE

DUAL D FLIP-FLOP



TOP VIEW

Each flip-flop may be used independently. There are two modes, clocked and direct.

In the clocked mode, the direct set and reset inputs must remain at ground. The input to the D line decides what the flip-flop is going to do. The actual operation doesn't happen until the positive edge (ground-to-positive transition) of the clock.

If D is positive, clocking makes the Q output positive and \bar{Q} grounded. If D is grounded, clocking makes the Q output grounded and \bar{Q} positive.

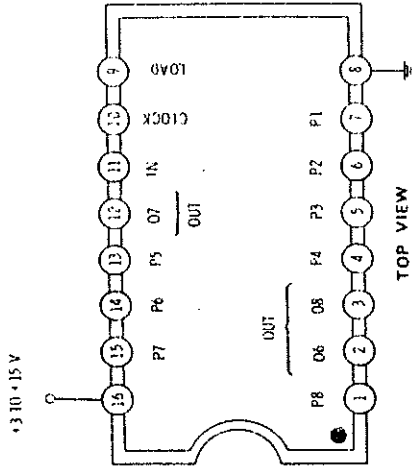
In the direct mode, a positive set input forces Q positive and \bar{Q} to ground. A positive reset input forces Q to ground and \bar{Q} positive. Should both set and reset be simultaneously positive, both Q and \bar{Q} will also go positive. This is usually a disallowed state. The last direct input to go to ground will determine the final state of the Q and \bar{Q} outputs. The direct inputs override the clocked inputs.

Each flip-flop may be made to binary-divide by cross coupling the \bar{Q} output to the D input.

The clock input must be noiseless and have only a single ground-to-positive edge transition per desired clocking. Clock rise and fall times should be 5 microseconds or faster.

Maximum clock frequency is 10 megahertz at 10 volts and 4 megahertz at 5 volts. Total package current at a 1-MHz clock frequency is 0.8 milliamperes at 5 volts and 1.6 milliamperes at 10 volts.

8-STAGE SHIFT REGISTER
(Parallel-in/Serial-Out; Clocked Load)



TOP VIEW

This package may be used as a 6-, 7-, or 8-stage shift-right register, either as serial-in/serial-out or as parallel-in/serial-out. Stages may be cascaded for longer lengths.

As a serial-in/serial-out register, the load input should be grounded. Data presented to the IN terminal gets shifted into the first stage on the ground-to-positive transition (positive edge) of the clock input. In six successive clockings, this data appears at output O6. Another clocking transfers to output O7 and yet another to O8. Additional clockings will lose this bit of data unless stages are cascaded or data is recirculated.

To parallel-load data, apply an 8-bit word to the P1 through P8 terminals, having the P1 bit nearest the input of the register and the P8 bit nearest the output. The load terminal is made positive. The high state of the load terminal must overlap the ground-to-positive clock transition. The parallel word gets synchronously loaded into the register on the positive clock edge. The load terminal must then return and stay grounded for normal register operation.

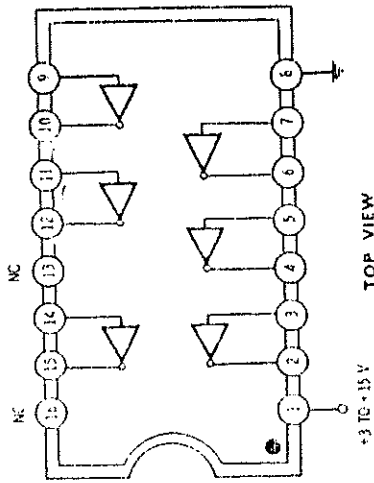
The clock must be noiseless and have only a single ground-to-positive transition per desired shifting. Clock rise and fall times should preferably be faster than 5 microseconds.

Maximum clock frequency is 5 megahertz at 10 volts and 2.5 megahertz at 5 volts. Total package current at a 1-megahertz clock rate is 2 milliamperes at 5 volts and 4 milliamperes at 10 volts.

The 4021 is a similar register with immediate load.

4049

HEX INVERTING BUFFER & TTL DRIVER



TOP VIEW

All six buffers may be used independently. The buffers may be used as simple inverters, as voltage translators, or as current drivers for interfacing TTL or other logic.

On any buffer, the input low drives the output high, and vice versa.

The voltage on the 1 pin sets the voltage swing at the output only. Input voltages up to +15 volts are safely accepted regardless of the selected output voltage.

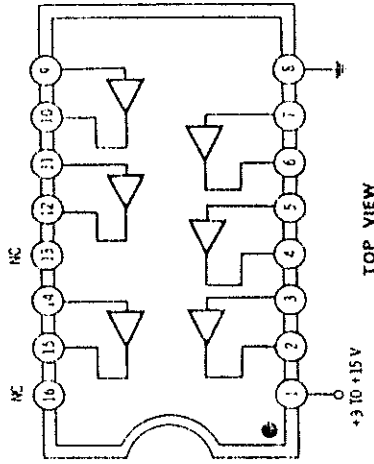
With a +5-volt supply on pin 1, the output is TTL compatible. It provides 3.2 milliamperes or a fan-out to two regular TTL gates, or four LS TTL gates.

Note the unusual supply connections. This package should not normally be used with slow-rise-time inputs such as pulse shapers, monostable and astable circuits, etc. The internal power dissipation can become too great in these and other linear applications, particularly at high frequencies and high supply voltages.

Propagation delay is 2.5 nanoseconds at 10 volts and 3.5 nanoseconds at 5 volts. Total package current (unloaded) at 1 megahertz is 0.8 milliampere at 5 volts and 1.6 milliamperes at 10 volts.

4050

HEX NONINVERTING BUFFER & TTL DRIVER



TOP VIEW

All six buffers may be used independently. The buffers may be used as rise-time improvers, as voltage translators, or as current drivers for interfacing TTL and other logic.

On any buffer, the input low provides a low output, and vice versa.

The voltage on the 1 pin sets the voltage swing at the output only. Input voltages up to +15 volts are safely accepted regardless of the selected output voltage.

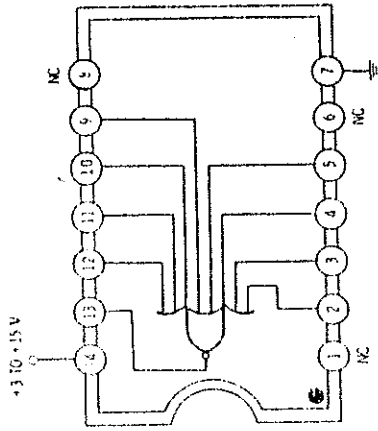
With a +5-volt supply on pin 1, the output is TTL compatible. It provides 3.2 milliamperes or a fan-out to two regular TTL gates, or four LS TTL gates.

Note the unusual supply connections. This package should not normally be used with slow-rise-time inputs such as pulse shapers, monostable and astable circuits, etc. The internal power dissipation can become too great in these and other linear applications, particularly at high frequencies and high supply voltages.

Propagation delay is 30 nanoseconds at 10 volts and 60 nanoseconds at 5 volts. Total package current (unloaded) at 1 megahertz is 0.8 milliampere at 5 volts and 1.6 milliamperes at 10 volts.

4C78

8-INPUT NOR GATE



TOP VIEW

This package contains a single positive-logic, 8-input NOR gate.

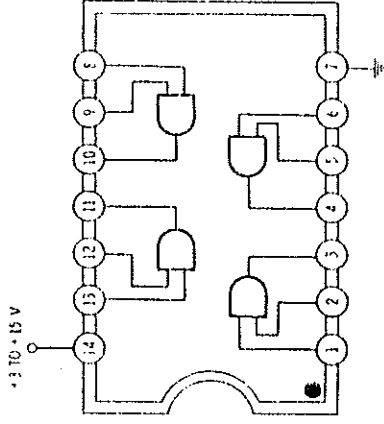
If one or more inputs are high, the output will be low. If all eight inputs are low, the output will be high.

Propagation delay is 170 nanoseconds at 10 volts and 425 nanoseconds at 5 volts. Total package current is .4 milliampere at 5 volts and .8 milliampere at 10 volts.

Note that this is a very slow device. It should not be used in high-speed applications, particularly at a 5-volt or lower supply voltage.

4081

QUAD 2-INPUT AND GATE



TOP VIEW

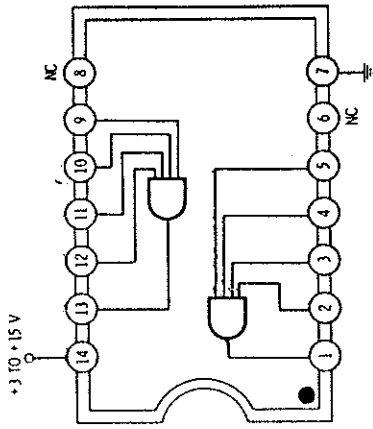
All four positive-logic AND gates may be used independently.

On any one gate, with either or both inputs low, the output will be low. With both inputs high, the output will be high.

Propagation delay is 70 nanoseconds at 10 volts and 150 nanoseconds at 5 volts. Total package current at 1 megahertz is 0.5 milliampere at 5 volts and 1 milliampere at 10 volts.

4082

DUAL 4-INPUT AND GATE



TOP VIEW

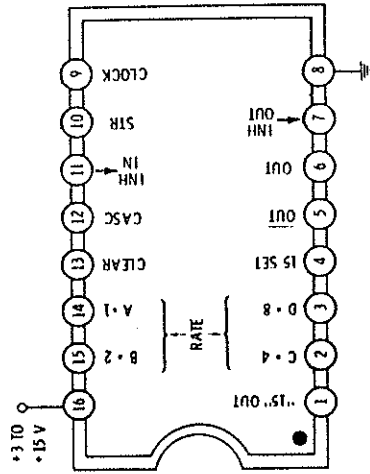
Both positive-logic AND gates may be used independently.

On either gate, with one or more inputs low, the output will be low. With all four outputs high, the output will be high.

Propagation delay is 70 nanoseconds at 10 volts and 150 nanoseconds at 5 volts. Total package current at 1 megahertz is 0.5 milliampere at 5 volts and 1 milliampere at 10 volts.

4089

BINARY RATE MULTIPLIER



TOP VIEW

This is a special-purpose logic block that may be used to multiply an output pulse rate by a selected amount.

In normal use, pins 4, 10, 11, 12, and 13 are grounded. A clock is routed to pin 9. An input "rate" word, weighted $A = 1$, $B = 2$, $C = 4$, and $D = 8$ is applied to the rate inputs.

An output is provided at pin 6 and its complement at pin 5. This output will be one-sixteenth the clock input multiplied by the input rate word.

For instance, with a 16-kHz clock input, a rate word of 0000 produces zero output. A rate word of 0001 produces 1 kHz, 0010 produces 2 kHz, 1011 produces 11 kHz, and so on.

The output pulse rate is an average, and the pulses are usually unevenly spaced. Jitter is inherent in any rate-multiplier circuit. Rate multipliers can be used only where a certain total or a long-term average is all that is needed.

The 15-Set and Clear inputs are used to synchronize the start of operation to the zero or maximum count. The Inhibit input stops output pulses if it is high.

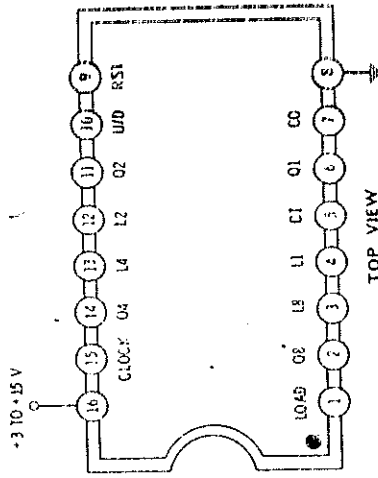
Rate multipliers are cascaded by connecting the Inhibit output of the first package to the Inhibit input and strobe of the second package, and the Output of the first package to the Cascade input of the second package. Clock inputs are connected together.

Operating current at a 1-megahertz clock rate is 0.5 milliampere at 5 volts and 1 milliampere at 10 volts. Maximum clock frequency is 4.5 megahertz at 10 volts and 2 megahertz at 5 volts.

The 4527 is a similar decimal unit.

4516

DIVIDE-BY-16 BINARY UP-DOWN COUNTER (Synchronous, Presettable)



This base-16 up-down counter is presettable and may be cascaded by using internal carry/borrow logic.

In normal operation, Carry In (CI), Reset (RST), and Load are held low. The count will advance one count on the ground-to-positive (positive edge) transition of the clock if the Up-Down (U/D) control is high, and will subtract one count on the positive clock edge if the U/D control is low. The output appears as a binary code, weighted $Q1 = 1$, $Q2 = 2$, $Q4 = 4$, and $Q8 = 8$. Stages are cascaded by connecting the Carry Out (CO) of the first stage to the CI of the second, and driving both from a common clock. The CI of the first stage should be grounded in this mode.

Data may be parallel-loaded by placing information on the Load 1 (L1) through Load 8 (L8) lines and bringing the Load input momentarily high. The counter may be reset by momentarily bringing the RST terminal high. Optionally, the counter may also be reset by parallel-loading a 0000.

Note that the clock must be in its low state during loading or resetting. The CI input may also be used as an enable. Bringing CI low allows counting; bringing CI high inhibits it.

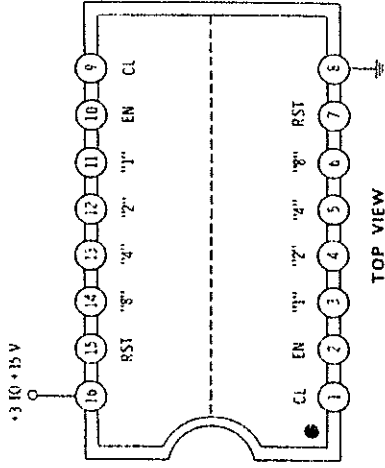
The clock must be bounceless and have only one ground-to-positive transition per desired count. The clock rise and fall times should be faster than 5 microseconds.

Maximum clock frequency is 3 megahertz at 10 volts and 1.5 megahertz at 5 volts. Total supply current at a 1-megahertz clock rate is 0.4 milliampere at 5 volts and 0.8 milliampere at 10 volts.

The 4510 is a similar bcd (divide-by-10) counter.

4518

DUAL SYNCHRONOUS DIVIDE-BY-10 COUNTER



This package contains two separate synchronous divide-by-10 counters using the bcd 1-2-4-8 output code. They count in the up direction only and are not presettable. Each counter may be used separately.

Normally, RST is grounded and EN is made high. With these connections, the counter advances one count on each ground-to-positive (positive edge) clock transition. Outputs follow the 1-2-4-8 bcd code, and the outputs all change state synchronously without significant ripple delays.

As an option, RST and CL may both be grounded. In this condition, the positive-to-ground (negative edge) transition of the EN input will advance the counter one count. This is useful for negative-edge triggering and for ripple-cascading decades.

If RST is made high, the counter resets to the 0000 state and remains there after RST once again returns to a low state.

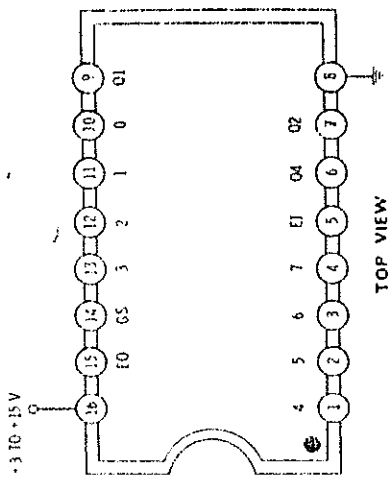
Counters are synchronously cascaded by common clocking and detecting a positive-logic state 9 (8 AND 1) on the first counter and routing this to the EN input of the next counter.

Note that the EN input should not be changed to low while the clock is low, nor should the CL input be changed to high while EN is high unless a count advance is specifically wanted.

Clock and Enable signals should be noise and bounce free and have only one desired transition in the right direction per wanted count. Clock and Enable rise and fall times should be faster than 10 microseconds.

Maximum clock frequency is 6 megahertz at 10 volts and 2.5 megahertz at 5 volts. Total package current at a 1-megahertz clock rate is 0.8 milliampere at 5 volts and 1.6 milliamperes at 10 volts.

PRIORITY ENCODER (8-Level)



This is a specialized package that may be used to rank eight inputs in order of importance. It also serves as a keyboard encoder or other 1-of-8 binary encoder.

There are eight inputs (0 through 7) and three binary-weighted outputs (Q1 = 1, Q2 = 2, and Q4 = 4). For normal operation, the Enable Input (EI) is made high.

With no input, all outputs remain low. If only one input is made high, the outputs assume the binary code for that input. For instance, an input on line 6 (pin 3) will make the Q1 output low, Q2 high, and Q4 high, since six is a binary 110.

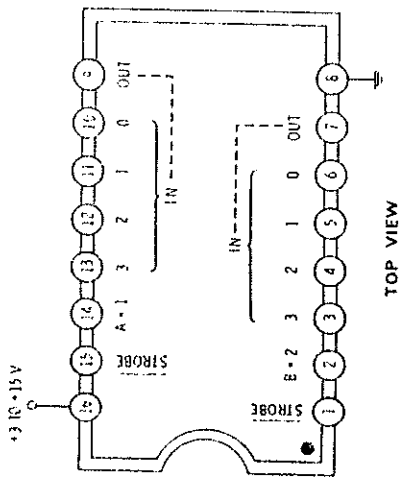
If two inputs are simultaneously made high, the one with the highest number (the highest priority) gets encoded as an output, and other inputs are ignored. Inputs 4 and 6 together output a 110 while 4 and 7 output a 111, and so on. As higher-priority inputs are returned low, the output code drops back to the next highest-priority input until all inputs finally go low.

If the EI is made low, all outputs go and stay low. There are two outputs. The "GS" output is essentially a "keypressed" detector; it goes high if any input is present along with a high EI input. This is useful in keyboard systems. It also tells the difference between no inputs and a zero priority input. The Enable Output (EO) is useful for expansion. It goes high only if EI is high and no inputs are made to this package.

Operation is unclocked, and there is no internal memory. At any time, the highest ranked input appears as its binary equivalent on the outputs.

Propagation delay time is 120 nanoseconds at 10 volts and 250 nanoseconds at 5 volts. Total package current at a 1-megahertz input rate is 1 milliampere at 5 volts and 2 milliamperes at 10 volts.

DUAL 4-INPUT DATA SELECTOR



This package contains two 4-input data selectors. Each half of the package may be selectively disabled, but both halves share common select logic.

In normal operation, the Strobe inputs are grounded and a code weighted A = 1 and B = 2 is applied to the select inputs. For instance, a 11 code will connect the 3 input to its respective output. The logic state on pin 3 will appear on pin 7, and the logic state on pin 13 will separately appear on pin 9.

Bringing the Strobe input positive grounds the output; pin 15 high grounds pin 9 and pin 1 high grounds pin 7.

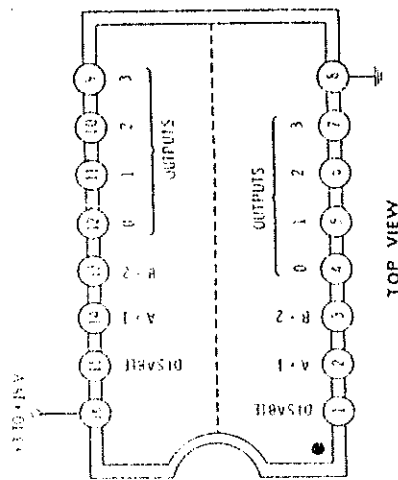
Note that this is a data selector only. It is not bidirectional. Note further that there is common select logic, limiting somewhat the independent use of both circuit halves, particularly in data-selector logic applications.

Propagation time is 215 nanoseconds at 5 volts and 95 nanoseconds at 10 volts. Supply current is 0.5 milliampere at 5 volts and 1.0 milliampere at 10 volts.

REPUBLICA DE GUATEMALA MINISTERIO DE SALUD Y ASISTENCIA SOCIAL

4555

DUAL 1-OF-4 DECODER, NONINVERTING



Both 1-of-4 decoders may be used separately, either as decoders or data distributors. They may also be combined with an external inverter for a 1-of-8 decoder or distributor.

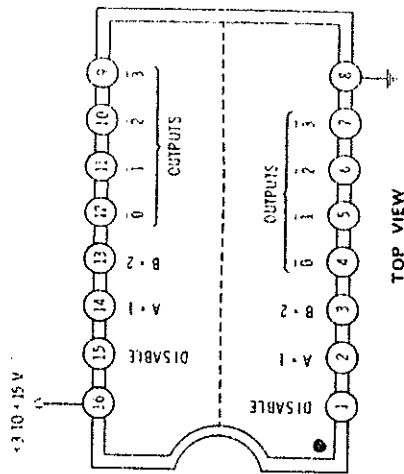
In normal operation, pins 1 and 14 are grounded. A select code, weighted $A = 1$ and $B = 2$, is applied, and the selected output goes high. For instance, with a 1 on pin 2 and a 0 on pin 3, output "1" (pin 5) goes high. With a 0 on pin 14 and a 1 on pin 13, output "2" (pin 10) goes high. Note that both halves of the circuit have separate select and disable inputs.

Making the Disable input positive drives all outputs low. The Disable input may also be used as a data input for distributor use. A "1" on the Disable provides a "0" at the selected output, and vice versa. The Disable input can also be used to form a 1-of-8 distributor or decoder by driving one side from a new $C = 4$ input and the other from its complement.

Select time is 225 nanoseconds at 5 volts and 90 nanoseconds at 10 volts. Power-supply current for a 1-megahertz select rate is 0.5 milliampere at 5 volts and 1 milliampere at 10 volts.

4556

DUAL 1-OF-4 DECODER, INVERTING



Both 1-of-4 decoders may be used separately, either as decoders or data distributors. They may also be combined with an external inverter for a 1-of-8 decoder or distributor.

In normal operation, pins 1 and 14 are grounded. A select code, weighted $A = 1$ and $B = 2$, is applied, and the selected output goes low. For instance, with a 1 on pin 2 and a 0 on pin 3, output "1" (pin 5) goes high. With a 0 on pin 14 and a 1 on pin 13, output "2" (pin 10) goes high. Note that both halves of the circuit have separate select and disable inputs.

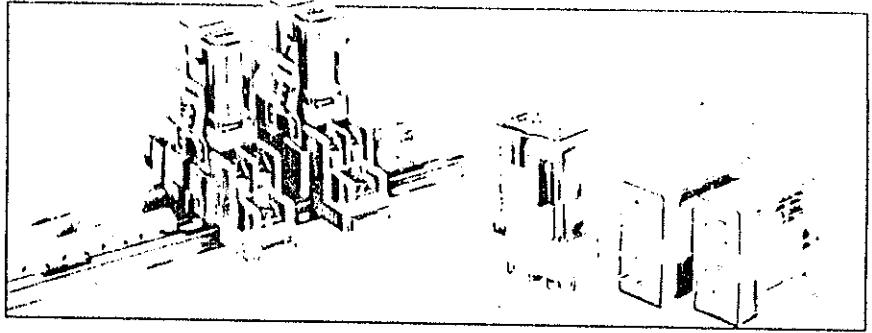
Making the Disable input positive drives all outputs high. The Disable input may also be used as a data input for distributor use. A 1 on the Disable provides a 1 at the selected output, and vice versa. The Disable input can also be used to form a 1-of-8 distributor or decoder by driving one side from a new $C = 4$ input and the other from its complement.

Select time is 225 nanoseconds at 5 volts and 90 nanoseconds at 10 volts. Power-supply current for a 1-megahertz select rate is 0.5 milliampere at 5 volts and 1 milliampere at 10 volts.







RHN SERIES POWER RELAYS

Miniature Size Power Saving SPDT Relay 5A or 10A Contact Capacity

- Simple construction without lead wire.
- Available with blade terminals and PC board terminals.
- With a mechanical operation indicator.
- High sensitivity.
- Bifurcated crossbar contact type is also available.
- 10,000V of surge withstand voltage.
- Miniature half size.
- Variety of accessories.
- All basic types are recognized by UL and certified by CSA.



TYPES

Terminal Style	5A Type	10A Type
Blade Terminal 	 RHN1B-5U	 RHN1B-10U
PCB Terminal 	 RHN1V2-5U	 RHN1V2-10U

• For other rated coil voltages, contact IDEC.

COIL RATINGS

Rated Voltage (V)	Rated Current (mA) ±15% at 20°C		Coil Resistance (Ω) ±*10% at 20°C		Operation Characteristics (at 20°C) (against rated values)			Power Consumption	
	5A Type	10A Type	5A Type	10A Type	Max. Continuous Applied Voltage	Pickup Voltage	Dropout Voltage	5A Type	10A Type
6V DC	50	83.3	120	72	120%	80% maximum	10% minimum	0.3W	0.5W
12V	25	11.7	480	288					
24V	12.5	20.8	1920	1150					
48V	6.25	10.5	7680	4600					
96V	3.125	5.25	15360	9200					
100V	4	5.8	25000	17200					

CONTACT RATINGS

Item	5A Type		10A Type	
	Resistive Load	Inductive Load	Resistive Load	Inductive Load
Rated Load	110V AC 5A 24V DC 5A	110V AC 3.5A 24V DC 2.5A	110V AC 10A 24V DC 10A	110V AC 7.5A 24V DC 5A
Allowable Contact Power	550VA AC 120W DC	385VA AC 60W DC	1100VA AC 240W DC	825VA AC 120W DC
Allowable Contact Voltage	250V AC, 125V DC		250V AC, 125V DC	
Allowable Contact Current	5A		10A	
Minimum Applicable Load	5V DC, 10mA (reference)		5V DC, 100mA (reference)	

Note: Resistive Load: $\cos\phi=1$, Inductive Load: $\cos\phi=0.4$, L/R=7 msec

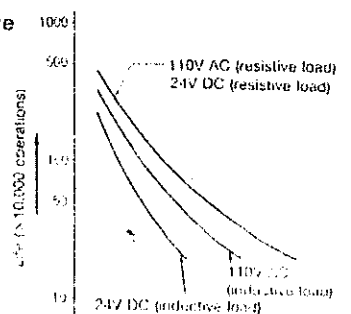
UL/CSA RATINGS

Type	UL Ratings				CSA Ratings			
	Contacts				Contacts			
	Voltage	Resistive	General Use	Motor Load	Voltage	Resistive	General Use	Motor Load
RHN1B-10U	240V AC	7.5A	5A	1/3HP	240V AC	7.5A	5A	1/3HP
RHN1V2-10U	120V AC	10A	7.5A	1/6HP	120V AC	10A	7.5A	1/6HP
	28V DC	10A			28V DC	10A	7.5A	
RHN1B-5U	240V AC	3.5A	2.5A		240V AC	3.5A	2.5A	
RHN1V2-5U	120V AC	5A	3.5A		120V AC	5A	3.5A	
	28V DC	5A			28V DC	5A	3.5A	

SPECIFICATIONS

Contact Material	Silver nickel
Contact Resistance	50mΩ maximum (initial value)
Operate Time	25 msec maximum (at the rated voltage)
Release Time	25 msec maximum (at the rated voltage)
Insulation Resistance	100MΩ minimum
Dielectric Strength	Between coil and contact: 4,000V AC, 1 minute Between contacts of the same pole: 1,000V AC, 1 minute (Surge withstand voltage: 10,000V)
Vibration Resistance	Operating extremes: 10 to 55Hz, Amplitude 1mm p-p Damage limits: 10 to 55Hz, Amplitude 1.5mm p-p
Shock Resistance	Operating extremes: 100m/sec ² (Approx. 10G) Damage limits: 1000m/sec ² (Approx. 100G)
Life	Mechanical: 50,000,000 operations minimum (at 18000 operations/hour) Electrical: 200,000 operations minimum (at 1800 operations/hour)
Operating Temperature	-25 to +60°C (no freezing)
Weight (Approx.)	25g

Electrical Life Curve (10A type)



Paired

Individually Shielded Pairs with Overall Foil/Braid Shield

Datalene insulation features are low dielectric constant and a dissipation factor for high-speed, low-distortion data handling. Physical properties include good crush resistance and light weight.

**Computer Cables
For EIA RS-422 and CAD/CAM Applications**

Part No.	Nom. Pairs	Nom. Dia. (in)	Nom. Dia. (mm)	Nominal D.C.R.		Nom. Imp. (ohms)	Nom. Vel. of Prop.	Nominal Capacitance			
				Cond.	Shield			in	mm	pf/ft	pf/m

24 Gage (cont'd.)
Stranded Conductors (7x32)
Datalene® Insulated

Product Description

Tinned copper, Datalene insulated, twisted pairs. Each pair individually shielded with Beldfoil® aluminum-polyester shield and 24AWG stranded tinned copper drain wire. Overall Beldfoil aluminum-polyester shield plus 65% tinned copper braid shield. Chrome PVC jacket. Color code chart No. 3, Technical Information Section.

Z-Fold*	Part No.	Nom. Pairs	Nom. Dia. (in)	Nom. Dia. (mm)	Nom. Dia. (mm)	Nominal D.C.R.	Nominal D.C.R.	Nom. Imp. (ohms)	Nom. Vel. of Prop.	Nominal Capacitance					
										Cond.	Shield	in	mm	pf/ft	pf/m
<p>Shielded 100% Shield Coverage 2493 60°C</p>	8164 NEC CM CSA PCC FT 1	4	100 500 1000	30.5 152.4 304.8	8.3 41.5 81.4	24Ω/M' 78.7Ω/km	Individual 18Ω/M' 59.1Ω/km	.388	9.86	100	78%	12.5	41	22	72.2
							Overall 3.2Ω/M' 10.5Ω/km								
	8165 NEC CM CSA PCC FT 1	5	100 500 1000	30.5 152.4 304.8	8.0 46.3 88.9	24Ω/M' 78.7Ω/km	Individual 18Ω/M' 59.1Ω/km	.413	10.49	100	78%	12.5	41	22	72.2
							Overall 3.4Ω/M' 11.2Ω/km								
	8166 NEC CM CSA PCC FT 1	6	100 500 1000	30.5 152.4 304.8	10.6 51.5 100.9	24Ω/M' 78.7Ω/km	Individual 18Ω/M' 59.1Ω/km	.446	11.33	100	78%	12.5	41	22	72.2
							Overall 2.8Ω/M' 9.2Ω/km								
	8167 NEC CM CSA PCC FT 1	7	500 1000	152.4 304.8	53.9 105.7	24Ω/M' 78.7Ω/km	Individual 18Ω/M' 59.1Ω/km	.446	11.33	100	78%	12.5	41	22	72.2
							Overall 2.8Ω/M' 9.2Ω/km								
	8168 NEC CM CSA PCC FT 1	8	100 500 1000	30.5 152.4 304.8	12.3 60.5 118.8	24Ω/M' 78.7Ω/km	Individual 18Ω/M' 59.1Ω/km	.479	12.17	100	78%	12.5	41	22	72.2
							Overall 3.0Ω/M' 9.8Ω/km								
8170 NEC CM CSA PCC FT 1	10	100 500 1000	30.5 152.4 304.8	20.3 82.8 164.2	24Ω/M' 78.7Ω/km	Individual 18Ω/M' 59.1Ω/km	.584	14.83	100	78%	12.5	41	22	72.2	
						Overall 2.7Ω/M' 8.9Ω/km									
8175 NEC CM CSA PCC FT 1	15	100 500 1000	30.5 152.4 304.8	24.9 107.4 218.2	24Ω/M' 78.7Ω/km	Individual 18Ω/M' 59.1Ω/km	.665	16.89	100	78%	12.5	41	22	72.2	
						Overall 2.5Ω/M' 8.2Ω/km									
8178 NEC CM CSA PCC FT 1	18	100 500 1000	30.5 152.4 304.8	26.9 117.2 237.9	24Ω/M' 78.7Ω/km	Individual 18Ω/M' 59.1Ω/km	.686	17.42	100	78%	12.5	41	22	72.2	
						Overall 2.6Ω/M' 8.5Ω/km									
8185 NEC CM CSA PCC FT 1	25	100 500 1000	30.5 152.4 304.8	35.3 164.0 362.9	24Ω/M' 78.7Ω/km	Individual 18Ω/M' 59.1Ω/km	.822	20.88	100	78%	12.5	41	22	72.2	
						Overall 2.4Ω/M' 7.9Ω/km									

* Capacitance between conductors.

** Capacitance between one conductor and other conductors connected to shield.