

UNIVERSIDAD DE SAN CARLOS DE GUATEMALA



FACULTAD DE INGENIERIA

**DISEÑO DE UN SEMAFORO
DIGITAL PROGRAMABLE**

TESIS

Presentada a la Junta Directiva

de la

Facultad de Ingeniería

por

MIGUEL PEREZ GUARCAS

al conferirsele el título de

INGENIERO ELECTRICISTA

Guatemala, octubre de 1996.

PROPIEDAD DE LA UNIVERSIDAD DE SAN CARLOS DE GUATEMALA
Biblioteca Central

08

T(3873)

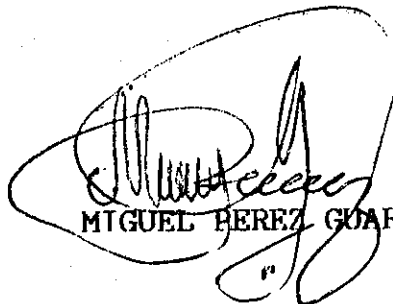
C.4

HONORABLE TRIBUNAL EXAMINADOR

Cumpliendo con los preceptos que establece la ley de la Universidad de San Carlos de Guatemala, presento a su consideración mi trabajo de tesis titulado:

**DISEÑO DE UN SEMAFORO
DIGITAL PROGRAMABLE**

Tema que me fuera asignado por la Dirección de la Escuela de Ingeniería Mecánica Eléctrica, con fecha 13 de marzo de 1996



MIGUEL PEREZ GUARCAS

UNIVERSIDAD DE SAN CARLOS DE GUATEMALA



FACULTAD DE INGENIERIA

MIEMBROS DE LA JUNTA DIRECTIVA

DECANO	Ing. Julio Ismael González Podszueck
VOCAL 1o.	Ing. Miguel Angel Sánchez Guerra
VOCAL 2o.	Ing. Jack Douglas Ibarra Solórzano
VOCAL 3o.	Ing. Juan Adolfo Echeverría Méndez
VOCAL 4o.	Br. Fernando Waldemar De León Contreras
VOCAL 5o.	Br. Pedro Ignacio Escalante Pastor
SECRETARIO	Ing. Francisco Javier González López

TRIBUNAL QUE PRACTICO EL EXAMEN
GENERAL PRIVADO

DECANO	Ing. Julio Ismael González Podszueck
SECRETARIO	Ing. Francisco Javier González López
EXAMINADOR	Ing. Miguel Angel Sánchez Guerra
EXAMINADOR	Ing. Francisco Javier Rivera Canek
EXAMINADOR	Ing. Walther Isai Guillén Krisché

PROPIEDAD DE LA UNIVERSIDAD DE SAN CARLOS DE GUATEMALA
Biblioteca Central

Guatemala, 25 de julio de 1,996

Ing. Pedro Quiroa Méndez
Supervisor de E.P.S.
Facultad de Ingeniería, USAC.

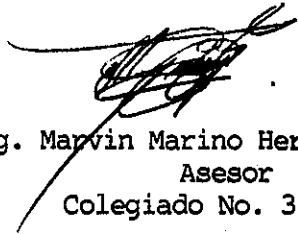
Ingeniero Quiroa.

Me permito informarle que habiendo asesorado al señor Miguel Pérez Guarcas, en el desarrollo del trabajo de tesis titulado: Diseño de un semáforo digital programable, se han llenado los requisitos establecidos para su aprobación.

Por lo tanto, el autor de esta tesis y, yo, como su asesor, nos hacemos responsables por el contenido y conclusiones de la misma.

Si otro particular, me suscribo de usted,

Atentamente,



Ing. Marvin Marino Hernández Fernández
Asesor
Colegiado No. 3,831

MMHF/sdem.



09 AGO 1996

FACULTAD DE INGENIERIA
Unidad de Prácticas de Ingeniería
Ejercicio Profesional Supervisado
E.P.S.

Ciudad Universitaria, Zona 12
01012 Guatemala, Centroamérica

REF.EPS.C.081.96

Guatemala, 9 de agosto de 1,996

Señor
Ing. Edgar Montúfar Urizar
Director de la Escuela
de Ingeniería Mecánica Eléctrica
Presente

Señor Director:

Atentamente y por este medio, me permito trasladar para su APROBACION FINAL y trámite respectivo, el Informe Final correspondiente al Proyecto titulado **DISEÑO DE UN SEMAFORO DIGITAL PROGRAMABLE**, desarrollado por el estudiante universitario, de la Carrera de Ingeniería Eléctrica, **MIGUEL PEREZ GUARCAS**; habiéndose cumplido con los objetivos del mismo, y contándose con la Aprobación del Ingeniero Electricista Maryin Marino Hernández Fernández, quien fungió como Asesor.

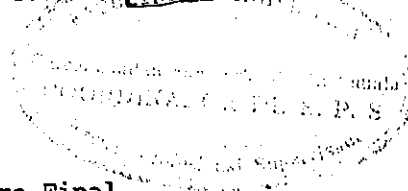
Por lo que esta Coordinación, dá su APROBACION al presente trabajo.

Sin otro particular, me es grato suscribirme de usted.

Deferentemente,

"ID Y ENSEÑAD A TODOS"

ING. PEDRO QUIROA MENDEZ
COORDINADOR DE E.P.S.



PQM/lgg.
c.c.: Archivo
Anexo: El referido Informe Final.



FACULTAD DE INGENIERIA

Escuelas de Ingeniería Civil, Ingeniería
Mecánica Industrial, Ingeniería Química,
Ingeniería Mecánica Eléctrica, Técnica
y Regional de Post-grado de Ingeniería
Sanitaria.

Ciudad Universitaria, zona 12
Guatemala, Centroamérica

El Director de la Escuela de Ingeniería Mecánica Eléctrica, después de
conocer el dictamen del Asesor, con el Visto Bueno del Coordinador de Area,
al trabajo de E. P. S. del estudiante Miguel Pérez Guarcas, titulado:
DISEÑO DE UN SEMAFORO DIGITAL PROGRAMABLE (para implementación y montaje en
la ciudad universitaria, zona 12), procede a la autorización del mismo.


Ing. Edgar F. Montúfar Urizar

Director

Guatemala, 27 de agosto de 1,996.





FACULTAD DE INGENIERIA

Escuelas de Ingeniería Civil, Ingeniería
Mecánica Industrial, Ingeniería Química,
Ingeniería Mecánica Eléctrica, Técnica
y Regional de Post-grado de Ingeniería
Sanitaria.

Ciudad Universitaria, zona 12
Guatemala, Centroamérica

El Decano de la Facultad de Ingeniería, luego de conocer la autorización por parte del Director de la Escuela de Ingeniería Mecánica Eléctrica, al trabajo de E. P. S.: **DISEÑO DE UN SEMAFORO DIGITAL PROGRAMABLE** (para implementación y montaje en la ciudad universitaria, zona 12), del estudiante Miguel Pérez Guarcas, procede a la autorización para la impresión de la misma.

IMPRIMASE:

Ing. Julio Ismael González Podszueck



Guatemala, 3 de septiembre de 1,996.

TESIS QUE DEDICO

A LA MEMORIA DE
MI PADRE :

Tomás Pérez Equilá

Su ejemplo de lucha constante
en pos de la superación, es la llama que
me guió para alcanzar la meta trazada

A MI MADRE:

María Ana Guarcas Tzoc

por todo el amor y apoyo que me brinda

A MIS HIJOS:

María Xiomara Pérez Riz
Michaëlle Alexander Pérez Riz

A MIS HERMANOS:

Sebastián Pérez Guarcas
Josefa Pérez Guarcas
Sebastiana Pérez Guarcas
Micaela Pérez Guarcas
Lucía Pérez Guarcas
Martín Pérez Guarcas (Q.E.P.D)
Jerónima Pérez Guarcas (Q.E.P.D)

A:

Isabel Riz Chingo

INDICE GENERAL.

	PAGINA.
Indice de gráficas.	2
Indice de diagramas.	3
Lista de símbolos.	3
I. GLOSARIO.	4
II. INTRODUCCION Y JUSTIFICACION.	
II.1 Introducción.	5
II.2 Justificación.	6
III. UNIDAD DE ALIMENTACION.	
III.1 Transformador.	8
III.2 Rectificadores de voltaje.	12
III.3 Filtros capacitivos.	16
III.4 Reguladores de voltaje.	17
III.5 Diseño de prototipo de la unidad de alimentacion.	18
IV. UNIDAD LOGICA DE CONTROL DE TIEMPO.	
IV.1 Temporizadores.	24
IV.2 Contadores.	27
IV.3 Disparador Schmitt.	30
IV.4 Diseño de prototipo de la unidad lógica de control de tiempo.	31
V. UNIDAD LOGICA PROGRAMABLE.	
V.1 Memorias.	37
V.2 Decodificadores.	40
v.3 Diseño de prototipo de la unidad lógica programable.	41
VI. UNIDAD LOGICA COMBINACIONAL.	
VI.1 Lógica booleana.	49
VI.2 Compuertas Digitales.	50
VI.3 Diseño de prototipo de la unidad lógica combinacional.	53
VII. UNIDAD INTERFAZ DE POTENCIA.	
VII.1 Diodos emisores de luz.	62
VII.2 Tiristores.	63
VII.3 Optoaisladores.	64
VII.4 Diseño de prototipo de la unidad interfaz de potencia.	65
VIII. UNIDAD DE PROGRAMACION.	
VIII.1 Borrado de memorias.	72
VIII.2 Programación de memorias.	73
IX. ANALISIS Y DISEÑO CON CIRCUITOS INTEGRADOS TTL.	
IX.1 Familias TTL serie 54/74.	75
IX.2 Características y análisis de la serie 54/74 Standard.	76

IX.3	Consideraciones acerca del ruido.	80
X.	COSTO DEL PROYECTO.	83
XI.	REALIZACION DEL PROTOTIPO	86
XII.	CONCLUSIONES.	88
XIII.	RECOMENDACIONES.	89
XIIII.	BIBLIOGRAFIA.	91

INDICE DE GRAFICAS.

No.	CONTENIDO	Pagina.
III:	UNIDAD DE ALIMENTACION.	
1	Causa y efecto de campo magnético.	8
2	Señal de corriente alterna CA.	9
3	Estructura de un transformador.	9
4	Secciones de chapas para transformadores.	10
5	Bandas de energía.	12
6	Circuito representativo de un diodo ideal.	13
7	Circuito representativo de un diodo real.	13
8	Curva característica Corriente-Voltaje del diodo.	14
9	Circuito rectificador de media onda.	14
10	Señal de corriente alterna CA.	15
11	Señal de salida del rectificador de media onda.	15
12	Circuito rectificador de onda completa.	15
13	Señal de salida rectificador de onda completa.	15
14	Circuito rectificador de onda completa con filtro capacitivo.	16
15	Señal de salida del rectificador con filtro.	16
16	Ripple Voltage (voltaje de rizado).	17
17	Regulador de voltaje con salida fija.	18
18	Regulador de voltaje con salida variable.	18
18A	Circuito impreso de la unidad 3.	22
IV:	UNIDAD LOGICA DE CONTROL DE TIEMPO.	
19	Señal oscilatoria de un multivibrador estable.	24
20	Circuito interno de un 555.	25
21	Circuito de un multivibrador estable con un 555.	27
22	Circuito interno de un contador asíncrono.	29
23	Circuito interno de un contador síncrono.	29
24	Señal de entrada y salida de un Schmitt.	31
25	Característica de transferencia de un Schmitt.	31
25A	Circuito impreso de la unidad 4.	34
ANEXO 1	Diagrama temporizado de la salida de la unidad 4.	35
V:	UNIDAD LOGICA PROGRAMABLE.	
26	Estructura de memorias.	37
27	Estructura típica de una memoria.	38
28	Estructura básica de una celda Uv-Eprom.	38
28A	Circuito impreso de la unidad 5.	45

ANEXO 2	Arreglo Mosfet, diagrama de conexiones y conexión en paralelo de unidades Uv-Eprom 2764.	46
ANEXO 3	Matriz de referencia, ecuaciones de control y diagrama lógico decodificador BCD a decimal.	47
VI:	UNIDAD LOGICA COMBINACIONAL.	
29	Circuito básico TTL.	52
30	Gráfica: relación entre tiempos típicos de propagación y disipación de energía de familias lógicas	52
31	Bloque combinacional 1.	53
32	Bloque combinacional 2.	54
33	Bloque combinacional 3.	56
34	Bloque combinacional 4.	57
35	Bloque combinacional 5.	58
36	Circuito impreso 1 de la unidad 6.	60
37	Circuito impreso 2 de la unidad 6.	60
VII:	UNIDAD INTERFAZ DE POTENCIA.	
38	Símbolo de un LED.	62
39	Símbolo, Estructura y curva característica de un SCR.	63
40	Símbolo, Estructura y circuito equivalente de un PNP.	63
41	Símbolo de un Opto-aislador.	64
42	Sección 1 de bloque de acción de unidad 7.	66
43	Sección 2 de bloque de acción de unidad 7.	67
44	Circuito impreso de la unidad 7.	69
IX:	ANALISIS Y DISEÑO CON CIRCUITOS INTEGRADOS TTL.	
45	Circuito básico de la familia TTL SN 54/74.	76
46	Gráfica de margen de ruido de corriente directa.	78

INDICE DE DIAGRAMAS.

No.	CONTENIDO	Página.
1	Diagrama de alambrado de la Unidad de Alimentación.	23
2.	Diagrama de alambrado de la Unidad Lógica de Control de Tiempo.	36
3.	Diagrama de alambrado de la Unidad Lógica Programable.	48
4.	Diagrama de alambrado de la Unidad Lógica Combinacional.	61
5.	Diagrama 1 de alambrado de la Unidad Interfaz de Potencia.	70
6.	Diagrama 2 de alambrado de la Unidad Interfaz de Potencia.	71

LISTA DE SIMBOLOS.

A	: símbolo de amperios.
V	: símbolo de voltios.
H	: símbolo de henrios.
F	: símbolo de faradios.
eV	: símbolo de electronvoltios.
W	: símbolo de watts.
K	: en el presente trabajo representará kilo-ohmios.

I. GLOSARIO.

Entrehierro:	distancia que existe entre el estator y el rotor de una máquina eléctrica.
CA:	abreviatura de corriente alterna.
Vmax.:	abreviatura de voltaje máximo.
Monofásico:	que consiste de una sola fase.
Histéresis:	retentividad que poseen algunos materiales al campo magnético.
Focault:	corrientes parásitas de los transformadores.
Unidireccional:	que transita en una sola dirección.
CD:	abreviatura de corriente directa.
Alineal:	no posee linealidad en sus características.
Ripple Voltage:	voltaje de ondulación que se produce en algunos rectificadores con filtros capacitivos.
Chip:	empaquetado de dispositivo electrónico.
CI:	abreviatura de circuito integrado.
uF:	abreviatura de microfaradios (10^{-6}).
Hz.:	abreviatura de Hertz (unidad de frecuencia).
EEGSA:	abreviatura de Empresa eléctrica de Guatemala S.A.
Multivibradores:	dispositivos no estables.
Restablecer:	colocar en estado lógico 0.
Comparador:	dispositivo que compara señales o estados lógicos.
Temporizadores:	dispositivos que generan pulsos oscilatorios
Registro:	celdas binarias de memoria.
Contador:	dispositivo a base de registros que siguen una secuencia específica en sus salidas, cuando se les aplica pulsos de reloj.
Cero lógico:	estado binario bajo de una señal digital.
Uno lógico:	estado binario alto de una señal digital.
Maxtérmino:	uno lógico de una función booleana.
Mintérmino:	cero lógico de una función booleana.
Decodificador:	circuito combinacional que convierte información binaria de n líneas de entrada a un máximo de 2^n líneas únicas de salida.
Codificador:	circuito combinacional que efectúa la acción inversa del decodificador.
LED:	dispositivo semiconductor, cuya propiedad es la de emitir luz, cuando se le aplica corriente.
Display:	pantalla luminosa hecha a base de diodos LED'S, que permite visualizar alguna información.
μ_0 :	permitividad del vacío a la inducción magnética.
Fusible:	dispositivo eléctrico que se funde cuando la corriente que la atraviesa es mayor que el valor nominal a la cual está diseñada.
FET:	transistor de efecto campo.
ECG:	manual que se utiliza para obtener equivalencia de los dispositivos y/o CI fabricados por distintas marcas, a una que se encuentre en el mercado manejado por la PHILIPS.

II. INTRODUCCION Y JUSTIFICACION.

II.1 INTRODUCCION.

El presente trabajo de E.P.S. se realizó debido a la inquietud de las actuales autoridades de la U.S.A.C, por implementar una red de semáforos que coadyuven a regular el creciente y caótico tránsito de automotores dentro de la ciudad universitaria. Con esa finalidad, se decidió, además, que los semáforos debían de poseer innovaciones acordes con el avance tecnológico del presente tiempo y también diseñarlos a un bajo costo, para poder ser implementados con los recursos de la universidad.

La estructura del presente trabajo se dividió en 7 unidades, que cubren desde la unidad que servirá de alimentación para todo el sistema electrónico, hasta la interconexión eléctrica con el sistema de potencia de las luminarias.

En las primeras 5 unidades, se detallan en cada uno: generalidades, funcionamiento y características de diseño de cada uno de los dispositivos que se utilizan en la misma, y se finaliza ésta con la presentación del prototipo formal, en la cual se contemplan condiciones que se van a cumplir, funcionamiento global y la selección de los dispositivos adecuados, que cumplan con los resultados que matemáticamente o por diseño digital se obtengan, considerando la obtención de éstos en el mercado nacional.

En la unidad de programación, se detalla el software y los pasos que se van a seguir para poder borrar y reprogramar las memorias EPROMS utilizadas en este proyecto, mediante un equipo académico a base del microprocesador Z-80, que el laboratorio de electrónica de la Escuela de Ingeniería Mecánica Eléctrica actualmente posee.

En la unidad de análisis y diseño con circuitos integrados TTL, se estudian:

- a. Características típicas comunes y las diferentes ventajas y desventajas entre las 4 divisiones de la familia TTL.
- b. Ventajas, parámetros, características de transferencia, rechazo al ruido y márgenes de ruido de corriente directa y alterna.
- c. Consideraciones acerca del ruido tales como: tipos de ruido y métodos de control, blindaje, conexiones a tierra y desacoplamiento, inducción cruzada en líneas de señales (cross talk) y reflexiones en líneas de transmisión.

La realización del prototipo de este diseño tuvo, como condición, la existencia u oferta de cada uno de los dispositivos en el mercado comercial de nuestro país.

La ciudad de Guatemala, debido a la situación económica y política que vive actualmente, y por diversas razones ha incrementado su desarrollo en infraestructura; esto ha incidido en el aumento de vehículos para que la población pueda desplazarse de un lugar a otro, con el consiguiente congestionamiento de tránsito en vías importantes, incluyendo las vías de acceso a la ciudad universitaria de la U.S.A.C., que enfrentan esta problemática a diferentes horas del día.

Según informes proporcionados en el departamento de Mantenimiento de Tránsito de la policía nacional (PN), la red de semaforización en el país puede colapsar en cualquier momento, debido a que está funcionando con más de 15 años de gracia. La red fue comprada a principios de los 70s, y la garantía de 10 años ha fenecido. Esto implica que Guatemala corre el peligro de quedarse sin la totalidad de sus semáforos cuando la red falle. Se informa que el presupuesto para modernizar la semaforización en el país es de alrededor de 15 millones.

El inventario de la ciudad es de alrededor de 300 semáforos en 161 cruces, de los que están en funcionamiento aún el 80%.

El departamento de mantenimiento de la policía Nacional indica que los semáforos que funcionan en el centro de la ciudad son electromecánicos, controlados desde el sótano del Palacio de la PN, ubicado en la 6a. Avenida y 14 calle, zona 1.

Los semáforos modernos, ubicados en el perímetro de la capital, son electrónicos, pero tienen el inconveniente de que, de ser necesaria su reparación, debe mandarse la tarjeta electrónica al país donde se compró, lo cual es muy costoso. El primero de este tipo fue instalado hace dos años, en la 7a. avenida y 20 calle, zona 1. El valor aproximado de cada semáforo oscila alrededor de Q.50,000.

Una característica que hace obsoletos a los semáforos actuales en cuanto a la versatilidad, es su tiempo de acción fija. En detalle, estos semáforos no pueden cambiar sus tiempos de acción de control de las vías en el transcurso del día, lo que obviamente perjudica al automovilista, puesto que la densidad del tráfico si lo hace. Esto imposibilita la fluidez requerida para descongestionar las vías que controle.

El presente proyecto, innovador en su diseño, permite mediante una programación adecuada, con base en análisis del comportamiento del tránsito de la ubicación futura del semáforo, descongestionar el área de operación, ya que sus tiempos de acción sobre las luminarias de la avenida y/o calle pueden ser programadas según las necesidades de la misma durante un período de 24 horas.

También es de importancia relevante, que los dispositivos utilizados sean fácilmente adquiribles comercialmente en el mercado nacional, y el equipo que se necesita para su programación es propiedad del laboratorio de Electrónica de la Escuela de Ingeniería Mecánica Eléctrica de la Universidad de San Carlos, con lo cual se hace patente el ahorro de divisas que el país está sufriendo por esta situación.

Monetariamente es un diseño considerablemente económico, ya que sus costos se reducen en un 80% al valor estimado de los actuales semáforos.

Es de enfatizar que el presente proyecto, permite la proyección de la Escuela de Ingeniería Mecánica Eléctrica, hacia la sociedad guatemalteca, al involucrarse en la solución de este problema que atraviesa la ciudad universitaria y el país.

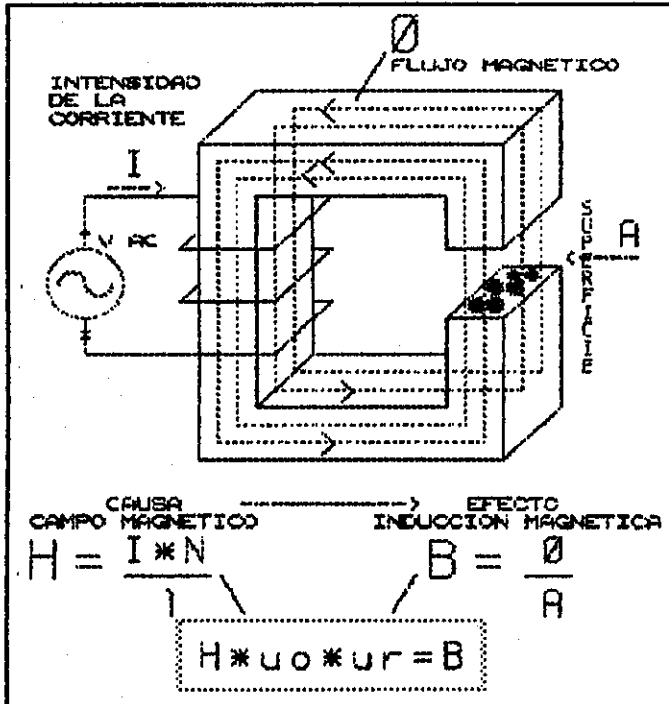
III. UNIDAD DE ALIMENTACION

III.1 TRANSFORMADOR

III.1.A GENERALIDADES.

El suministro de energía eléctrica a las viviendas e industrias se realiza mediante corriente alterna, pues este tipo de corriente es fácil de generar y transportar a grandes distancias. La corriente alterna desempeña un papel fundamental no sólo en las técnicas energéticas, sino también en telecomunicación, donde se emplean corrientes alternas, por ejemplo, para la transmisión de señales.

III.1.B FUNCIONAMIENTO.



Como introducción, observemos la figura 1 en la que se resumen las magnitudes más importantes que se presentan en relación con el campo magnético, separadas según condición de causa y efecto. La causa del campo magnético es la intensidad de la corriente I , que junto con el número de espiras N y con la longitud de las líneas de campo l permitirá calcular la intensidad de campo magnético H .

Como efecto de la circulación de la corriente, aparece un flujo magnético que se propaga a través del hierro y del entrehierro.

FIG.1: Causas y efecto de campo magnético.

En la ecuación que relaciona la intensidad de campo y la inducción magnética, aparece también la constante μ_0 (permeabilidad del vacío) y el factor μ_r llamado permeabilidad relativa, que indica cuántas veces es mayor la inducción magnética por efecto de la materia, que la que habría en el vacío.

Las líneas de campo de la figura 1 recorren el hierro y el entrehierro describiendo un camino cerrado, que se denomina circuito magnético. En los entrehierros de los distintos aparatos (por ejemplo, entre el estator y el rotor de un motor) se precisan inducciones magnéticas de valores determinados, fijados de antemano.

Las tensiones alternas se obtienen por inducción en los generadores. Se distinguen dos tipos de fenómenos de inducción:
 a. inducción por movimiento y b. inducción en reposo.

Al obtener la tensión en un generador, se utiliza la inducción por movimiento. Para ello, o bien se mueven los bobinados en un campo magnético, o se mantienen aquellos fijos, y es el campo magnético el que se mueve. Una variación del flujo en un determinado tiempo implica, según la ley de Faraday (ECU.1), que en la bobina aparecerá una tensión; el valor de esta depende de la rapidez variante del flujo y del número de espiras.

$$U_{inducido} = .N * \left(\frac{d\phi}{dt} \right)$$

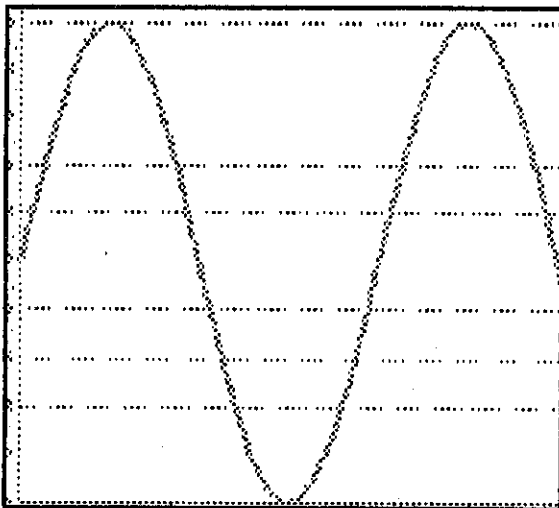


FIG.2: Señal de corriente alterna CA.

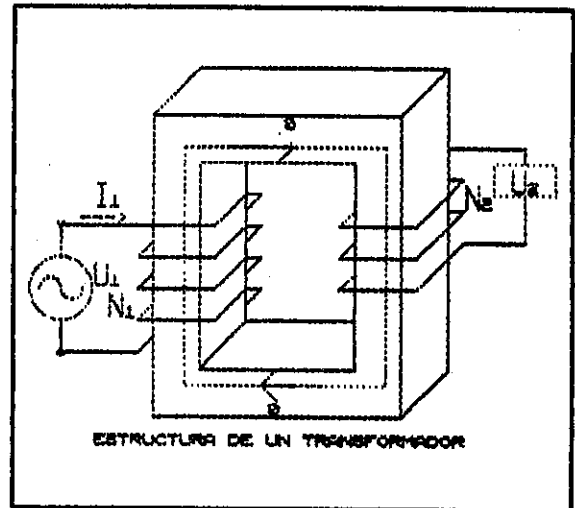


FIG.3: Estructura de un transformador.

Resumiendo a continuación algunas nociones importantes, se tiene:

- a. Al hacer girar una espira conductora en un campo magnético homogéneo, se obtiene una tensión CA.
- b. La tensión inducida da lugar a una corriente de sentido tal que su campo magnético se opone siempre a la causa del fenómeno de inducción.
- c. Un ciclo es una oscilación completa de una señal senoidal.
- d. El período T es el tiempo de un ciclo.
- e. La frecuencia f indica el número de ciclos transcurridos en un segundo.
- f. La curva (valores instantáneos) de una tensión alterna senoidal, como el de la fig.2, puede expresarse mediante una fórmula matemática en la que se emplea la función seno:
 $U = U_{max} \cdot \text{seno } 2\pi \cdot f \cdot t$

g. El factor de potencia indica que parte de la potencia aparente se transforma en potencia activa.

$$U_{eficaz} = \frac{U_{max}}{\sqrt{2}}$$

h. Los valores eficaces de las tensiones y corrientes alternas equivalen a las tensiones y corrientes continuas que darían lugar a la misma potencia y se relacionan mediante la ecuación 2.

i. La inducción por movimiento origina en generadores tensiones de CA. Un transformador monofásico se compone de dos bobinados: primario y secundario, sin contacto eléctrico entre ellos y devanados sobre un núcleo de hierro (fig.3). El núcleo se compone de chapas de hierro dulce para que las pérdidas por histéresis sean pequeñas. Además se aíslan las chapas unas de otras para que sean pequeñas las pérdidas por corrientes de Foucault, al quedar limitadas éstas al interior de cada una de las chapas.

III.1.C DISEÑO.

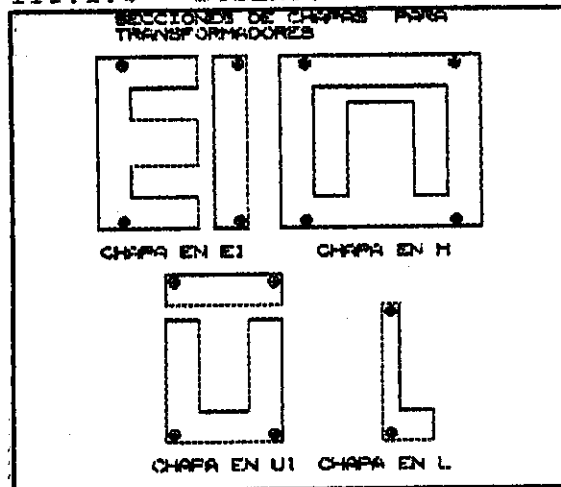


FIG.4: Secciones de chapas para transformadores.

Según la norma VDE 0550, los transformadores con una potencia de hasta 16 kVA se denominan transformadores pequeños.

Los núcleos de los transformadores pequeños suelen componerse de varias chapas, que se clasifican según su forma en una serie de secciones normalizadas. son frecuentes las siguientes secciones:

en M, en EI, en UI y en L, mostrados en la fig.4. Las diferentes chapas se disponen en oposición, o sea de modo que las junturas no coincidan, para que el entrehierro y también las pérdidas

sean lo más reducidas posibles. Para que los tornillos que sujetan las chapas no produzcan un cortocircuito magnético se aíslan con vainas aislantes.

Además de núcleos con diferentes chapas, también existe la posibilidad de utilizar paquetes de chapas previamente pegadas, lo cual permite obtener un entrehierro definido con ayuda de un tornillo de ajuste; de este modo se puede variar el campo de dispersión.

Para determinadas aplicaciones (pérdidas muy reducidas), se emplean: núcleos de bandas cortadas y núcleos de bandas anulares.

Los bobinados suelen componerse de hilo de cobre esmaltado, cuya sección depende de la potencia del transformador y de las densidades de corrientes permisibles. En los transformadores

pequeños las densidades de corriente toman valores entre 1 A/mm² y 6 A/mm², según la potencia y la refrigeración. Según cuales sean los valores de las tensiones existentes entre las diferentes capas de los bobinados y el uso al que se destine el transformador deberán aislarse adicionalmente unas capas de otras.

A. TIPOS DE TRANSFORMADORES PEQUEÑOS.

A.1. Transformadores de seguridad: los transformadores de seguridad deben ser a prueba de cortocircuitos o relativamente resistentes a ellos. Los bobinados deben estar separados unos de otros mediante capas aislantes, de manera que no pueda producirse en ningún caso un contacto accidental entre el primario y el secundario. Su secundario proporciona tensiones de salida de hasta 42 V, mientras que la tensión de entrada puede valer como máximo 500 V. Todos sus polos deben poder desconectarse de la red, han de estar contruidos para una única razón de transformación y su secundario sólo puede presentar una toma. Entre los transformadores de seguridad tenemos: transformador tipo aislador, transformadores de protección por muy baja tensión transformadores para juguetes, transformadores para lámparas de mano, transformadores de deshielo, transformadores para aparatos médicos.

A.2. Transformadores de conexión a la red: los transformadores de conexión a la red poseen uno o varios secundarios separados eléctricamente del primario. Estos transformadores se emplean por ejemplo para la conexión de instalaciones de amplificación, aparatos y sistemas telefónicos, en los RECTIFICADORES, en los aparatos para alambradas electrizadas, en los aparatos electrodomésticos, etc. Es frecuente que los transformadores de conexión a la red se encuentren incorporados en el interior de dichos aparatos, según la norma VDE 0550.

A.3. Transformadores de encendido: se emplean en las instalaciones de hogares a gas o petróleo para el encendido de la mezcla de aire y carburante con ayuda de chispas eléctricas.

B. TRANSFORMADORES DE CAMPO DE DISPERSION.

Se utilizan para: soldadura, instalaciones de tubos fluorescentes, timbres, juguetes, protección, encendido.

C. AUTOTRANSFORMADORES.

Al contrario de los transformadores descritos hasta aquí, los autotransformadores poseen un único bobinado con una o varias tomas. Con autotransformadores de pequeña potencia transformada, pueden transmitirse grandes potencias cuando los valores de las tensiones de entrada y de salida se encuentran muy próximos.

D. TRANSFORMADORES DE MEDIDA.

Los transformadores de medida desempeñan un papel especial dentro de todo el grupo de los transformadores. En las redes de alta tensión, aíslan de altas tensiones a los aparatos de medida y reducen las altas tensiones e intensidades a medir a valores de fácil medida. La norma VDE 0414 describe las características de este tipo de transformadores.

III.2 RECTIFICADORES DE VOLTAJE.

III.2.A GENERALIDADES.

Los diodos se encuentran entre los dispositivos electrónicos más viejos y más ampliamente usados. Un diodo puede definirse como un conductor casi unidireccional en el cual el estado de conductividad se determina mediante la polaridad del voltaje entre sus terminales. El diodo semiconductor está formado por la unión metalúrgica de materiales de tipo P y N.

Un sólido está formado por una gran cantidad de moléculas que están unidas físicamente, entonces sus niveles de energía se fusionan en bandas como se muestra en la figura 5. El número total de niveles de energía posibles en las subcapas externas se dividen en dos clases: aquellos que forman la banda de valencia, y aquellos que forman la banda de conducción; los electrones que están en la banda de valencia no se mueven ágilmente de átomo en átomo; los electrones, que están en la banda de conducción, pueden moverse libremente y por lo tanto están libres para servir como portadores de corriente.

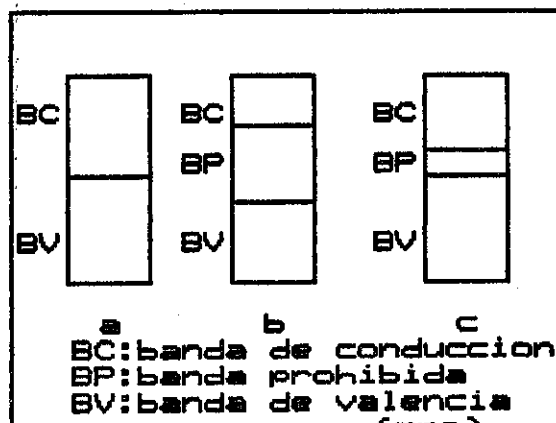


FIG.5: Bandas de energía.

energía, a los que denominan semiconductores.

Impurificándolos con elementos del grupo V y III, se obtienen los materiales extrínsecos P Y N.

Un material del tipo P es un elemento base del grupo IV de la tabla de elementos, que se encuentra impurificado con una pequeña cantidad de material del grupo V.

Un material del tipo N es un elemento base del grupo IV de la tabla de elementos, que se encuentra impurificado con una pequeña cantidad de material del grupo III.

Cuando una unión P-N es formada creamos un diodo que tiene la propiedad de permitir el paso de corriente en una sola dirección.

El diodo, utilizado como rectificador, convierte la energía de una fuente de corriente alterna (CA) en la energía de corriente directa (CD), que se requiere para la operación de los circuitos electrónicos. Los circuitos rectificadores más comunes son el rectificador de media onda, el rectificador de onda completa y el puente rectificador.

III.2.B FUNCIONAMIENTO.

El diodo es un dispositivo de dos terminales, a las cuales se les denomina ANODO Y CATODO. Para identificar las terminales del diodo, generalmente nos basamos en marcas como barras o flechas que los fabricantes imprimen en el dorso de los diodos; estas marcas indican la terminal que denominamos cátodo. El diodo semiconductor puede ser polarizado directa o inversamente.

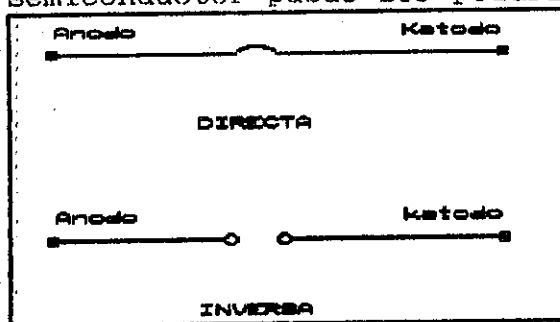


FIG.6: Circuito representativo de un diodo ideal.

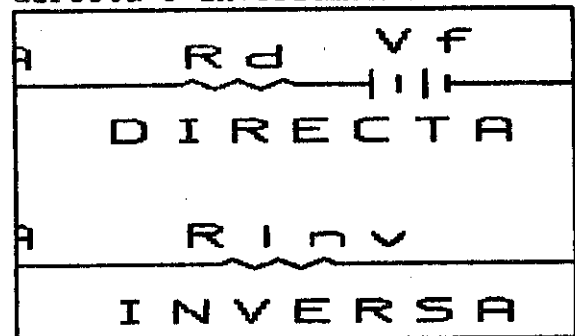


FIG.7: Circuito representativo de un diodo real.

POLARIZACION DIRECTA: cuando el ánodo es más positivo que el cátodo.

POLARIZACION INVERSA: cuando el cátodo es más positivo que el ánodo.

DIODO IDEAL: cuando un diodo ideal se polariza directamente funciona como un corto circuito e inversamente como un circuito abierto (fig.6).

DIODO REAL: cuando se polariza directamente un diodo real, se puede representar como una fuente de tensión en serie con una resistencia. La resistencia del diodo real depende de la tensión y corriente aplicados. Para polarización inversa se representa como una resistencia infinita (fig. 7).

La curva característica V_d - I_d de la fig.8 de un diodo real, representa los parámetros del elemento alineal.

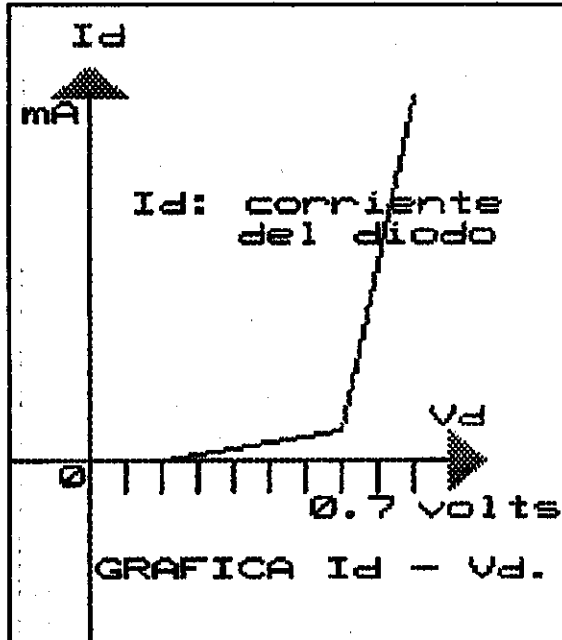


FIG.8: Curva característica corriente-voltaje del diodo.

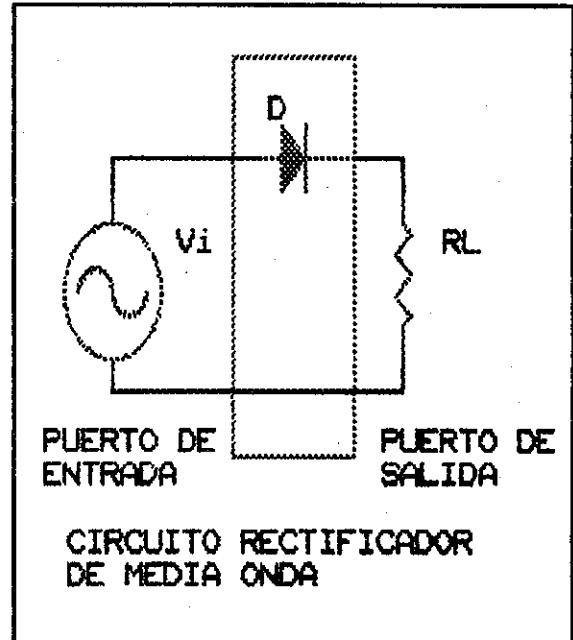


FIG.9: Circuito rectificador de media onda.

Algunas veces los diodos se polarizan con CC y se les aplica señal de CA. En su punto de trabajo, se puede determinar la resistencia equivalente del diodo en CC, denominada resistencia dinámica y equivale a la pendiente de las curvas características en ese punto.

Los circuitos rectificadores son redes de dos puertos en las que se aprovecha la conducción unilateral del diodo: un voltaje de corriente alterna se aplica en el puerto de entrada y aparece un voltaje de CD en el puerto de salida.

El circuito rectificador más simple contiene un diodo sencillo, fig.9. Se le llama comúnmente rectificador de media onda debido a que el diodo conduce durante las mitades positivas o negativas de la forma de onda del voltaje de entrada. La fig. 10 es la forma de onda del voltaje de entrada del puerto rectificador, y la fig. 11 es la forma de onda en la salida en la cual se observa que la señal ya no varía de polaridad en el tiempo; esto la convierte en una señal de corriente directa. Para aprovechar el semiciclo negativo que aparece suprimido en la salida del rectificador de media onda, se usa el circuito rectificador de onda completa tipo puente, que aparece en la fig. 12.

En esta configuración, en el ciclo positivo de la señal de entrada los diodos D1 y D3, conducen, mientras que en el ciclo negativo los diodos D2 y D4 son los que se encargan de conducir y los otros bloquean. La señal de salida del rectificador de onda completa tipo puente se muestra en la fig.13.

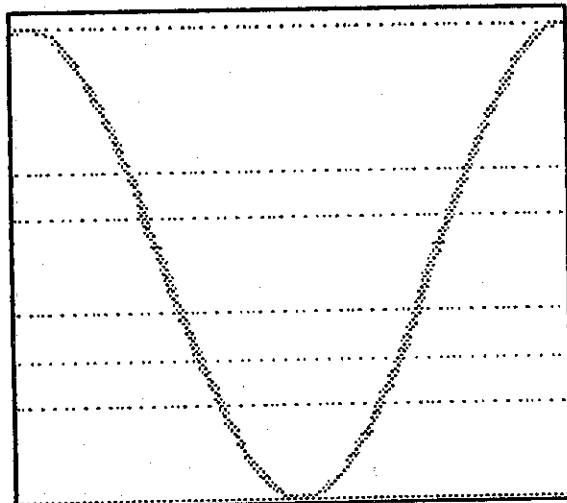


FIG.10: Señal de corriente alterna CA.

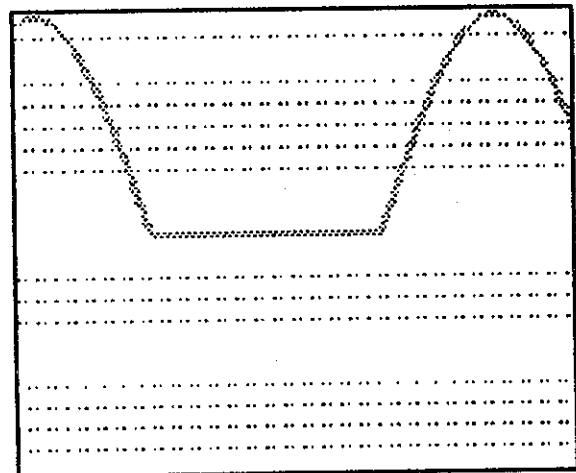


FIG.11: Señal de salida del rectificador de media onda.

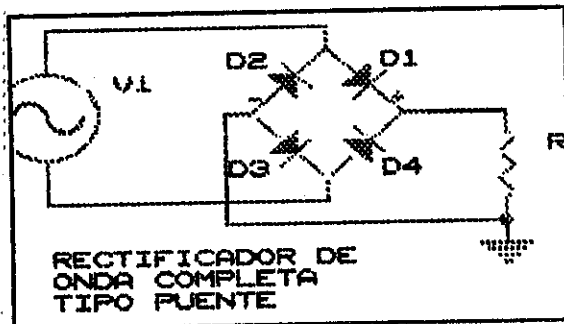


FIG.12: Circuito rectificador de onda completa.

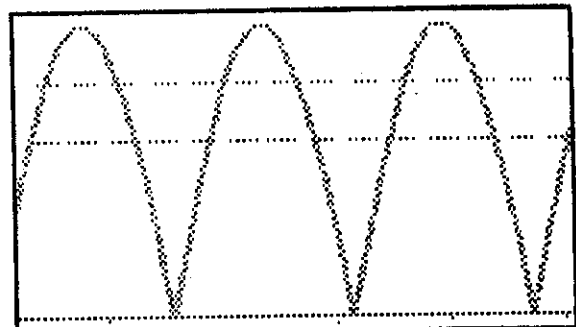


FIG.13: Salida del rectificador de onda completa.

III.2.C DISEÑO.

Para diseñar un circuito en el cual se utilicen dispositivos como los diodos, se deben de tomar los siguientes parámetros:
I max(Io): corriente máxima en régimen permanente del diodo.
V max(PRV): voltaje pico máximo que bloquea el diodo en inversa.
I pico repetitiva(IFRM): corrientes pico que puede soportar el diodo en pequeño tiempos transitorios.
V umbral(Vr): voltaje de umbral ($V_r=0.7V$) en polarización directa.
T conmtación(trr): tiempo de transición de directa a inversa.

VALOR DE LA SENAL DIRECTA DE RECTIFICADOR DE MEDIA ONDA:

Para este rectificador, tenemos que:

$$V_{RL} = \left(\frac{1}{2\pi} \right) \int_0^{2\pi} V_{max} \sin(2\pi f) = \frac{V_{max}}{\pi}$$

ECU.3

Integral de pi a 2pi vale cero, porque el diodo no conduce.
 Entonces: $V_{RL} = V_{max} / \pi$. (despreciando el V_r).
 $V_{RL} = (V_{max} - V_r) / \pi$. (tomando V_r).
 V_r : vale 0.7 V para el silicio y 0.2 para el germanio.

VALOR DE LA SEÑAL DIRECTA DE RECTIFICADOR DE ONDA COMPLETA:

De la figura 13, observamos que sólo debe integrarse de 0 - pi:

$$V_{RL} = \left(\frac{1}{\pi}\right) * \int_0^{\pi} V_{max} * \sin(2 * \pi * f) = \frac{2 * V_{max}}{\pi}$$

ECU.4

$$V_{RL} = (2 * V_{max}) / \pi. \text{ (despreciando el } V_r).$$

$$V_{RL} = 2 * (V_{max} - V_r) / \pi. \text{ (tomando } V_r).$$

III.3 FILTROS CAPACITIVOS.

III.3.A GENERALIDADES.

La salida de un rectificador de voltaje no es suficiente para suministrar una potencia constante, debido a la variación con respecto al tiempo, ya que como se observó en la sección anterior, la señal de salida es pulsante con una frecuencia de dos veces a la señal de entrada. La situación se mejora colocando un filtro entre el rectificador y la carga. El filtro actúa como supresor de las armónicas de la forma de onda del rectificador y conserva la componente de corriente directa.

III.3.B FUNCIONAMIENTO.

El circuito de un rectificador con filtro es mostrada en la figura 14, y la señal de salida de ese circuito, en la figura 15.

El capacitor almacena energía cuando los diodos conduzcan y entrega la misma a la carga cuando los diodos están bloqueados.

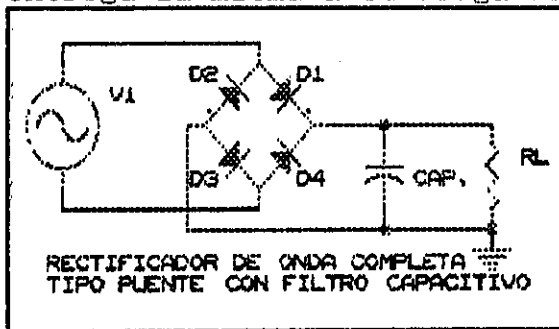


FIG.14: Circuito rectificador de onda completa con filtro.

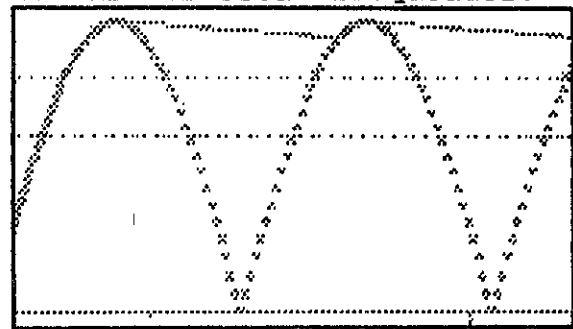


FIG.15: Salida del rectificador con filtro.

III

.3.C DISEÑO.

La descarga del voltaje de un capacitor es la de un circuito RC (ECU.5):

$$V_{RL} = V_{max} \cdot \exp - \left(\frac{(t-t_1)}{(RL * C)} \right)$$

ECU.5

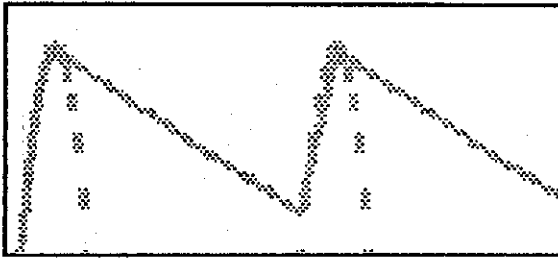


FIG.16: Voltaje de rizado.

Si la constante de tiempo $RL \cdot C$ es suficientemente grande comparada con el período de la señal de salida del rectificador, disminuye el valor pulsante del voltaje de salida como se observa en la figura 15. Aún se observa una pequeña variación del voltaje de un valor máximo a uno menor denominada voltaje de ondulación pico a pico (RIPPLE VOLTAGE)

ampliada en la figura 16.

De la ecuación 6, se obtiene el valor del capacitor.

$$C = \left(\frac{I}{V_o} \right) \cdot \left(\frac{1}{2 \cdot f} \right)$$

ECU.6

donde: $I_{carga} = V_{max}/RL = I$.
 RL: resistencia de carga.
 C: valor del capacitor.
 f: frecuencia de señal rectificada.
 V_o : Voltaje de ondulación.

Un voltaje de ondulación de 10% del voltaje final de la salida del rectificador de onda completa, es aceptable.

VOLTAJE DE TRABAJO DE LOS CAPACITORES: este voltaje viene dado:
 $V_{tc} = V_{tc} - V_r$;

donde: V_{tc} : voltaje pico del secundario del transformador.
 V_r : caída de voltaje del rectificador puente.

III.4 REGULADORES DE VOLTAJE

III.4.A GENERALIDADES.

Los reguladores de voltaje sirven para mantener un voltaje de salida constante, con variaciones de corriente de la carga o variaciones de voltaje en su entrada, después de rectificado el voltaje alterno y su paso por el filtro capacitivo; por último, el voltaje deberá pasar por un regulador antes de servir de fuente de alimentación para circuitos electrónicos.

III.4.B FUNCIONAMIENTO.

La existencia de circuitos integrados, como los reguladores, facilita su uso. Estas unidades contienen los circuitos para la fuente de referencia, el amplificador de error, el dispositivo de control y la protección a sobrecarga; todo en un solo chip de CI. Los tipos de CI's de reguladores de voltaje se clasifican en:

1. Reguladores para voltajes positivos, con salida fija.
2. Reguladores para voltajes positivos, con salida variable.
3. Reguladores para voltajes negativos, con salida fija.
4. Reguladores para voltajes negativos, con salida variable.

El regulador de voltaje fijo tiene un voltaje no regulado, aplicado a una terminal (Vent), y entrega un voltaje de salida regulado (V_{sal}) desde una segunda terminal, con la tercera terminal conectada a tierra, como se muestra en la fig 17. El regulador de voltaje de salida variable permite variar el voltaje de salida para un valor regulado que se desee (fig.18).

III.4.C DISEÑO.

Para aplicaciones en que la corriente requerida en una fuente de alimentación no sobrepase 1 amperio, pueden emplearse reguladores de la serie 78XX y 79XX (reguladores positivo y negativos respectivamente); éstos ofrecen comúnmente voltajes de salida de 5, 12, 15, 24 voltios positivos o negativos.

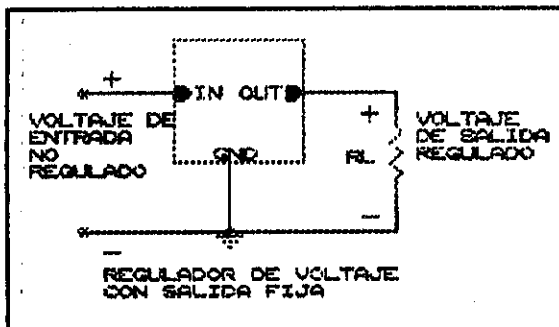


FIG.17: Regulador de voltaje con salida fija.

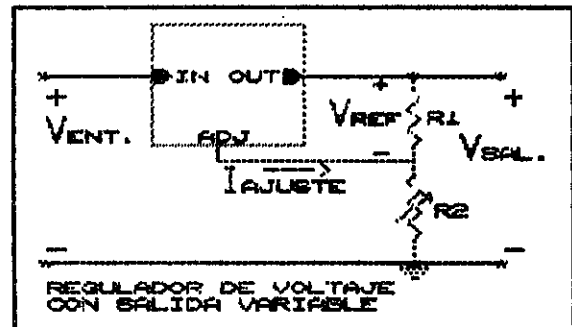


FIG.18: Regulador de voltaje con salida variable.

Los reguladores con salida variable por excelencia son los de la familia LM317 Y LM 338, como los más comunes.

- Sus datos de selección más importantes son:
- Voltaje regulado de salida(fijo o variable).
 - Tipo de polaridad de voltaje de salida.
 - Corriente máxima de salida.
 - Entrada de voltaje mínima.
 - Entrada de voltaje máxima.
 - Potencia de disipación.

Los manuales de electrónica recomiendan colocar capacitores adicionales al regulador, con valores de 0.47 μ F en la entrada y 10 μ F en la salida para mejorar la respuesta transitoria.

III.5 DISEÑO DE PROTOTIPO DE LA UNIDAD DE ALIMENTACION.

A continuación, se presenta el diseño de la unidad de alimentación del proyecto de semáforo digital programable. Esta unidad servirá de fuente de alimentación para todas las otras unidades en donde se utilice fuente de corriente continua. El voltaje nominal de entrada es la comercial de 120 V de corriente alterna, 60 Hz. Se requiere una fuente de 5 V CD con capacidad de 1 amperio, para la cual se elige un transformador sin derivación central, para construir un rectificador de onda completa tipo puente.

DETERMINACION DEL VOLTAJE SECUNDARIO DEL TRANSFORMADOR.

El voltaje del secundario que debe tener el transformador está dado por la siguiente ecuación:

$$V_t = \frac{V_f + V_r + V_d + \left(\frac{V_o}{2}\right)}{\sqrt{2}} * \left(\frac{V_{nom}}{V_{min}}\right) * (FS)$$

ECU.7

donde: V_t : es el voltaje del secundario del transformador (voltaje RMS entre las terminales del transformador).
 V_f : es el voltaje de salida de la fuente.
 V_r : caída de voltaje en el regulador de voltaje.
 V_d : es la caída de voltaje por los diodos.
 V_o : voltaje de ondulación (rizado) pico a pico.
 V_{nom} : es el voltaje nominal de la línea.
 V_{min} : es el voltaje mínimo de la línea.
 F_s : factor de seguridad, normalmente igual a 1.1

VOLTAJE DE LA FUENTE: para los usos de alimentación a las unidades de la familia TTL y otros dispositivos electrónicos utilizados en este proyecto, se desean 5 voltios.

CAIDA DE VOLTAJE EN EL REGULADOR: se selecciona el ECG 931 con las siguientes características:

V_{salida} :	5 V CD.
I nominal:	3 A
V entrada max:	20 V CD.
V entrada min:	7.5 V CD.
Pot. disipación max:	30 W.

Obtenemos que $V_r = 7.5 - 5.0 = 2.5$ V CA.

CAIDA DE VOLTAJE POR LOS DIODOS: se selecciona el rectificador puente ECG 5330 cuyos datos de selección son:

Voltaje de pico inverso:	600 V CA.
Corriente promedio rectificadora:	6 A
Caída de voltaje max. por elemento:	0.7 V a 1 A
Corriente max. de pico repetitiva:	200 A
Tipo de rectificador:	Silicio.

Obtenemos que $V_d = 2 * (0.7 \text{ V}) = 1.4$ V

VOLTAJE DE ONDULACION: este voltaje en la práctica tiene un valor aceptado de 10% de voltaje salida de rectificador (0.75V).

VOLTAJE NOMINAL DE LA LINEA: este voltaje es el voltaje nominal de alimentación del primario. En nuestro medio, tiene un valor de 120 V RMS.

VOLTAJE MINIMO DE LA LINEA: voltaje mínimo al que va estar conectado el primario; en nuestro medio es aceptable 100 volts.

Sustituyendo los valores en la ecuación principal, obtendremos el valor del voltaje requerido del secundario del transformador.

$$V_t = \frac{5 + 2.5 + 1.4 + \frac{0.75}{2}}{\sqrt{2}} * \left(\frac{120}{100}\right) * (1.1) = 8.68$$

Comercialmente existen transformadores con secundarios de 6, 9, 12, 15 y 24 volts. Se selecciona el de 9 V RMS.

ECU.8

DETERMINACION DE LA CORRIENTE DEL TRANSFORMADOR:

La corriente, que circula por los diodos, lo hace en intervalos de tiempo inferiores a la duración de un semiciclo. El cálculo del valor de la corriente solamente puede llevarse a cabo mediante un análisis complejo. Sin embargo en la práctica, la determinación de esta se efectúa según la siguiente tabla:

Rectificadores de 4 diodos: $I_t = I * 1.8.$
 Rectificadores de 2 diodos: $I_t = I * 1.2.$

Donde: I_t : corriente del secundario del transformador (RMS).
 I : corriente que suministra la fuente.

Tomando la corriente máxima que debe proporcionar la fuente que es de 1 amperio, el valor de I_t es igual a 1.8 Amperios RMS.

LA CAPACIDAD EN VOLT-AMPERIO DEL TRANSFORMADOR ES DE:

$$VA = 9 * 1.8 = 16.2 \text{ VA}$$

ELECCION DE LOS CAPACITORES DEL FILTRO: el valor del capacitor a ser empleado en la fuente puede determinarse según la ecuación 9:

$$C = \frac{I}{V_o} * T_c = \left(\frac{1}{0.75}\right) * \left(\frac{1}{2 * 60}\right) = 11100 \mu\text{f}$$

donde:
 I : corriente de la fuente (1A).
 V_o : voltaje de ondulación (10% de 7.5V).

ECU.9

T_c : tiempo en que el capacitor suministra energía que en un rectificador de onda completa es $1/(2*f)$.
 f : Es la frecuencia de la red (60 Hz).

Para ello, pueden emplearse capacitores de valores comerciales siguientes:

- 1 capacitor electrolítico de 10,000 uf.
- 1 Capacitor electrolítico de 1,000 uf.

EL VOLTAJE DE TRABAJO DE LOS CAPACITORES se obtiene:

$$V_{tc} \approx V_{max. sec} \cdot V_d = (9 * \sqrt{2}) - (2 * 0.7) = 11.33\text{V}.$$

ECU.10

Donde: V_{tc} : voltaje de trabajo del capacitor.
 $V_{max. sec}$: voltaje pico del secundario.
 V_d : Caída de voltaje debido a los diodos.

Es de 12 volts, por margen de seguridad, se eligen de 16 volts.
 Para el regulador de voltaje, se recomiendan capacitores:
 De entrada: 0.47 uF, 16 Volts. De salida: 10 uF, 16 Volts.

SUPRESORES DE TRASIENTES (picos) DE VOLTAJE DE CORRIENTE ALTERNA:

DISPOSITIVO	ECG 4989	ECG 4927
Lado del transformador:	primario	secundario
V CA (RMS):	121 V.	10.80 V.
Breakdown Voltage:	Mínimo:	17.10 V.
	Nominal:	18.00 V.
	Máximo:	18.90 V.
Pico de corriente pulsante:	5.5 A.	59.5 A.
Voltaje de clamping:	274 V.	25.2 V.
Coefficiente de temperatura:	0.108%/°C	0.088%/°C
Potencia del pico del pulso:	1500W.	1500W.

SUPRESORES DE TRASIENTES (picos) DE VOLTAJE DE CORRIENTE DIRECTA:

DISPOSITIVO	ECG 4918	ECG 4900
V inverso DC:	11.1 v.	5 V.
Breakdown Voltage:	Mínimo:	-----.
	Nominal:	6 V, it=1 mA.
	Máximo:	-----.
Pico de corriente pulsante:	82 A.	-----.
Voltaje de clamping:	18.2 V.	8.5 V, ipp= 120 A.
	-----	8.0 V, ipp= 60 A.
	-----	7.6 V, ipp= 30 A.
Coefficiente de temperatura:	0.081%/°C	-----.
Potencia del pico del pulso:	1500W.	1500W.
El ECG 4900 está diseñado para proteger circuitería de 5.0 V., como las familias TTL, DTL y MOS.		

La selección del fusible se hace en función de la corriente que se espera no sobrepasar en la unidad; se escogió el de 1 A

Para hacer confiable el sistema de control, se tiene una batería que respaldará a ésta, cuando la energía primaria proporcionada por la EEGSA fallara. La selección de la batería se hace en función de la capacidad de energía que puede proporcionar; ésta viene especificada en Amperes-hora; una batería de 24 Amperes-hora es recomendable para esta circuitería, y deberá ser recargable.

A continuación, se presenta el listado de dispositivos utilizados, el circuito impreso y el diagrama de la unidad de alimentación.

UNIDAD DE ALIMENTACION

Revisado: abril 5, 1996

Item	Cantidad	Referencia	Parte
1	1	BT1	6 V DC,
2	1	C9	10000 uF, 16 V
3	1	C10	1000 uF, 16 V
4	1	C11	0.47 uF, 16 V
5	1	C12	10 uF, 16 V
6	1	D1	4989,
7	1	D2	4927,
8	1	D3	4918,
9	1	D4	125,
10	1	D5	4900,
11	1	F1	FUSIBLE 1A,
12	1	Q27	5330,
13	1	Q28	931,
14	1	R35	170,
15	1	T1	TRANSFORMADOR 120AC/9V CA
16	1	V1	120 V CA, 60Hz.

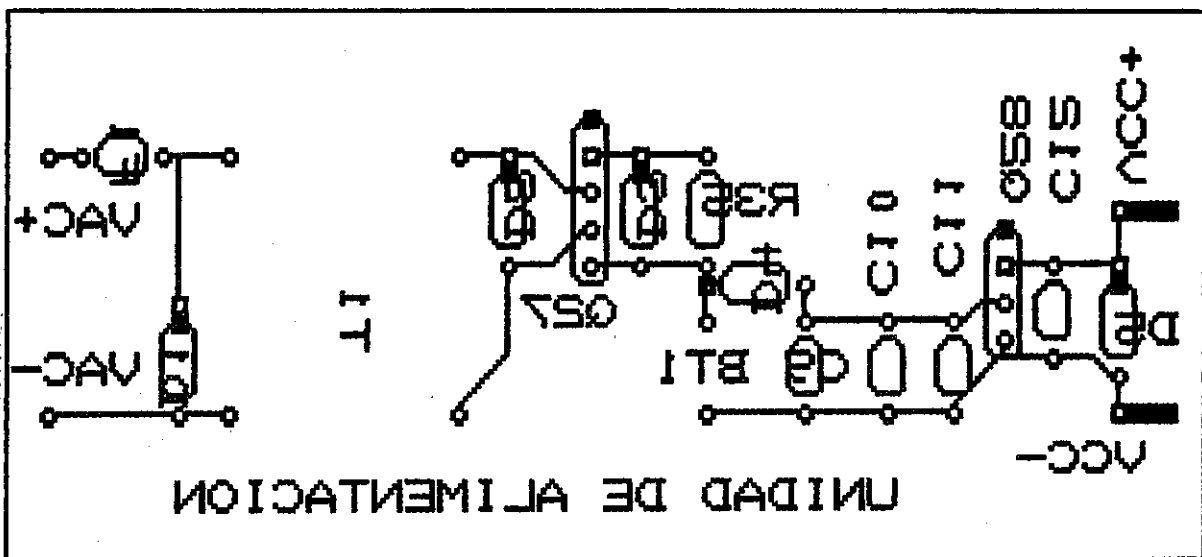
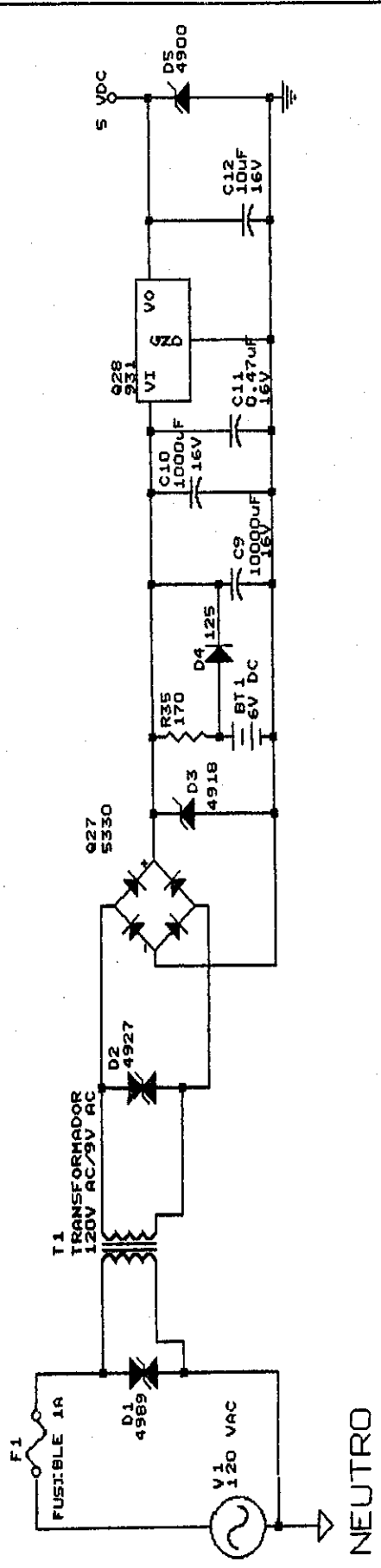


FIG.18A: Circuito impreso de la unidad de alimentación.



ANTEPROYECTO:SEMAFORO DIGITAL PROGRAMABLE
 MIGUEL PEREZ GUARCAS
 UNIDAD DE E.P.S. FAC. INGENIERIA
 ESCUELA DE INGENIERIA MECANICA ELECTRICA
 UNIVERSIDAD DE SAN CARLOS
 Title UNIDAD DE ALIMENTACION
 Size Document Number 1
 A REV G
 Date: October 21, 1996 Sheet 1 of 5

IV. UNIDAD LOGICA DE CONTROL DE TIEMPO

IV.1 TEMPORIZADORES

IV.1.A GENERALIDADES

La necesidad de generar pulsos a intervalos de tiempos determinados, hace necesaria la utilización de multivibradores como sencillos generadores de pulsos de reloj. Las aplicaciones en las cuales se requiere de un circuito capaz de producir intervalos de tiempo medido como los timer's o temporizadores son sumamente variados, entre ellas destacan: osciladores, generadores de pulso, generadores de rampa u onda cuadrada, multivibradores de un disparo, alarmas contra robo y monitores de voltaje.

El circuito integrado más versátil, confiable, económico y popular de propósito general es el 555 (ECG 955M), cuya operación es a base de amplificadores operacionales y dispositivos biestables. El 555 fue introducido por los Signetics Corporation que la describe como: un circuito temporizador monolítico altamente estable capaz de producir retardos exactos de tiempo, u oscilaciones. Se proporcionan terminales adicionales para disparo o restablecido si se desea. En el modo de operación de retardo de tiempo, se controla con precisión mediante un resistor y un capacitor externos. Para operación estable como oscilador, la frecuencia de oscilación libre y el ciclo de circuito se controlan con exactitud con dos resistores y un capacitor externos. El circuito puede dispararse y restablecerse en formas de onda descendentes, y la estructura de la salida puede ser fuente o drenador hasta 200 mA o impulsar circuitos TTL.

IV.1.B FUNCIONAMIENTO

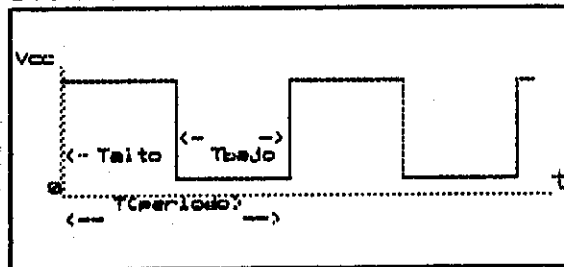


FIG. 19: Señal Oscilatoria de un multivibrador estable.

Estas generaran pulsos, que servirán de entrada para otros dispositivos del sistema.

Un multivibrador estable, es un circuito oscilador, que una vez energizado, produce una señal de salida que se repite cada cierto período; su forma de onda puede ser senoidal triangular o cuadrada; para efectos de este proyecto, se considera sólo el multivibrador estable con forma de onda cuadrada en su salida, como la mostrada en la figura 19.

El CI 555 contiene internamente: un par de circuitos comparadores, un flip-flop RS, tres resistencias de 5K, un transistor BJT NPN. Externamente deben ir acoplado a ella dos resistencias (RA, RB) y un capacitor (C1), cuyos valores dependerán del diseño y un capacitor de 0.01 uF. El CI 555 conectado como multivibrador estable se muestra en la figura 20.

Los circuitos comparadores están contruidos con base en amplificadores operacionales, y su funcionamiento se basa en que generan un voltaje de salida casi igual al de su alimentación (Vcc) cuando el voltaje en su terminal positiva es mayor que el voltaje en su terminal negativa. De otro modo, el voltaje en la salida es igual a cero.

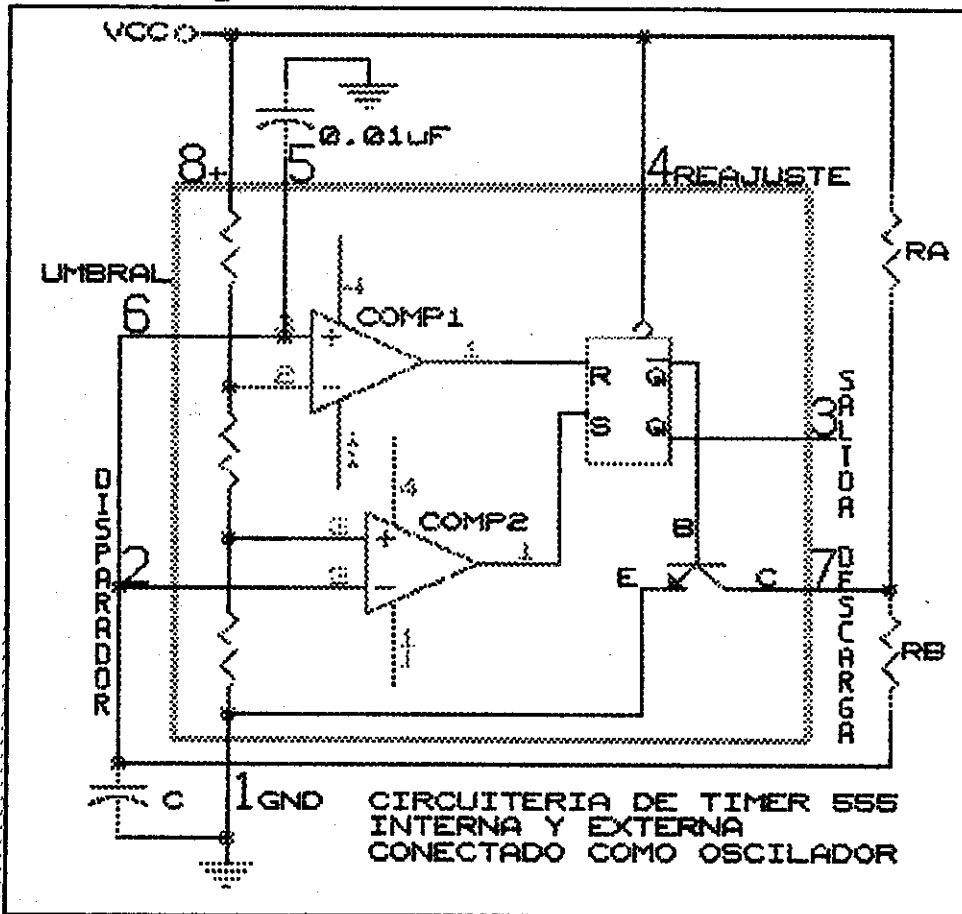


FIG.20: Circuito interno de 555.

El flip-flop RS genera en su salida (terminal Q) un voltaje Vcc o 0 V, y dependiendo de los voltajes en sus terminales R y S. Esto puede determinarse según la siguiente tabla .

R	S	Q
0	Vcc	Vcc
Vcc	0	0
0	0	---

BASE	ESTADO	VCE
0	OFF	ABIERTO
Vcc	ON	CORTO

El transistor BJT es un dispositivo semiconductor, de tres terminales denominadas: C= colector, E= emisor y B=base.

Su funcionamiento es de dos estados:
 On= estado de conducción o cortocircuito entre C y E;
 Off= estado de apagado o circuito abierto entre C y E.
 Los estados dependen del voltaje en B, según la tabla de arriba.

Las terminales del 555 son 8:

- Terminal #1: es la común o tierra.
- Terminal #2: la entrada de disparo: ésta es una entrada de comparación para determinar la salida.
- Terminal #3: la salida: puede ser ya sea la fuente con carga a tierra o drenador de corriente con carga flotante. El máximo drenaje o fuente es de 40 mA.
- Terminal #4: el restablecimiento: ésta terminal permite des-habilitar el 555 y controla a la señal de comando en la entrada de disparo. Cuando no se usa, debe de amarrarse a Vcc.
- Terminal #5: voltaje de control: debe conectarse un capacitor de 0.01uF desde ella a tierra, para derivar los voltajes de ruido y/o modulación de la fuente, y minimiza su efecto en el voltaje umbral.
- Terminal #6: el Umbral: esta es una entrada de comparación para determinar la salida.
- Terminal #7: la Descarga: se usa para descargar el capacitor externo del timer el tiempo que la salida es baja.
- Terminal #8: la terminal de alimentación: ésta puede ser desde 5 V (lógica digital) hasta 18 V (CI lineales).

La salida del 555 estará determinada por la siguiente tabla:

Voltaje capacitor	Salida de comparador 1	Salida de comparador 2	estado bjt	Salida 555
	R	S	B	Q
0	0	Vcc	Off	Vcc
1/3 Vcc	0	0	Off	Vcc
2/3 Vcc	1	0	On	0
1/3 Vcc	0	1	Off	Vcc

Deduciendo de la tabla que una vez el voltaje en el capacitor alcance $2/3 V_{cc}$, la salida Q estará a un valor Vcc y el transistor se encarga entonces de descargar el capacitor a través de la resistencia RB hasta un valor de $1/3 V_{cc}$, que es cuando las condiciones internas del 555 colocan su salida a 0, y el transistor entra en el estado Off, y permite que el capacitor se vuelva a cargar. Este ciclo se repite mientras la terminal de reajuste se encuentre conectado a Vcc. El período de tiempo que la salida se encuentra con valor de Vcc y de 0, viene determinado por las resistencias RB, RA y el capacitor C, y produce en la salida la forma de onda de la fig. 19.

IV.1.C DISEÑO

El diagrama de conexiones del CI 555 como multivibrador estable o circuito oscilador se muestra en la figura 21. El tiempo alto o voltaje de salida igual a Vcc y el tiempo bajo vienen determinados por las ecuaciones siguientes:

$$T_{ALTO} = 0.695(R_A + R_B)C$$

ECU.11

$$T_{BAJO} = 0.695(R_B)C$$

ECU.12

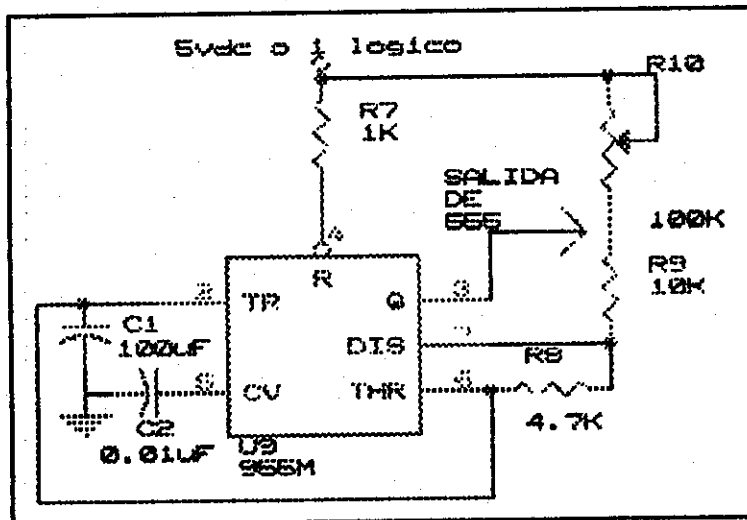


FIG.21: Circuito de un multivibrador estable con un 555.

IV.2 CONTADORES

IV.2.A GENERALIDADES

La comprensión de los sistemas digitales, requiere familiarizarse con el sistema binario. En un lenguaje binario, existen dos estados: cero lógico (0) y uno lógico (1). Estos a su vez representan físicamente valores de voltajes; para el cero lógico, 0 voltios y para el uno lógico, 5 voltios.

En el sistema decimal, el conteo se realiza en unidades hasta alcanzar el número 9, y cuando se cuenta una unidad más se regresa a la unidad 0, pero se coloca un 1 en la segunda columna (columna de segundo orden), para indicar que el conteo se ha realizado a través de todas las unidades y da entonces el 10. Para contar en la escala binaria, se sigue el mismo procedimiento, usando solamente los números 0 y 1. Después de contar 1, se han usado todas las unidades y es necesario mover un 1 en la columna de segundo orden para indicar que se ha contado a

través de toda la escala una vez. De acuerdo con lo anterior, el número 2 decimal se indica por el número 10 (llamado uno-cero, no diez).

La siguiente tabla muestra el equivalente binario de algunos de los números decimales.

DECIMAL	0	1	2	4	8	12	16	32
BINARIO	0	01	10	100	1000	1100	10000	100000

En general, un número expresado en un sistema de base r tiene coeficientes multiplicados por las potencias r :

$$a_n r^n + a_{n-1} r^{n-1} + \dots + a_2 r^2 + a_1 r + a_0 + a_{-1} r^{-1} + \dots + a_{-m} r^{-m}$$

ECU.13

Los coeficientes a_j varían desde 0 a $r-1$.

En el sistema binario $r=2$.

La lógica binaria se usa para describir, matemáticamente, la manipulación y el proceso de la información binaria.

CONTADOR: es un circuito secuencial temporizado, tipo registro, que pasa a través de una secuencia determinada de estados bajo la aplicación de pulsos de entrada. Las compuertas en un contador están conectadas de tal forma que producen una secuencia prescrita de estados binarios en el registro. En todos los tipos de equipo digital, se encuentran flip-flops programados o conectados como contadores, y se usan no solamente como contadores, sino como equipo para dar la secuencia de operación, división de frecuencias, así como para manipulación matemática. Los contadores son sistemas de memoria que recuerdan cuántos pulsos de reloj han sido aplicados en la entrada. La secuencia en que esta información se almacena depende de las condiciones de la aplicación y del criterio del diseñador de equipo lógico.

IV.2.B FUNCIONAMIENTO

CONTADORES TIPO RIZADO: el contador tipo rizado es un contador básico comúnmente implementado con CI's; de todos los contadores, es el más sencillo en lógica y, por lo tanto, de diseño fácil. Los flip-flops en este contador no están bajo el mando de un solo pulso de reloj, por lo cual es asíncrono. En la figura 22, se muestra un contador binario tipo rizado de 4 dígitos. Si inicialmente todos los flip-flops están en el estado lógico 0 ($QA = QB = QC = QD = 0$), cuando se aplique un pulso del reloj en la entrada de reloj del flip-flop A, causará que QA cambie de 0 lógico a 1 lógico, y el flip-flop B no cambiará de estado, ya que es disparado por la transición negativa del pulso, o sea, cuando la entrada de reloj cambie de 1 lógico a 0 lógico.

Con la llegada del segundo pulso del reloj al flip-flop A, QA cambia de 1 a 0; este cambio de estado crea la transición negativa del pulso necesaria para disparar el flip-flop B y, por lo tanto, QB cambia de 0 a 1. Antes de la llegada del décimo sexto pulso del reloj todos los flip-flops están en el estado 1, y el pulso 16 causa que QA, QB, QC, QD cambien a 0 lógico.

El contador binario de 4 dígitos repite el ciclo cada 2^n (n = número de flip-flops) pulsos de reloj. Este contador tiene 16 estados discretos que van desde 0 hasta 2^n-1 .

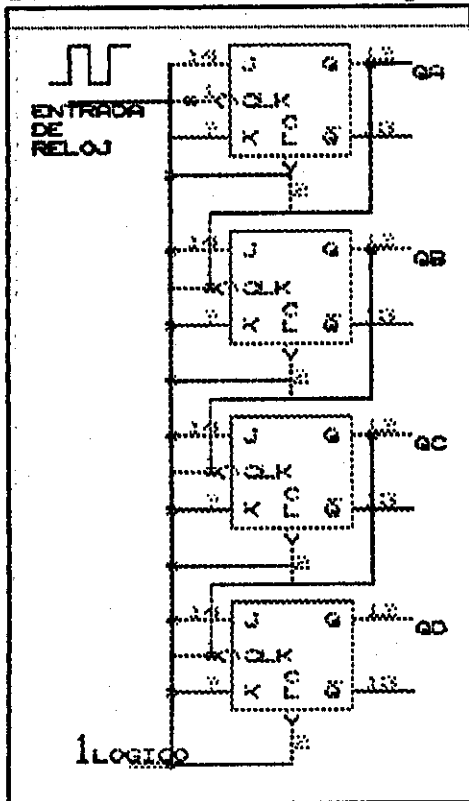


FIG.22: Circuito interno de un contador asíncrono.

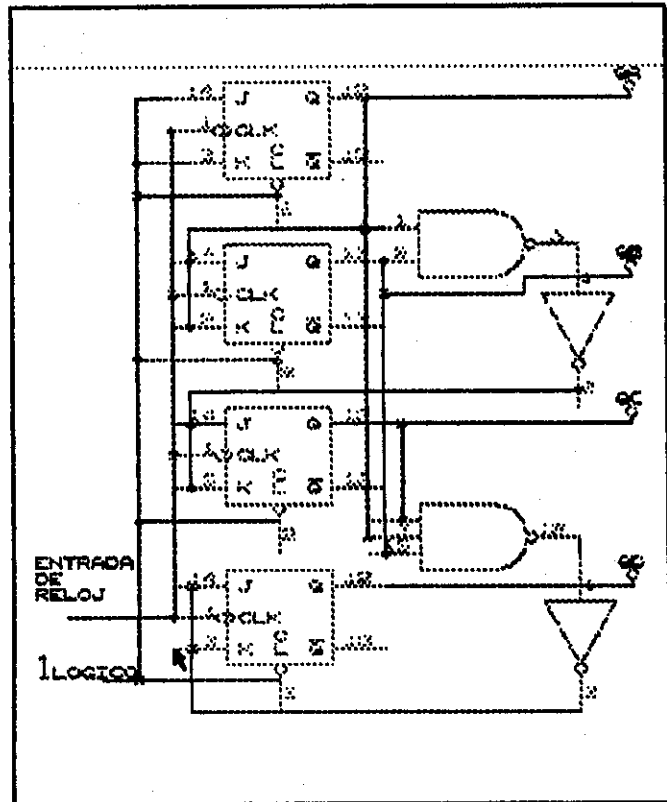


FIG 23: Circuito interno de un contador síncrono.

CONTADORES SINCRONICOS: en este contador todos los flip-flops están bajo el control del mismo pulso de reloj. En la fig 23, se muestra un contador sincrónico de 4 dígitos binarios con cargo en paralelo, también conocido como cargo adelantado, que es el más rápido de los dos contadores.

IV.2.C. DISEÑO.

CONTADORES DE LAS SERIES 54/74.

Se encuentran disponibles contadores de la serie 54/74 para satisfacer muchas de las necesidades normales. Estos contadores consisten de cuatro flip-flops maestro esclavo (master-slave) interconectados internamente. Están provistos de una línea directa a través de un bloque de compuerta para restablecer (reajustar) con el objeto de inhibir las entradas de conteo y regresar todas las salidas a 0 lógico.

La frecuencia máxima del reloj para un contador es:

$$1/f \leq N (T_p) + T_s$$

donde: N=número de etapas de flip-flops.
 T_p=tiempo de propagación de flip-flops (50ns)
 T_s = tiempo de propagación de la entrada a la salida de los bloques de control (compuertas and e inversor de 100 nS aproximadamente)

Para encontrar el número de flip-flops para un determinado ciclo:

$$2^{n-1} \leq N \leq 2^n$$

donde: N = longitud del ciclo de conteo. Si N no es una potencia de 2, se debe usar la siguiente potencia de 2 superior. A continuación, se presenta un sumario de contadores Serie 54/74

TIPOS	MODO	PROGRA MABLE	BORRADO	FREC. RELOJ MHz.	POT. DISP. mW.
SN54/7490	Div, 2, 5, 10 DECADA	NO	CON COMP.	18	160
SN54/7492	Div 2, 3, 6, 12	NO	CON COMP.	18	155
SN54/7493 Y	Div 2, 4, 6, 12	NO	CON COMP.	18 Y	160
SN54/74393	BINARIO	NO	CON COMP.	3	160
SN54/74190	SINCRONICO DECADA	SI	NO	30	325
SN54/74191	SINCRONICO BINARIO	SI	NO	30	325
SN54/74192	SINCRONICO BINARIO	SI	SI	30	325
SN54/74193	SINCRONICO BINARIO	SI	SI	32	325

IV.3 DISPARADOR SCHMITT.

IV.3.A. GENERALIDADES.

El disparador Schmitt se usa para realizar formateo o configuración de onda. El disparador Schmitt es sensible al nivel, y conmuta el estado de la salida a dos distintos niveles de disparo, uno llamado el nivel inferior de disparo (LTL, Lower Triggered Level), y otro un nivel superior de disparo (UTL, Upper Triggered Level).

IV.3.B FUNCIONAMIENTO.

El circuito generalmente opera desde una señal de entrada con variaciones lentas, tales como una forma de onda sinusoidal, y produce una salida digital, en términos de un nivel de voltaje, ya sea de estado lógico 0 o 1, como se muestra en la figura 24.

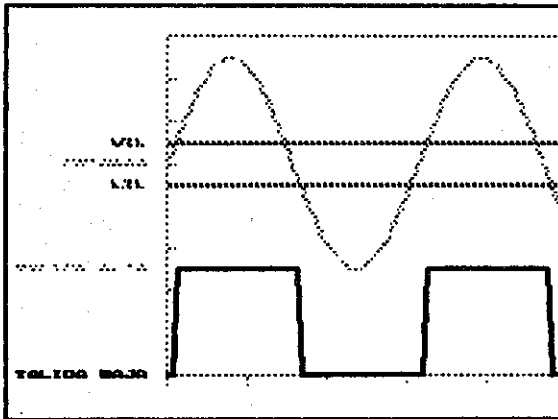


FIG.24: Señal de entrada y salida de un Schmitt.

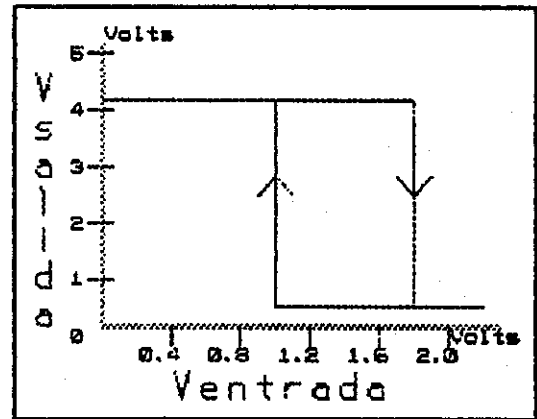


FIG.25: Característica de transferencia de un Schmitt.

La frecuencia de la señal es la misma a la salida que a la entrada, excepto que la salida tiene una pendiente de forma más abrupta y permanece en el nivel de voltaje alto o bajo hasta que se conmuta.

IV.3.C DISEÑO.

Según se incrementa la entrada sobre un nivel de umbral superior (1.8 V para esta unidad), la salida se conmuta a su nivel bajo (cerca de 0V). Conforme la entrada se decremента desde su nivel alto, la salida permanece en nivel bajo hasta que la entrada baje del nivel de umbral inferior (1.0 para este criterio), lo que hace que la salida vaya a su nivel alto (>4V). Esta característica de transferencia para el 7414 se observa en la gráfica 25.

Los disparadores Schmitt se obtienen en CI's de unidades sextuples, tales como el 7414. Sus características son:
 Voltajes de umbral: superior = 1.8 V Inferior= 1.0 V
 Voltajes de salida: alta = 4.0 V Baja = 0.0 V

IV.5 DISEÑO DE PROTOTIPO DE: LA UNIDAD LÓGICA DE CONTROL DE TIEMPO.

CONDICIONES: para el presente proyecto, la unidad deberá generar una secuencia de conteo binario para cumplir con lo siguiente:

1. deberá accesar una dirección de memoria cada 5 segundos.
2. la secuencia del direccionamiento deberá ser en forma ascendente empezando de dirección cero hasta el valor dado por:

$$\left(\frac{1 \text{ DIRECCION}}{5 \text{ SEG}} \right) * \left(\frac{60 \text{ SEG}}{1 \text{ MIN}} \right) * \left(\frac{60 \text{ MIN}}{1 \text{ HORA}} \right) * \left(\frac{24 \text{ HORAS}}{1 \text{ DIA}} \right) = 17280 \frac{\text{DIRECCIONES}}{\text{DIA}}$$

ECU.14

3. la salida hacia la memoria deberá ser binaria:
 salida de dirección inicial: 00000000000000
 Salida de dirección final: 10000111000000

4. Debe contener un reloj principal con período de 5 segundos, la cual será la responsable de generar los pulsos del contador.
5. Debe contener un reloj secundario con período de 1 segundo, que es utilizado para generar la oscilación de flasheo.

FUNCIONAMIENTO: esta unidad inicia su operación con el timer #1, la que servirá de reloj principal, que enviará una señal oscilatoria que actúa de pulso al contador #1, después de pasar por el disparador Schmitt. Este pulso de reloj se dará cada 5 segundos, lo que hará que el contador cuente secuencialmente de 0 a 15, y se reinicia nuevamente al llegar al pulso 16, como se observa del primer bloque del diagrama de la forma de onda, presentado en el anexo 1.

La salida QD del primer contador servirá de pulso de reloj al contador #2 (mostrado en forma reducida en el tiempo en el bloque #2), y cuando QD cambie de nivel 1 lógico a 0 lógico, el contador #2 cambiará su estado de 0000 a 0001, y cada vez que la salida QD del primer contador cambie de estado 1 a 0 lógico, el contador #2 cambiara de estado en sus salidas.

Cuando la salida QD del contador #2 cambie de estado 1 a 0 lógico, ésta reiniciará su conteo, y a la vez la salida QD servirá de pulso de reloj para el contador #3 (mostrado en el bloque #3, con reducción en el tiempo).

De igual forma la salida QD del contador #3 servirá de pulso de reloj al contador #4, teniendo la misma operación que los contadores anteriores; esta configuración en cascada permite que se pueda acceder la memoria de la unidad lógica programable desde una dirección inicial 00000000000000 hasta una final de 10000111000000 (mostrado en el bloque #4).

Cuando se llegue a esta dirección final, entonces una señal de la unidad de lógica combinatorial a través de línea D30 (ULCT2), enviará un pulso a todas las terminales de restablecimiento de los contadores, para colocar sus salidas en 00000000000000, y se reinicia el ciclo después de cumplir con su secuencia durante 24 horas.

La salida de los 4 contadores es enviada a la unidad de lógica programable desde la línea marcada D15 hasta la D28 (ULP1.. ULP14), para direccionar la memoria; además las líneas D21, D22, D23, D28 (ULC1, ULC2, ULC3, ULC4) van a la unidad de lógica combinatorial, para indicar cuándo se debe reiniciar el ciclo.

El disparador Schmitt servirá para invertir la señal de salida del reloj principal, ya que ésta inicia su conteo en un nivel lógico 1; al pasar por el Schmitt, el primer pulso de reloj recibido por el contador #1 iniciará su ciclo en un nivel lógico 0 para no afectar la secuencia ni el tiempo, además, su característica de buffer evita drenar corriente de el timer#1.

Además del timer 1, se tiene en esta unidad el timer 2, que desarrolla la función de mandar una señal oscilatoria periódica de 1 segundo, cuando reciba un 1 lógico en su terminal de restablecimiento (terminal #4), enviada desde la unidad de lógica programable, por medio de la línea D11 (ULCT1).

La salida es enviada por la línea D14 (ULC5) a la unidad de lógica combinatorial, la que después de discriminar hará que la luz o luces seleccionadas tengan oscilaciones de encendido y apagado (flasheo) en lapsos de 1 segundo, mientras la unidad lógica programable mantenga el 1 lógico sobre el timer2.

TIMER 1: se utiliza el CI ECG 955M.

Con: RA=10K mínimo a 110K máximo; RB=4.7K; C=100uF. Se obtienen:

$$T(H_{max}) = 0.695(114.7K)100uF = 7972ms; \dots T(H_{min}) = 0.695(14.7K)100uF = 1022ms$$

ECU.15

$$T_{BAJO} = 0.695(4.7K)100uF = 327ms; \dots T_{TOTALMAX} = 8624ms; \dots T_{TOTALMIN} = 1675ms.$$

ECU.16

TIMER 2: se utiliza el CI ECG 955M.

Con: RA=10K mínimo a 110K máximo; RB=4.7K; C=33uF. Se obtienen:

$$T_{ALTO MAX} = 0.695(114.7K)33uF = 2631ms; \dots T_{ALTO MIN} = 0.695(14.7K)33uF = 337ms.$$

ECU.17

$$T_{BAJO} = 0.695(4.7K)33uF = 108ms; \dots T_{TOTALMAX} = 2738ms; \dots T_{TOTALMIN} = 444ms.$$

ECU.18

donde: T(Hmax): tiempo alto máximo;
T(Hmin): tiempo alto mínimo.

Ajústense los períodos:

Timer#1 = 5 segundo. y Timer#2 = 1 segundo.

DISPARADOR SCHMITT: se utiliza el ECG 74LS14. La resistencia en su entrada, servirá sólo para ayudar a reconocer los niveles 1 y 0 lógico con mayor determinación y drenar la corriente de la fuente y no de la salida del timer 1 cuando se encuentre esta última en su estado lógico 1. Se sugieren valores de 1K a 10K.

CONTADORES: se utilizan 4 contadores ECG 74393, las cuales vienen empaquetadas en pares en una unidad; las características de determinación de este CI se definieron anteriormente.

A continuación, se enumeran los dispositivos utilizados:

UNIDAD LOGICA DE CONTROL DE TIEMPO

Item	Cantidad	Referencia	Parte
1	1	C1	100uF,
2	2	C2,C4	0.01uF,
3	1	C3	33uF,
4	2	R7,R11	1K,
5	2	R8,R12	4.7K,
6	2	R9,R13	10K,
7	2	R10,R14	100K,
8	1	U6	7414,
9	2	U7,U8	74393,
10	2	U9,U10	955M,

Se presenta también el diagrama de temporizado (anexo1) de la unidad, la gráfica del circuito impreso (FIG.25A) y el diagrama de alambrado de la unidad lógica de control de tiempo.

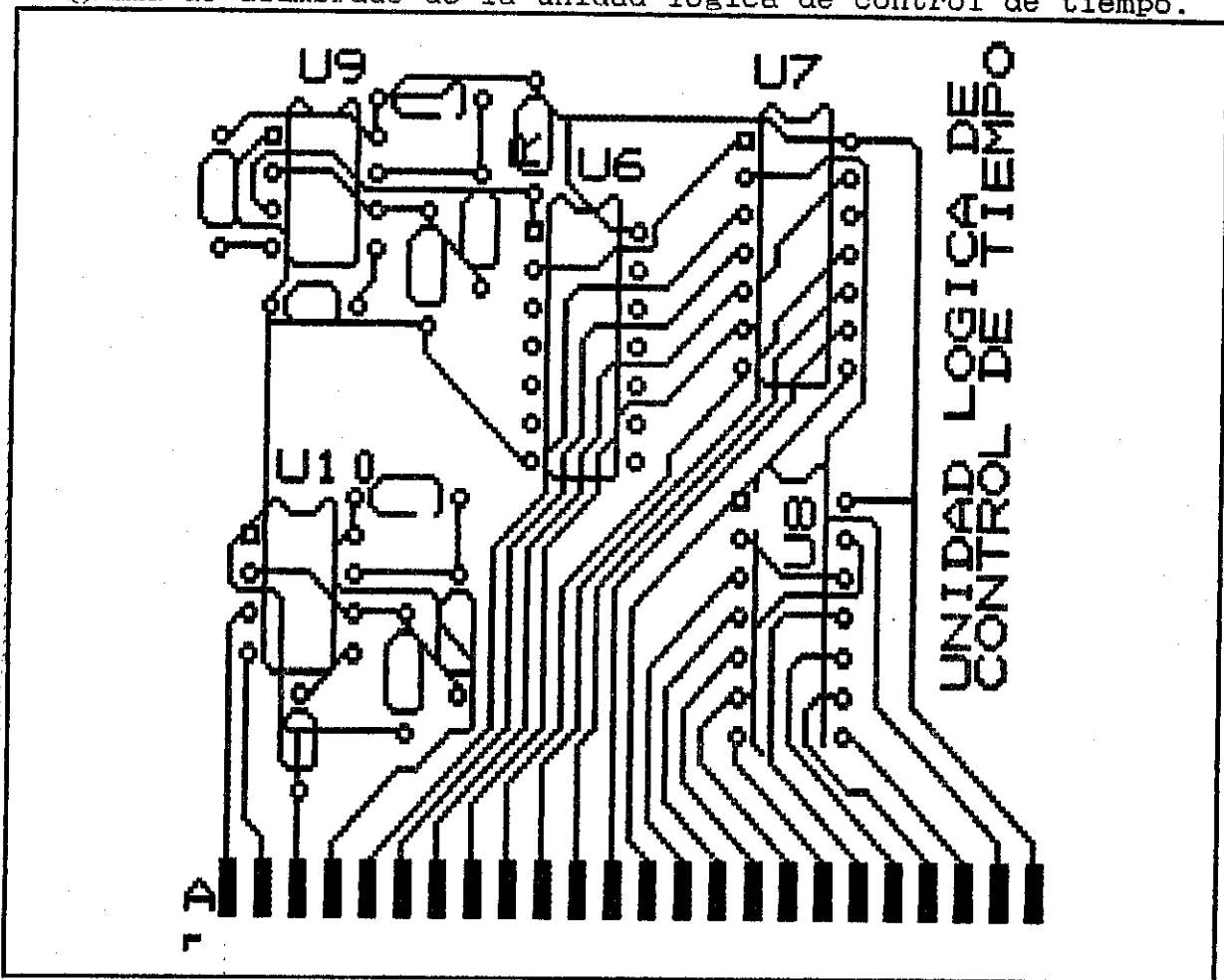
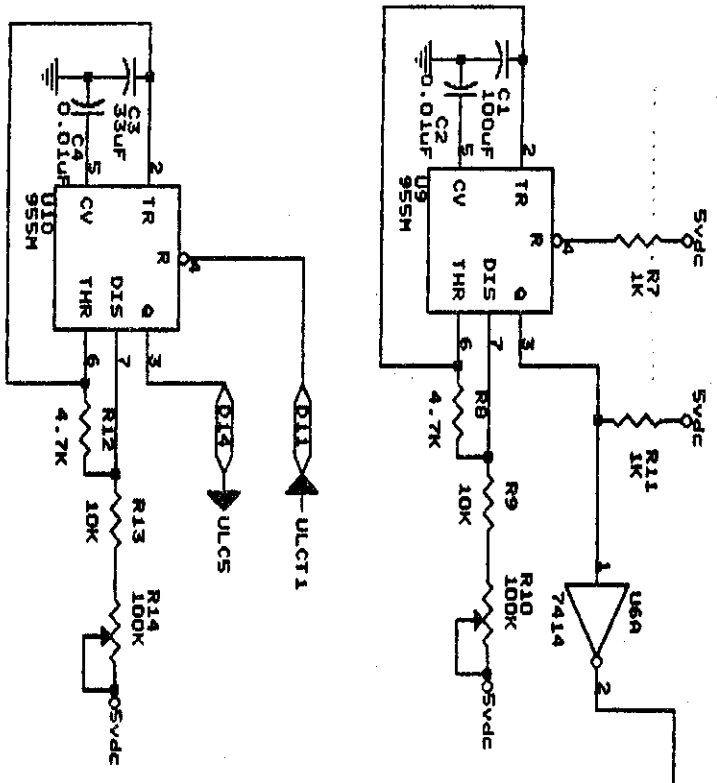
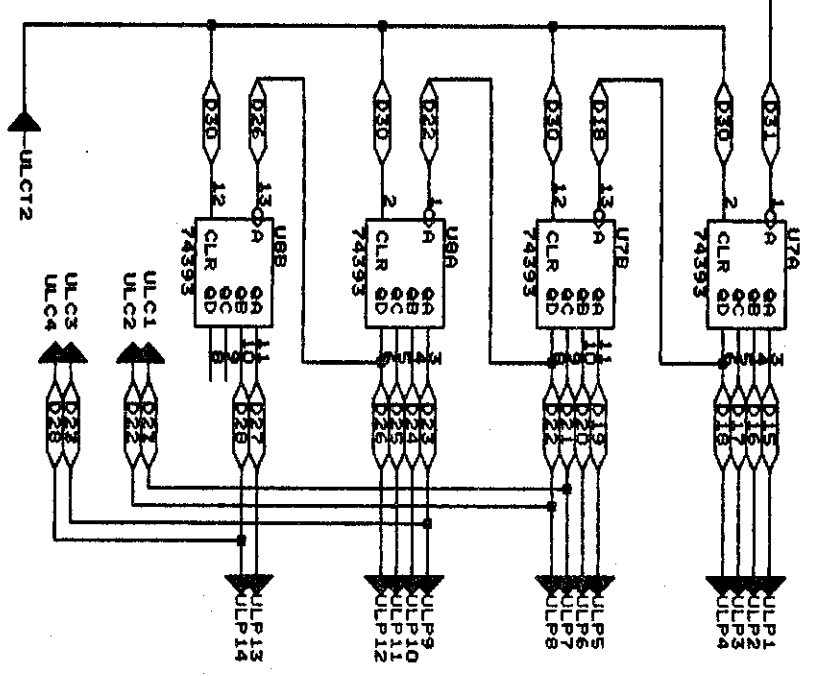


FIG.25A: Circuito impreso de la unidad 4.



- ULP1..ULP14: VAN A LA UNIDAD DE LOGICA PROGRAMABLE
- ULC1..ULC5: VAN A LA UNIDAD DE LOGICA COMBINACIONAL
- ULCT1: PROVIENE DE LA UNIDAD DE LOGICA PROGRAMABLE
- ULCT2: PROVIENE DE LA UNIDAD DE LOGICA COMBINACIONAL
- U9, U10 : TIMER'S 955M
- U6 : SCHMITT TRIGGER 7414
- U7, U8: CONTADORES BINARIOS 74393



ANTEPROYECTO: SEMAFORO DIGITAL PROGRAMABLE
 MIGUEL PEREZ GUARCAS
 UNIDAD DE E.P.S. FAC. INGENIERIA
 ESCUELA DE INGENIERIA MECANICA ELECTRICA
 UNIVERSIDAD DE SAN CARLOS
 TITULO
 UNIDAD LOGICA DE CONTROL DE TIEMPO
 Size Document Number 2
 A
 Date: August 12, 1986 Sheet 1 of 1
 REV G

V. UNIDAD LOGICA PROGRAMABLE

V.1 MEMORIAS.

V.1.A GENERALIDADES.

La unidad de memoria es una unidad que almacena pocos o millones de números; es el centro de la operación de una computadora. Aunque la memoria de núcleo magnético fue usado como el principal tipo de memoria por casi 20 años, las memorias CI o de semiconductor se están utilizando en la mayoría de las computadoras actuales.

Entre los diversos factores involucrados en la selección de un tipo de memoria, los más importantes son la velocidad, el tamaño y el costo. Las unidades de memoria CI actualmente son las más rápidas, las más pequeñas y las más baratas, por tanto, las más utilizadas.

Una celda simple de memoria puede mantener o almacenar un número binario 1 o 0 (un simple bit). Un grupo de celdas de memoria se emplean para almacenar un grupo de bits, denominado palabra (un grupo de ocho bits es un byte). El tamaño de la memoria frecuentemente se representa, ya sea por el total de bits o el total de bytes (donde habitualmente un byte es el tamaño de un carácter ASCII simple).

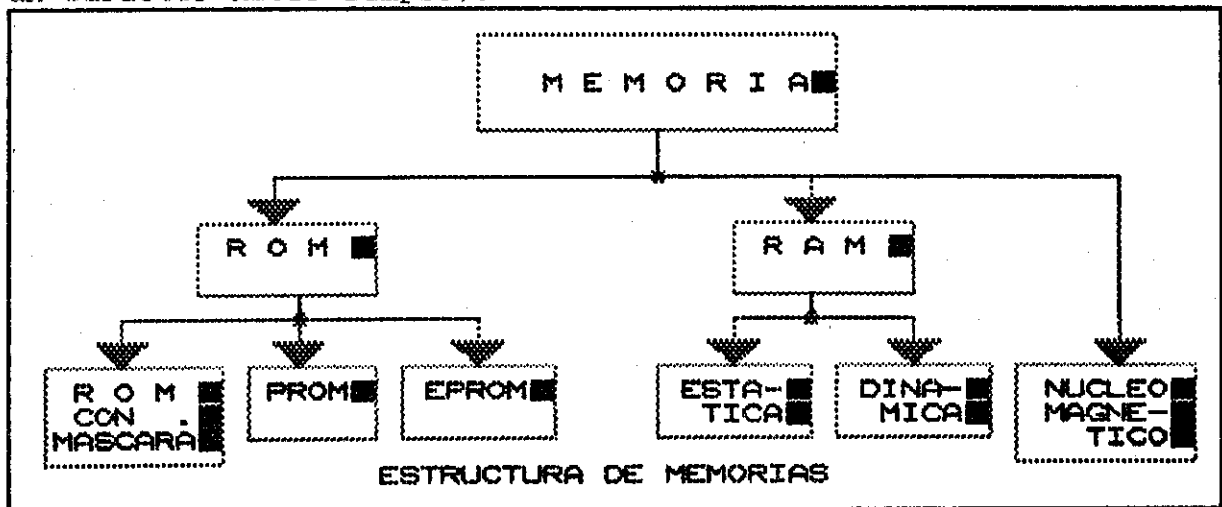


FIG.26: Estructura de memorias.

La estructura de memoria mostrada en la figura 26, se puede considerar como característica de una familia de tipos de memoria en dispositivos CI. Los CI de memoria se construyen, ya sea en forma de ROM, Memoria sólo Lectura, o RAM, Memoria de acceso Random. Las celdas ROM mantienen información que se almacena permanentemente, esto es, aun cuando se corte la alimentación del CI.

Una cierta variedad de unidades ROM son comunes actualmente.

1. PROGRAMA MASCARA ROM: se usa cuando la información almacenada la fija el fabricante y necesitan de miles a cientos de miles de unidades de memoria idénticas.

2. PROM: es una ROM programable, se puede usar para pequeñas cantidades de almacenamiento de datos. Estas unidades pueden ser programadas por el usuario en unidades simples, sin embargo, una vez programadas, la información se almacena permanentemente.

3. EPROM: Es un tercer tipo de ROM. Son borrables y programables; los datos se pueden programar para almacenarse en una unidad simple, y los datos se mantienen aun cuando se corta la alimentación de este CI. Su ventaja real es que se pueden redefinir los datos después de usar luz ultravioleta (UV) para limpiar los datos, y se obtiene una reprogramación del CI.

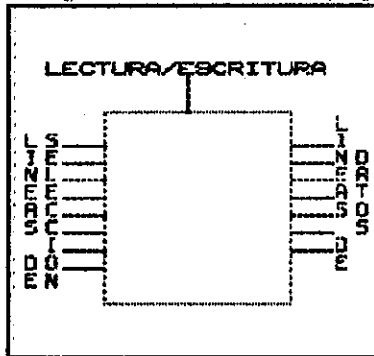


FIG.27: Estructura típica de una memoria.

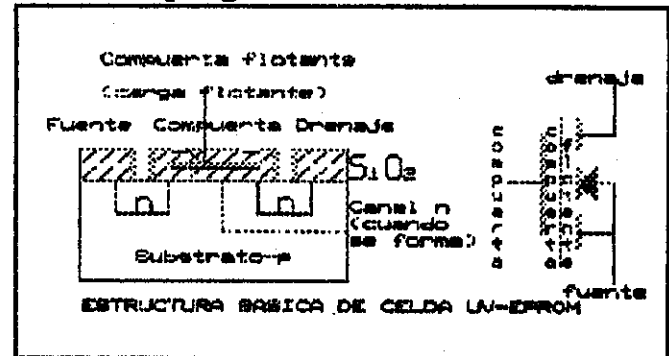


FIG.28: estructura básica de una celda Uv-Eprom.

Las memorias se organizan considerando la conexión de varias unidades para formar memorias de mayor tamaño. Por ejemplo, dos unidades de 8K X 8 bits se pueden agrupar para formar una unidad de memoria de 16K X 8 bits. Una estructura típica de memoria se muestra en la fig. 27.

Las líneas de dirección proporcionan la selección de la localidad de memoria para leer o escribir datos sobre ella, y las líneas de datos manejan entonces los bits que van a ser leídos o grabados a la localidad de memoria seleccionada. Los bits se pueden escribir o leer en una palabra seleccionada en la memoria, controlada por la dirección y las señales de lectura/escritura.

V.1.B FUNCIONAMIENTO.

Estas memorias de sólo lectura son muy comúnmente elegidas para implementación de sistemas digitales, por su propiedad de programación por el usuario, y reprogramación posterior si hubiese necesidad.

Una memoria PROM es programable también, pero una vez programada no se puede volver a reprogramar. El más común de los EPROM utiliza transistores MOSFET. Los datos almacenados se pueden borrar sometiendo el chip CI a una radiación intensa de luz ultravioleta a través de una abertura transparente dentro del material. El mecanismo básico de tal UV-EPROM, es el almacenamiento (o no almacenamiento) de cargas atrapadas en la compuerta de un MOSFET intensificado. La figura 28 muestra la estructura básica de la celda.

Un mosfet intensificado de substrato p se usa con la compuerta flotante adicional formada dentro del dióxido de silicio. La celda se programa mediante inyección de electrones de alta energía a través de la capa de óxido dentro de la compuerta flotante. Una vez ahí, las cargas quedan atrapadas, dado que no hay conexiones eléctricas con la compuerta flotante. Una celda, programada con cargas atrapadas en la compuerta flotante, hace que se forme un canal entre fuente y drenaje, por el que fluye corriente en la operación de lectura.

Una celda no programada no forma canal y no puede conducir corriente entre fuente y drenaje durante la operación de lectura. La programación involucra seleccionar la compuerta de la celda deseada e inyectar repetidamente la carga dentro de la compuerta flotante hasta que quede atrapada una cantidad de carga suficiente. Una vez que la celda ha sido programada, la carga queda atrapada. Después de que se han programado todas las celdas individuales de un chip de memoria, el CI funciona como una memoria sólo de lectura.

Para reprogramar el CI, se requiere remover la unidad del sistema y exponer el chip a una luz ultravioleta intensa, de la longitud de onda adecuada, la energía necesaria y durante el tiempo suficiente (habitualmente de un minuto). Esta operación transfiere suficiente energía de fotones a las cargas atrapadas para permitir descargarse a la compuerta flotante por completo. Esto es, que la UV-EPROM proporciona al usuario la facilidad de programar los datos deseados en un dispositivo de memoria de sólo lectura, y reprogramar los datos posteriormente, usando la misma unidad CI.

En la figura A, del anexo 2 (pag.35), se muestra un arreglo Eprom que utiliza transistores de efecto campo intensificados (Mosfet). El dispositivo nMOS se apaga con una entrada de 0 V, y la salida en el drenaje es entonces de +VDD. Con una entrada de +V en la compuerta, el nMOS se enciende con la salida cerca de 0V. Una entrada de nivel alto a la línea 4, por ejemplo, operará las salidas D1 y D2 a nivel bajo, con las salidas de las 4 líneas de bit entonces en 1001.

La figura B, del anexo 2 (pag.35), muestra las conexiones de terminales de la unidad EPROM 2764. La figura C, anexo 2(pag.35), muestra el diagrama funcional de esta misma unidad EPROM.

Las terminales de la unidad son:

Vcc:	Voltaje de alimentación.
Vss:	tierra.
PGM:	Selector para programación.
OE:	Selector de lectura.
CE:	Des-habilitador de chip.
A0..A12:	líneas de dirección.
00..07:	líneas de salida.

DISEÑO.

Unidades UV-EPROM comunes son el 2708 (1K X 8 bits) y el 2716 (2K X 8 bits), también las unidades 2732 (4K X 8 bits) y 2764 (8K X 8 bits). La selección de la unidad de CI necesaria para el sistema, se hace con base en la cantidad de direcciones que se necesitan acceder y la cantidad de datos de salida/entrada. $((2^n/1000)K \times \# \text{datos de salida})$.

donde: 2^n = # direcciones.
n: cantidad de líneas de selección.
2: base binaria.

Si n resulta diferente de un entero, se redondea al número superior.

Con estos datos, si una unidad no es suficiente para generar la cantidad de direcciones, se pueden hacer arreglos en paralelo para incrementar la capacidad del sistema. La conexión de dos EPROMS 2764 de 8K X 8 bits cada uno; para obtener una memoria de 16K X 8 bits, se muestra en la figura D, anexo 2 (pagina 35).

V.2 DECODIFICADORES.

V.2.A GENERALIDADES.

Aplicaciones como el mutiplexeo de datos, multiplicación de proporción, anunciadores digitales (display), convertidores de digital a analógicos y localización en memoria (adressing), utilizan la decodificación. Esto se logra mediante sistemas matriciales que pueden ser construidos con núcleos magnéticos, diodos, resistencias, transistores y Fet's. Las necesidades más comunes de decodificación se pueden realizar mediante circuitos integrados bastante comunes.

V.2.B FUNCIONAMIENTO.

Un decodificador es un circuito combinacional que convierte información binaria de n líneas de entrada a un máximo de 2^n líneas únicas de salida. Una palabra binaria sencilla de N dígitos de longitud puede representar 2^n o menos elementos diferentes de información.

Cualquier número de dígitos binarios mayor que 4 se puede usar para representar números decimales. La operación más relevante del decodificador es: LAS VARIABLES DE SALIDA SON MUTUAMENTE EXCLUYENTES, debido a que se diseñan de tal manera que sólo una salida puede ser igual a 1 (o a 0) en cualquier momento. La línea de salida, cuyo valor es igual a 1 (o a 0) representa el mintermino (o maxtérmino) equivalente del número binario presente disponible en las líneas de entrada. Uno de los decodificadores más comunes es el decodificador BCD a decimal, la que se compone de cuatro entradas binarias y de 10 salidas, que proporcionan la equivalente decimal (0 a 9).

V.2.C DISEÑO.

En las figuras A y B del anexo 3 (pag.36), se presenta la matriz de referencia y las ecuaciones derivadas para un decodificador de BCD a decimal, y estas ecuaciones están implementadas en la figura C, del anexo 3. Los estados 1010, 1011, 1100, 1101, 1110, 1111 no están incluidos en el código BCD 8-4-2-1 y, por lo tanto, son considerados como entradas falsas de datos y, dado que todos los datos están explícitamente decodificados, las entradas falsas de datos en este decodificador hacen que todas las salidas sean falsas o se igual a 1 lógico.

En la serie 54/74, se encuentran disponibles varias configuraciones de decodificadores; un sumario de este tipo de dispositivos, aparece en la figura D, del anexo 3. Algunos términos adicionales se usan en la descripción del dispositivo, tales como:

Amplificador (driver): significa que en la etapa de salida se tienen propiedades especiales que hacen al dispositivo muy útil para alimentar no solamente las cargas usuales en la entrada de los bloques lógicos, sino además, otros dispositivos como focos pequeños, anunciadores especiales, relevadores y transistores discretos.

Demultiplexer: implica que existen entradas adicionales de datos o entradas de disparo o ambas.

V.3. DISEÑO DE LA UNIDAD LÓGICA PROGRAMABLE.

La unidad de lógica programable es el centro del sistema del semáforo digital programable. Esta unidad será la encargada de almacenar y generar la información del control del tránsito que sea desarrollada para la ubicación en donde se implemente. Esta unidad consiste de tres secciones: sección de direccionamiento, sección de salidas y sección de detección de error de software.

CONDICIONES: deberá tener capacidad de almacenar información dinámica por un período de 24 horas, y generar en sus terminales de salida las señales adecuadas para accionar las luminarias del sistema.

La unidad de programación debe caracterizarse por su versatilidad de programación, y además que la misma memoria puede ser reprogramada por el usuario.

En esta unidad, también se contempla un dispositivo para detectar, fallas en sus salidas, debidas a fallas humanas de programación.

FUNCIONAMIENTO: la sección de direccionamiento es a través de la unidad lógica de control de tiempo a través de la líneas numeradas D15 hasta D28 (etiquetadas ULP1..ULP14).

Como se explicó en la unidad anterior, estas terminales de salida cesarán las terminales de entrada o direccionamiento de los CI's de memoria (U4,U5) desde una dirección 0000000000000000 inicial y cambiando de uno en uno cada cinco segundos, hasta alcanzar la dirección 10000111000000, que marcará el reinicio del ciclo.

El acceso de las direcciones a los CI's de memoria se hace a través de un bus de direcciones, ya que éstas están en paralelo. La línea D28 está comunicada a la unidad de lógica combinacional, enviado con la etiqueta ULC6, la cual después de procesado regresa con un nivel lógico invertido a través de la línea D29, etiquetada como ULP5.

Inicialmente, el CI U4 está habilitado para generar la información establecida previamente en ella; esto es debido a que la terminal de Output Enable de este CI tiene un 0 lógico actuando sobre ella desde la línea D28, la cual lo habilita, en contraste con el CI U5, que tiene actuando sobre la terminal de Output Enable la línea D29, que inicialmente tiene un 1 lógico proveniente de la unidad de lógica combinacional.

Cuando en el bus se genera la dirección 1000000000000000, instantáneamente se deshabilita el CI U4, ya que la línea D28 cambia su nivel lógico de 0 a 1, al mismo tiempo la línea D29 coloca un 0 lógico en la terminal de Output Enable del CI U5, y la habilita para generar la información previamente establecida en ella.

Como se observa, los CI's U4 y U5 son mutuamente excluyentes; sólo puede estar habilitado uno de ellos en cualquier momento; esto permite incrementar la capacidad de almacenar la información del sistema.

A partir de la dirección 1000000000000000, el CI U5 es la que estará generando la información del sistema, hasta llegar a la dirección 10000111000000, la que llevará a reiniciar el ciclo del sistema.

La sección de salidas de la unidad también lo hace a través de un bus de salida, a la cual se conectan las terminales de salida de los CI's U4 y U5. La información que generan es enviada a la unidad de lógica combinacional a través de las líneas D7, D8, D9, D10 (etiquetadas ULC7..ULC10); la línea D11 (ULCT1) es enviada a la unidad lógica de control de tiempo.

Estas líneas generan la señal para accionar las luminarias del sistema. Las únicas señales aceptadas y sus respectivas acciones sobre las luminarias son presentadas en la siguiente tabla.

Donde: A0..A4 : salidas de Eprom.
D7..D10 : líneas de bus de salida hacia unidad de lógica combinacional (ULC7..ULC10).
D11 : línea de bus de salida hacia la unidad lógica de control de tiempo (ULCT1).

TERMINALES DE EPROM					ACCION DE LUMINARIAS DEL SISTEMA						
O4	O3	O2	O1	O0	AVENIDA			CALLE			SEÑAL
D11	D10	D9	D8	D7	V	A	R	V	A	R	INT.
0	1	1	1	0	ON	OFF	OFF	OFF	OFF	ON	OFF
1	1	1	1	0	INT.	OFF	OFF	OFF	OFF	ON	ON
0	1	1	0	1	OFF	ON	OFF	OFF	OFF	ON	OFF
0	1	0	1	1	OFF	OFF	ON	ON	OFF	OFF	OFF
1	1	0	1	1	OFF	OFF	ON	INT.	OFF	OFF	ON
0	0	1	1	1	OFF	OFF	ON	OFF	ON	OFF	OFF
1	1	1	0	1	OFF	INT.	OFF	OFF	OFF	INT.	ON
1	0	1	1	1	OFF	OFF	INT.	OFF	INT.	OFF	ON

V : luminaria verde.
A : luminaria amarilla.
R : luminaria roja.
Int. : señal intermitente (flasheo) de apagado-encendido de luminarias.
ON : acción de encendido.
OFF : acción de apagado.

Esto implica que cualquier otra palabra binaria almacenada en los CI's de memoria producirá una acción errónea.

La línea D11 (ULCT1) está comunicando la unidad de lógica programable con la unidad lógica de control de tiempo, y cuando se tiene un 1 lógico en ella acciona el timer 2 de la última unidad, para producir un señal intermitente en las luminarias seleccionadas por las otras salidas de la unidad programable.

La sección de detección de fallas de programación se realiza a través de el CI U13, que es un decodificador de binario a decimal. Las líneas D7, D8, D9 y D10 comunican a la unidad de lógica programable con la unidad combinacional a través de dos bloques. El primer bloque fue mencionado arriba (etiquetadas ULC7..ULC10).

Las líneas del segundo bloque estan etiquetadas como ULC11, ULC12, ULC13 y ULC14 ésta es procesada en la unidad de lógica combinacional, invirtiendo su nivel lógico, y regresan a través de las líneas D50, D51, D52 y D53 (etiquetadas ULP16..ULP19), las que se utilizan como entradas al decodificador, y ésta, a su vez, envía un tercer bloque de datos a la unidad de lógica combinacional a través de las líneas D54, D55, D56 y D57, etiquetadas como ULC15..ULC18.

La siguiente tabla ilustra los datos de entrada y salida mencionados.

SALIDAS DE EPROM PERMITIDAS				D E C O D I F I C A D O R							
				ENTRADAS				SALIDAS			
D10	D9	D8	D7	D53	D52	D51	D50	D57	D56	D55	D54
1	1	1	0	0	0	0	1	1	1	1	0
1	1	0	1	0	0	1	0	1	1	0	1
1	0	1	1	0	1	0	0	1	0	1	1
0	1	1	1	1	0	0	0	0	1	1	1
NO PERMITIDAS											
0	0	1	1	1	1	0	0	1	1	1	1
1	1	0	0	0	0	1	1	1	1	1	1
1	0	1	0	0	1	0	1	1	1	1	1

Se observa en la tabla que:

1. cuando los datos del bus de salida de la unidad de lógica programable son las permitidas, las terminales de salida del decodificador seleccionadas (D54..D58), siempre generarán un 0 lógico y todas las demás un 1 lógico.
2. Cuando los datos del bus de salida de la unidad de lógica programable no son las permitidas (como las mostradas en la tabla), las terminales de salida del decodificador seleccionadas, estarán todas a un 1 lógico, lo que cumplirá la condición de error. Estas terminales seleccionadas van a la unidad de lógica combinacional, que es la encargada de accionar la medida de deshabilitar el sistema.

La salida O4 de los CI's de memoria, y la línea D11 del bus de salida de la unidad es irrelevante en la detección de fallas.

DISEÑO.

La selección de los CI's Eprom 2764 se hizo por su comercialización garantizada. Se seleccionaron las dos unidades similares para ofrecer una uniformidad en su funcionamiento, pero puede ser sustituida la U5 por una de menor capacidad, tal como la Eprom 2708 (aunque comercialmente están desapareciendo).

El decodificador 7442, se seleccionó por la sencillez de operación y su confiabilidad para este sistema.

A continuación, se enumeran los dispositivos utilizados en esta unidad; el circuito impreso (fig.28A) y el diagrama de alambrado.

UNIDAD LOGICA PROGRAMABLE

Item	Cantidad	Referencia	Parte
1	2	U4,U5	2764,
2	1	U13	7442,

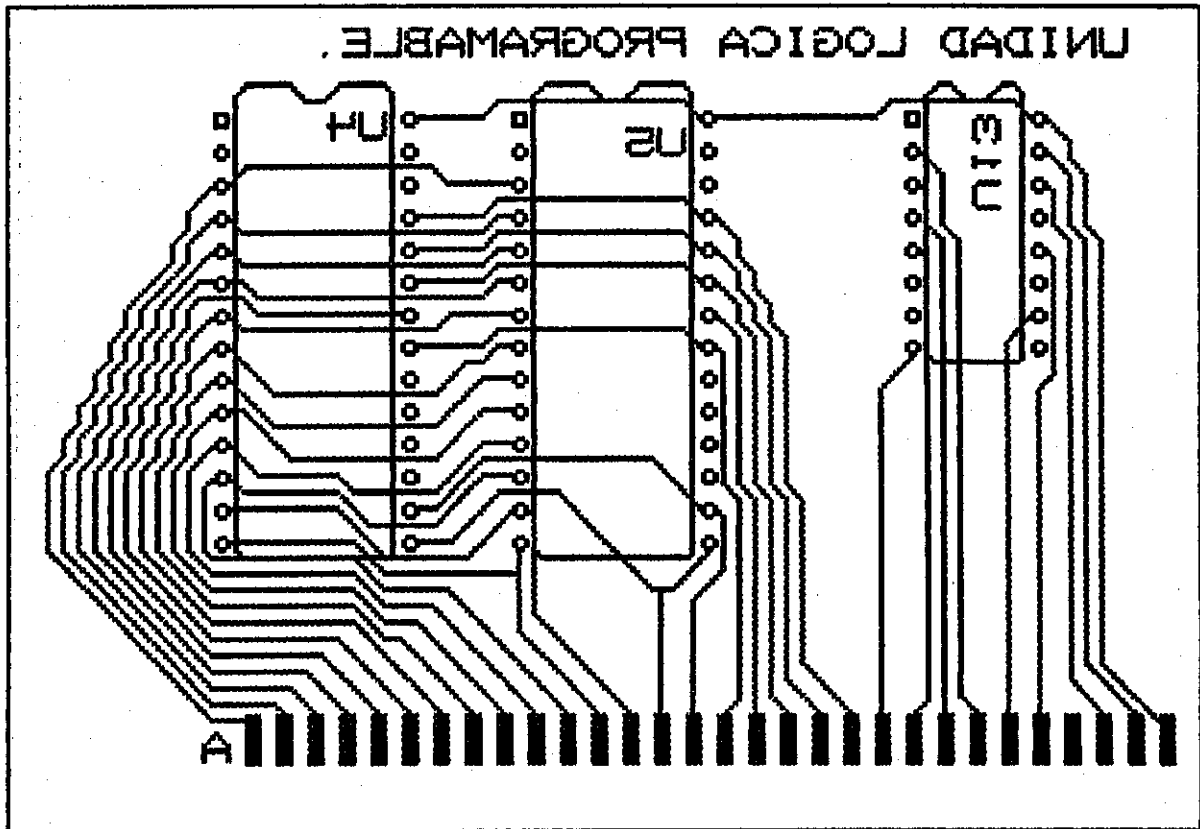


FIG.28A: Circuito impreso de la unidad 5.

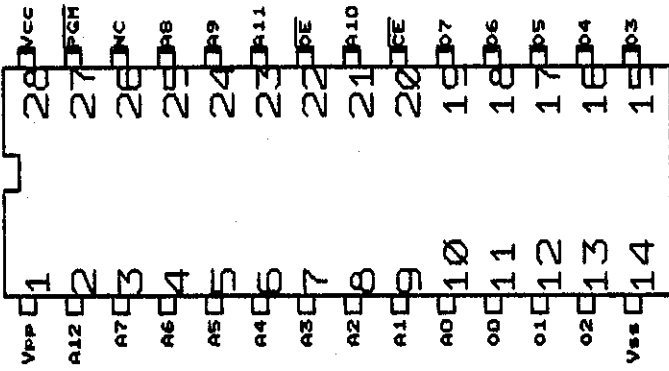
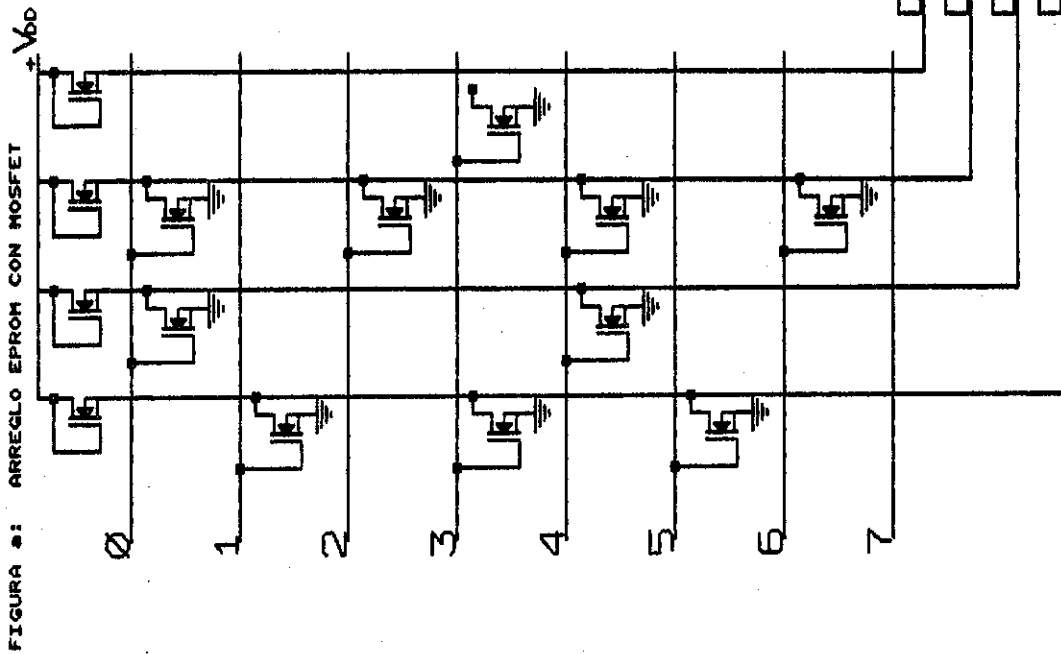


FIGURA B: DIAGRAMA DE CONEXIONES UNIDAD UV-EPRON 2764

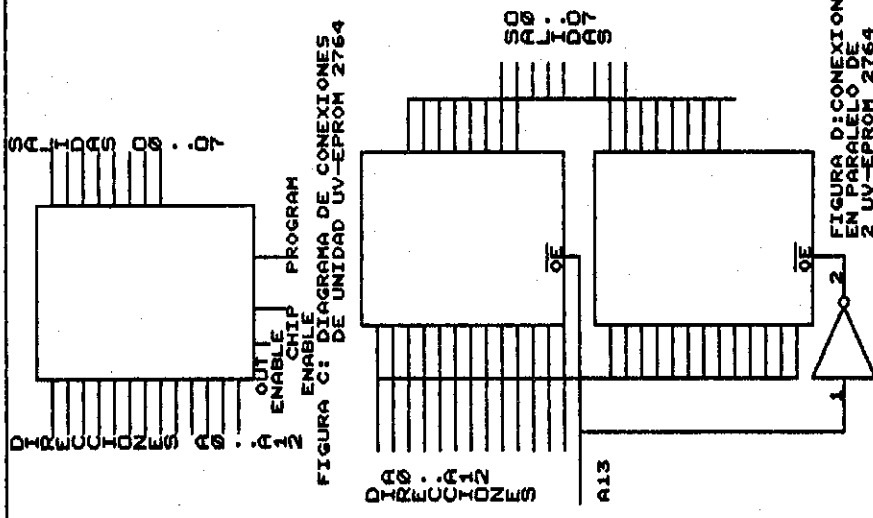


FIGURA C: DIAGRAMA DE CONEXIONES DE UNIDAD UV-EPRON 2764

ANTEPROYECTO: SEMAFORO DIGITAL PROGRAMABLE
 MIGUEL PEREZ GUARCARO
 UNIDAD DE E.P.S. FAC. INGENIERIA
 ESCUELA DE MECANICA ELECTRICA
 TITULO
 ANEXO2: ARREGLO MOSFET, CONEXION DE UV-EPRON
 Size Document Number 1
 Date: August 12, 1996 Sheet 1 of 1

DC\BA	00	01	11	10
00	0	1	3	2
01	4	5	7	6
11	X	X	X	X
10	8	9	X	X

FIGURA A: MATRIZ DE REFERENCIA DECODIFICADOR BCD A DECIMAL

- 0 : A B C D
- 1 : A B C D
- 2 : A B C D
- 3 : A B C D
- 4 : A B C D
- 5 : A B C D
- 6 : A B C D
- 7 : A B C D
- 8 : A B C D
- 9 : A B C D

FIGURA B: ECUACIONES DE CONTROL PARA DECODIFICADOR BCD A DECIMAL

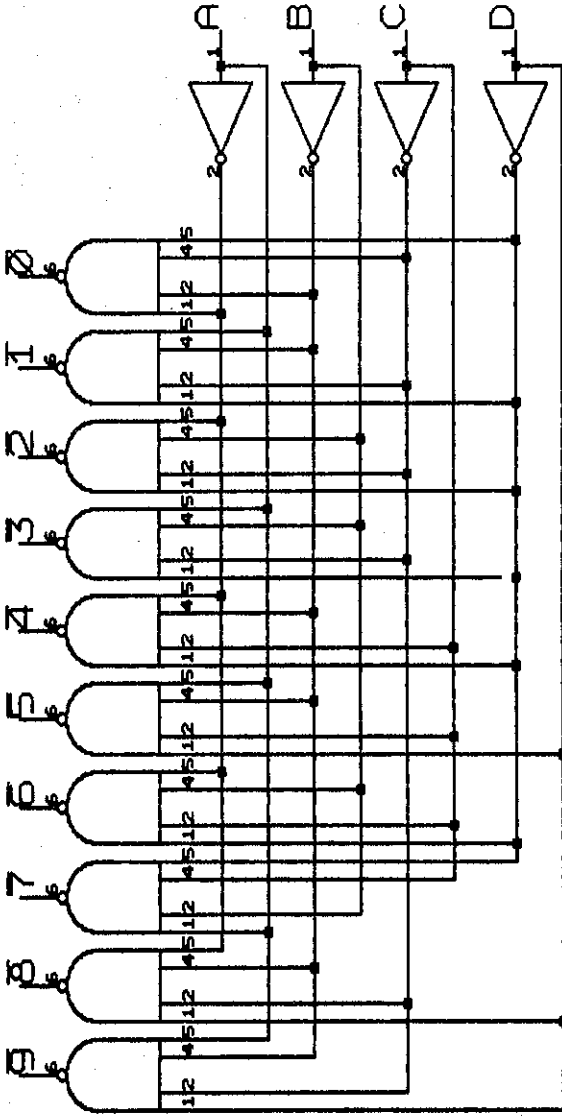


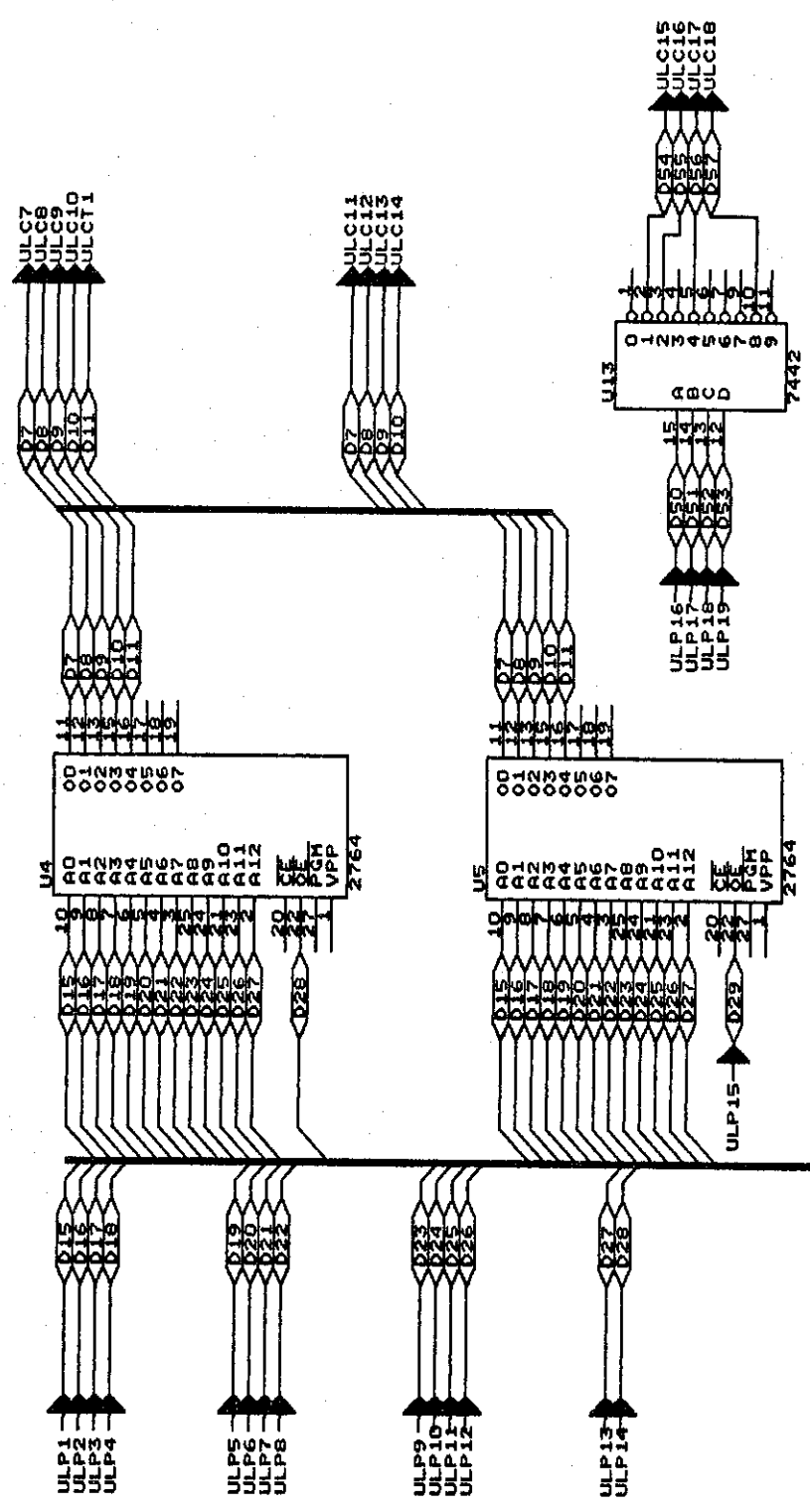
FIGURA C: DIAGRAMA LOGICO DE DECODIFICADOR BCD A DECIMAL.

TIPO DESCRIPCION

TIPO	DESCRIPCION	POT. DISIP. (mW)
SN 54/7445	DECODIFICADOR/AMPLIFICADOR DE BCD A DECIMAL	215
SN 54/7446	DECODIFICADOR/AMPLIFICADOR DE BCD A 7 SEGMENTOS	265
SN 54/7447	DECODIFICADOR/AMPLIFICADOR DE BCD A 7 SEGMENTOS	165
SN 54/7448	DECODIFICADOR/AMPLIFICADOR DE BCD A DECIMAL	55
SN 54/74141	DECODIFICADOR/AMPLIFICADOR DE BCD A DECIMAL	215
SN 54/74145	DECODIFICADOR/AMPLIFICADOR BCD A DECIMAL	125
SN 54/74156	DECODIFICADOR/DEMULTIPLEXER DOBLE DE 2 LINEAS A 4 LINEAS	140
SN 54/7442	DECODIFICADORES CON SALIDAS STANDARD TIPO TOTEM	140
SN 54/7444	DECODIFICADOR DE BCD A DECIMAL	140
SN 54/74154	DECODIFICADOR DE CODIGO GRAY EXEDIDO EN 3 A DECIMAL	140
SN 54/74154	DECODIFICADOR/DEMULTIPLEXER DOBLE 2 LINEAS A 4 LINEAS	170

FIGURA D: SUMARIO DE DECODIFICADORES DE LA SERIE 54/74

ANTEPROYECTO: SEMAFORO DIGITAL PROGRAMABLE
 MIGUEL PEREZ GUARCAS
 UNIDAD DE E.P.S. FAC. INGENIERIA
 ESCUELA DE MECANICA ELECTRICA
 Title
 ANEXO 3: MATRIZ DE REFERENCIA Y DIAGRAMA DE D
 Size Document Number 2
 Date: August 12, 1996 Sheet 1 of 1



ANTEPROYECTO: SEMAFORO DIGITAL PROGRAMABLE
 MIGUEL PEREZ GUARCAS
 UNIDAD DE E.P.S. FAC. INGENIERIA
 ESCUELA DE INGENIERIA MECANICA ELECTRICA
 UNIVERSIDAD DE SAN CARLOS
 Title

Size	Document Number	REV
A	3	G
Date:	October 21, 1996	Sheet 1 of 1

ULP1..ULP14: PROVIENEN DE LA UNIDAD LOGICA DE CONTROL DE TIEMPO
 ULP15..ULP19 : PROVIENE DE LA UNIDAD DE LOGICA COMBINACIONAL
 ULC6..ULC18 : VAN A LA UNIDAD DE LOGICA COMBINACIONAL
 ULCT1: VA A LA UNIDAD LOGICA DE CONTROL DE TIEMPO

VI. UNIDAD LOGICA COMBINACIONAL.

VI.1 LOGICA BOOLEANA.

VI.1.A GENERALIDADES.

La lógica booleana es la técnica matemática usada cuando se resuelven problemas de naturaleza lógica. En 1847, un matemático inglés, George Boole, inventó las leyes y reglas básicas de un tipo de matemática que podría aplicarse a problemas de lógica deductiva. Hasta 1938, estas técnicas permanecieron en uso circunscritas al campo de las matemáticas. En esa época, Claude Shannon, un científico de los Laboratorios Bell, viendo las características funcionales de esta álgebra, las adoptó para analizar redes de contactos múltiples, como las empleadas en telefonía. Con el desarrollo de las computadoras, el uso del álgebra booleana en el campo de la electrónica se incrementó en modo tal, que hoy día se emplea como herramienta fundamental, por ingenieros y matemáticos para auxiliarse en el diseño lógico.

VI.1.B FUNCIONAMIENTO.

Los sistemas lógicos pueden dividirse en dos grandes grupos:

- a. Sistemas combinatorios en los que para una o varias combinaciones de entrada hay una o más señales de salida.
- b. Sistemas secuenciales en los que la salida depende de una determinada secuencia para las condiciones de entrada dadas hasta el instante en que se produce la salida.

Estos dos sistemas pueden clasificarse a la vez en:

- c. Sistemas sincrónicos en los que la salida correspondiente a unas determinadas condiciones de entrada, se difiere hasta la recepción de una señal de tiempo. Esta señal de tiempo se suministra simultáneamente a todas las partes del sistema para asegurar el funcionamiento sincrónico de las mismas. Estas señales de tiempo son trenes de impulsos que se generan independientemente del sistema, en un generador de impulsos de reloj.
- d. Sistemas asincrónicos en los que las distintas partes del sistema no están sincronizadas por los impulsos del reloj, pero en los que es necesario que las distintas salidas mantengan su valor hasta recibir una orden de cambio del resto del sistema.

REGLAS BASICAS DE LA LOGICA BOOLEANA:

- a. Una variable puede tener únicamente dos valores posibles: 1 o 0. No se admiten otros valores.
- b. Los signos matemáticos utilizados tienen una significación distinta: $A*B$: significa A Y B, no A por B
 $A+B$: significa A O B, no A más B
 A' : significa NO A (o sea, complemento de A).

c. El signo de igualdad (=) tiene el siguiente significado nuevo de "la salida adquiere el valor".

LEYES DE LA LOGICA: cuando una proposición es cierta (existe), la función tiene el valor 1.
Si es falso(no existe), tiene el valor 0.

VI.1.C DISEÑO.

TABLAS DE VERDAD: proporcionan una relación de cada posible combinación de entradas y la salida resultante de una función lógica. En general, una tabla de verdad para n variables tiene 2^n posibles combinaciones de los estados de las variables y, por ello, 2^n renglones.

MAPAS DE KARNAUGH: es una técnica que propicia un método sistemático para simplificar y manipular expresiones booleanas basado en la presentación gráfica de la información, y es fácil de utilizar, debido a la capacidad que la mente humana posee para reconocer patrones.

V.2 COMPUERTAS DIGITALES.

V.2.A GENERALIDADES.

Con los circuitos lógicos se hace una serie de decisiones necesarias para obtener una respuesta lógica a problemas que tienen un conjunto de condiciones. Para realizar las decisiones lógicas en el diseño digital, existen tres circuitos lógicos básicos (llamados compuertas lógicas): la compuerta OR, la compuerta AND y la compuerta NOT.

VI.2.B FUNCIONAMIENTO.

COMPUERTA OR:

A	B	F=A+B
0	0	0
0	1	1
1	0	1
1	1	1

Esta compuerta básica tiene dos o más terminales de entrada y una sola salida. Las entradas pueden tomar uno de los dos valores lógicos establecidos 1 o 0. Su salida tomará el valor de 0 lógico, si y sólo si, las entradas son todas 0, y la salida será 1 lógico cuando al menos una de las entradas se encuentre en un 1 lógico. A la par se presenta la tabla de verdad de esta compuerta.

COMPUERTA AND:

A	B	F=A*B
0	0	0
0	1	0
1	0	0
1	1	1

Esta compuerta tiene dos o más entradas y una salida. Su salida tomará el valor lógico 1, si y solo si todas sus entradas tienen el valor de 1 lógico, simultáneamente; de otro modo su salida será 0 lógico. Su representación en el álgebra Booleana es $*$. La tabla de verdad para una compuerta AND se presenta a la par.

A	A'
0	1
1	0

COMPUERTA NOT:

Esta compuerta tiene una sola entrada y una salida. Esta compuerta tiene a la salida el nivel lógico invertido de la entrada. También se le denomina compuerta inversora. Su representación en álgebra booleana es ' o -. La tabla de verdad de esta compuerta es presentada a la par.

Combinaciones de estas compuertas básicas se dan en el diseño digital, de las cuales las más comunes son los bloques NOR Y NAND.

COMPUERTA NOR: es la combinación de una OR y una NOT que invierte la función de la OR. Su tabla de verdad es la inversión de la OR.

COMPUERTA NAND: es la combinación de una AND y una NOT que invierte la función de la AND. Su tabla de verdad es la inversión de la AND.

Otras compuertas importantes son:OR-EXCLUSIVAS y NOR-EXCLUSIVAS.

$$F = A \oplus B = (A+B) (A'+B') = AB' + A'B$$

ECU.19

COMPUERTAS OR-EXCLUSIVAS: esta compuerta digital cumple con la siguiente función:

$$F = (A \oplus B)' = (A+B)' (A'+B) = A'B' + AB$$

ECU.20

COMPUERTA NOR-EXCLUSIVA: esta compuerta es la combinación de una OR-EXCLUSIVA y una NOT, que cumple con la siguiente ecuación.

VI.2.C DISEÑO.

Las compuertas digitales CI se clasifican no sólo por su operación lógica, sino también por la familia de circuitos lógicos a las cuales pertenece. Cada familia lógica tiene su propio circuito electrónico básico con el cual se desarrollan circuitos y funciones digitales complejas. En el comercio, se han introducido muchas familias lógicas diferentes de CI digitales. Las que han alcanzado un amplio uso popular se enumeran a continuación.

- TTL : lógica de transistor - transistor.
- ECL : lógica de emisor acoplado.
- MOS : semiconductor de óxido metálico.
- CMOS : semiconductor complementario de óxido metálico.
- I²L : lógica de inyección integrada.

A continuación se presenta una tabla comparativa de las funciones más importantes que se debe considerar en la selección de una familia lógica de CI.

Tipo de familia CI	Voltaje de suministro(V)	Niveles de		Voltaje(V)	
		Alto nivel	Margenes típico	Bajo nivel	Margenes típico
TTL	Vcc = 5	2.4-5	3.5	0-0.4	0.2
ECL	Vee = -5.2	-0.95,-0.7	-0.8	-1.9,-1.6	-1.8
CMOS	Vdd = 3-10	Vdd	Vdd	0-0.5	0
Lógica positiva		Lógica 1		Lógica 0	
Lógica negativa		Lógica 0		Lógica 1	

TTL: lógica transistor-transistor (Transistor-transistor logic).

Las diferencias del TTL más importantes con respecto a las demás familias se resumen:

Un solo transistor con emisores múltiples reemplazan los diodos de entrada y el diodo serie de los circuitos DTL. Este es más económico en su construcción en los CI's, ya que se difunde una zona aislada para formar el colector y una sola zona para formar la base, y difunde varias zonas para el emisor en forma separada sobre el área de la base. En la figura 29, se muestra un bloque Nand construido con circuitos TTL. La familia TTL se puede adaptar a todas las formas de lógica con CI's y producen la más alta relación comportamiento contra costo de todos los tipos de lógica.

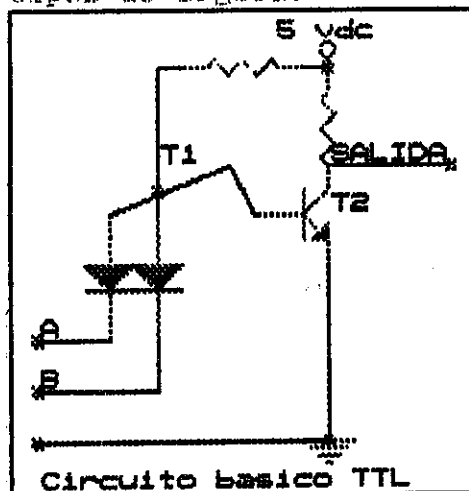


FIG.29: Circuito básico TTL.

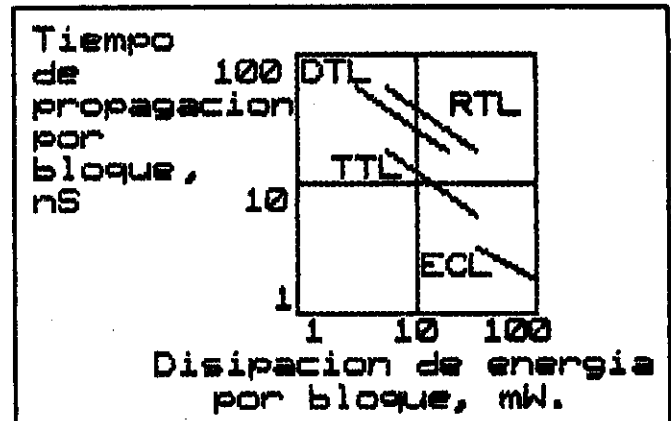


FIG.30: Gráfica: relación entre tiempos típicos de programación y disipación de energía de familias lógicas.

COMPARACION DE PARAMETROS DE OPERACION ENTRE LAS FAMILIAS LOGICAS: En el diseño digital, existe un compromiso entre la velocidad de cambio de estado y la disipación de energía. Para ello, se presenta en la figura 30 la relación entre tiempos típicos de propagación y disipación de energía para varios tipos de familias lógicas.

CONDICIONES:

1. Esta unidad generará, bajo ciertas condiciones, la señal para reiniciar (resetear) la unidad lógica de control de tiempo, después de un tiempo definido de 24 horas.
2. Esta unidad generará, cuando se cumplan las condiciones, la señal para habilitar la segunda unidad de memoria (U5).
3. Esta unidad se encargará de discriminar la salida de la unidad lógica programable, para accionar las luminarias adecuadas de salidas del sistema del Semáforo Digital Programable.
4. Esta unidad se encargará de enviar las señales recibidas desde la unidad de lógica programable hacia esta misma unidad, después de un proceso de inversión, para detectar fallas en la programación de la unidades de memoria.
5. Esta unidad deberá comparar las señales lógicas de salida de control, con las señales generadas en la unidad de interfaz de potencia para detectar fallas de sincronización de control de las luminarias.
6. Esta unidad deberá deshabilitar el sistema de potencia, en caso de fallas de programación en las unidades de memoria o en caso de fallas de sincronización (control-potencia).

FUNCIONAMIENTO: esta unidad para su comprensión se desglosa en cinco bloques combinacionales.

BLOQUE COMBINACIONAL 1: este bloque consiste de una compuerta AND de 4 fan-in o entradas lógicas, las cuales provienen de la unidad lógica de control de tiempo, mediante las líneas D21, D22, D23 y D28 (etiquetadas ULC1..ULC4). La figura 31 presenta el bloque combinacional 1.

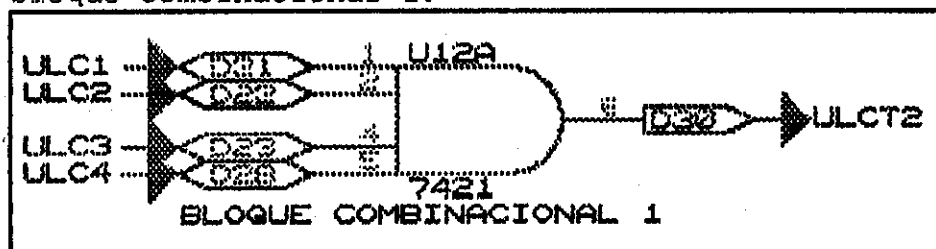


FIG.31: Bloque combinacional 1.

El fan-out de esta compuerta es de 4, ya que la salida se envía nuevamente a la unidad lógica de control de tiempo y actúa sobre los 4 contadores de esa unidad, y genera el pulso necesario para reiniciar el conteo desde cero, después de cumplir el ciclo de 24 horas. La compuerta AND, como se presentó en la sección anterior, generará 1 lógico en la salida, sí y solo sí todas sus entradas son 1 lógico.

Esta condición se cumple cuando la unidad lógica de control de tiempo llegue a tener en sus salidas la dirección 10000111000000.

BLOQUE COMBINACIONAL 2: este bloque consiste de una compuerta NOT o inversora cuyo fan-in es de 1 proveniente de la unidad lógica programable mediante la línea D28 (etiquetada ULC6) y su fan-out también de 1 se envía de regreso a la unidad lógica programable mediante la línea D29 (etiquetada ULP15), para habilitar el CI de memoria U5 de esa unidad.

Inicialmente, la línea D28 mantiene un nivel lógico 0, la cual al pasar por el inversor, genera un nivel lógico 1, y mantiene deshabilitado el CI de memoria U5 por medio de la línea D29 y esto permite al CI de memoria U4 generar la información almacenada en ella.

Pero al generar el bus de direccionamiento de la unidad lógica programable, en la dirección 10000000000000, se produce un cambio de estado de la señal en la línea D28 y consecuentemente en la línea D29 que pasa a generar un nivel lógico 0, la cual habilita el CI de memoria U5, el que entonces genera la información almacenada en ella. La Función del bloque combinacional 2, en resumen, es la de habilitar o deshabilitar el CI de memoria U5, que está en paralelo al CI de memoria U4, con la finalidad de incrementar la capacidad de almacenamiento de la unidad lógica programable. El bloque 2 se presenta en la fig.32.

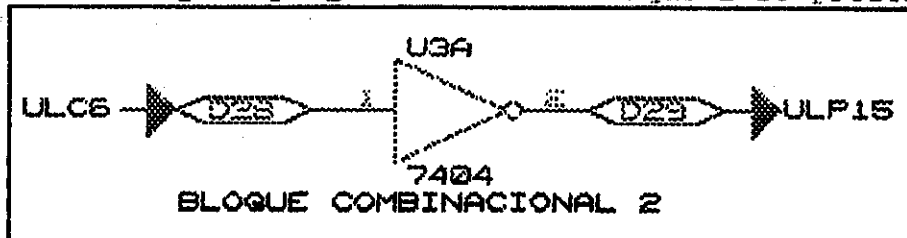


FIG.32: Bloque combinacional 2.

BLOQUE COMBINACIONAL 3: este bloque consiste de 4 compuertas AND de 2 fan-in cada uno, además de 6 compuertas OR también de 2 fan-in cada uno. Las entradas de este bloque provienen de la unidad de lógica programable a través de las líneas D7, D8, D9 y D10 (etiquetadas ULC7..ULC10) y la línea D14 (etiquetada ULC5) proveniente de la unidad lógica de control de tiempo.

Como se determinó en la sección anterior, la compuerta OR tendrá en su salida un nivel lógico 0, si y solo si, ambas entradas son 0, en caso contrario tendrá 1 lógico y la compuerta AND tendrá un 0 lógico en la salida, si cualquiera o todas sus entradas tienen un 0 lógico, en caso contrario tendrá un 1 lógico.

Las salidas de las compuertas OR de este bloque son enviadas mediante las líneas D58, D59, D60, D61, D62 y D63 (etiquetadas UIP1..UIP6) a la unidad de Interfaz de potencia para accionar las luminarias del semáforo. Cada línea de estas salidas encenderá

una luminaria a través de accionar un dispositivo de la unidad interfaz de potencia cuando en ella se tenga un nivel lógico 0.

El bloque combinacional 3 se presenta en la figura 33.

La línea D7 es la encargada de accionar la luminaria Verde de la Avenida a través de la compuerta U1A, cuya salida es enviada a través de la línea D58 (etiquetada UIP1) hacia la unidad interfaz de potencia.

Cuando el nivel lógico de la línea D7 está en 1, sin importar el nivel lógico de la línea D14, la luminaria verde de avenida está apagada. Cuando la línea D7 cambia a 0 lógico, la luminaria verde de avenida se enciende, ya que normalmente la línea D14 se mantiene en 0 lógico. Además de ser la entrada de la compuerta U1A, la línea D7 también lo es de la compuerta U11D.

La línea D8 es la encargada de accionar la luminaria Amarilla de la Avenida a través de la compuerta U1B, cuya salida es enviada a través de la línea D59 (etiquetada UIP2) hacia la unidad interfaz de potencia. Cuando el nivel lógico de la línea D8 está en 1, sin importar el nivel lógico de la línea D14, la luminaria amarilla de avenida está apagada. Cuando la línea D8 cambia a 0 lógico, la luminaria amarilla de avenida se enciende, ya que normalmente la línea D14 se mantiene en 0 lógico. Además de ser la entrada de la U1BA, la línea D8 lo es de la compuerta U11D.

La línea D9 es la encargada de accionar la luminaria verde de la calle a través de la compuerta U1D, cuya salida es enviada a través de la línea D61 (etiquetada UIP4) hacia la unidad interfaz de potencia. Cuando el nivel lógico de la línea D9 está en 1, sin importar el nivel lógico de la línea D14, la luminaria verde de la calle está apagada. Cuando la línea D9 cambia a 0 lógico, la luminaria verde de la calle se enciende, ya que normalmente la línea D14 se mantiene en 0 lógico. Además de ser la entrada de la U1D, la línea D9 lo es también de la compuerta U11C.

La línea D10 es la encargada de accionar la luminaria amarilla de la calle a través de la compuerta U2A, cuya salida es enviada a través de la línea D62 (etiquetada UIP5) hacia la unidad interfaz de potencia. Cuando el nivel lógico de la línea D10 está en 1, sin importar el nivel lógico de la línea D14, la luminaria amarilla de la calle está apagada. Cuando la línea D10 cambia a 0 lógico, la luminaria amarilla de la calle se enciende, ya que normalmente la línea D14 se mantiene en 0 lógico. Además de ser la entrada de la U2A, la línea D8 también lo es de la U11C.

La compuerta AND U11C tiene acoplada como fan-in las líneas D9 y D10, y su fan-out está acoplada a la compuerta OR U1C. La salida de esta compuerta (U11C) tendrá un 0 lógico si cualquiera de las líneas D9 o D10 tiene un nivel lógico 0; esto implica que si cualquiera de las luces verde o amarilla de la calle está

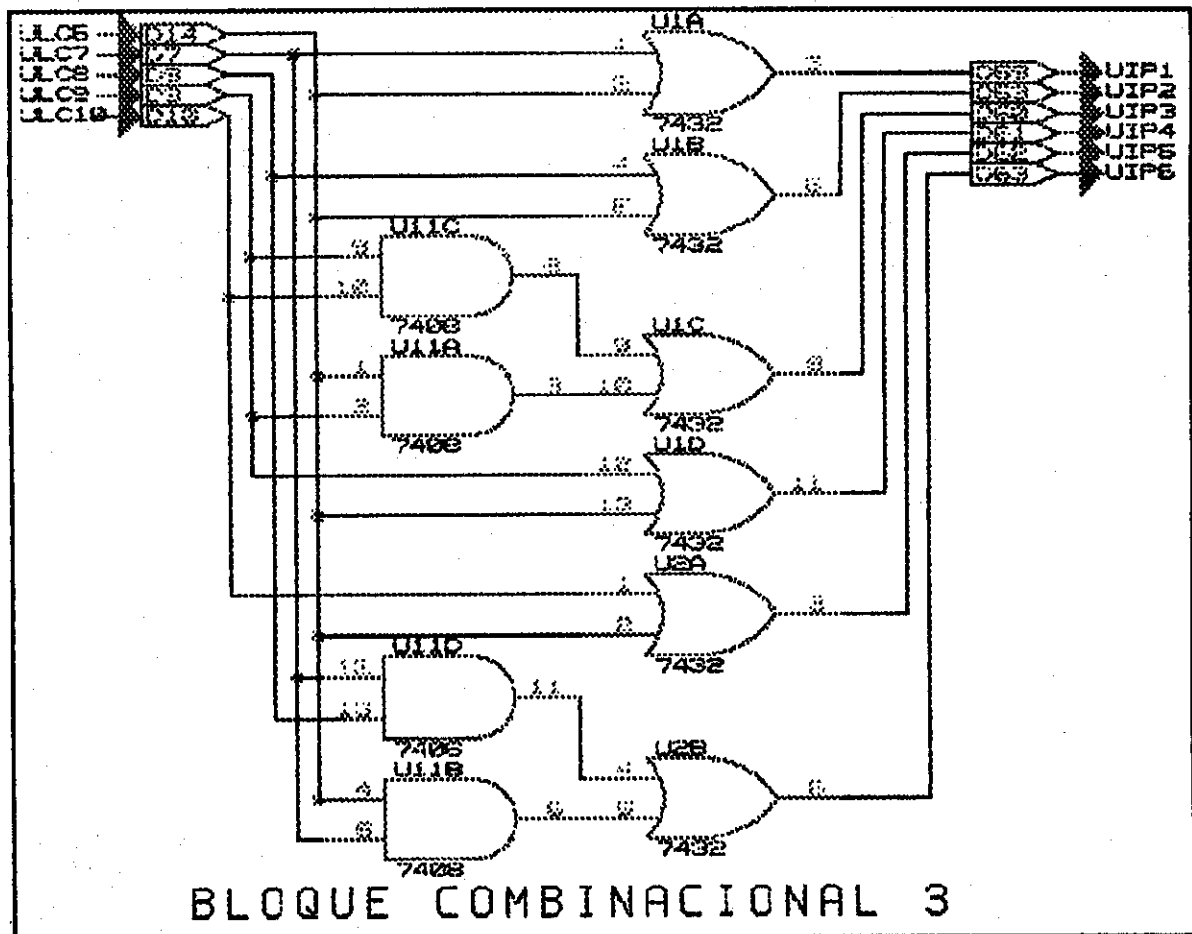


FIG.33: Bloque combinacional 3.

encendida, ésta enviará un 0 lógico a la entrada de la compuerta OR U1C.

La compuerta AND U11A tiene acoplada como fan-in las líneas D9 y D14, y su fan-out está acoplada a la compuerta OR U1C. La función de la compuerta AND U11A es la de evitar que la salida de la compuerta U1C oscile cuando la línea D9 tenga un 0 lógico, con la cual tiene activada la luminaria verde de la calle.

La compuerta OR U1C mantendrá un nivel lógico 0 activando a través de la línea D60 (ULPI3) de la unidad Interfaz de Potencia, la luminaria roja de la avenida, si la luz verde o amarilla de la calle está activada.

La compuerta AND U11D tiene acoplada como fan-in las líneas D7 y D8, y su fan-out está acoplada a la compuerta OR U2B. La salida de la U11D, tendrá un 0 lógico si cualquiera de las líneas D7 o D8 tiene un 0 lógico; esto implica que si cualquiera de las luminarias verde o amarilla de la avenida está encendida, enviará un 0 lógico a la entrada de la OR U2B.

La compuerta AND U11B tiene acoplada como fan-in las líneas D8 y D14, y su fan-out está acoplada a la compuerta OR U2B. La

función de la compuerta AND U11B es la de evitar que la salida de la compuerta U2B oscile cuando la línea D7 tenga un 0 lógico, con la cual tiene activado la luminaria verde de la calle.

La compuerta OR U2B mantendrá un nivel lógico 0 activando a través de la línea D60 (ULP13) de la unidad Interfaz de Potencia; la luminaria roja de la calle, si la luz verde o amarilla de la avenida está activada.

La línea D14 (ULC5) está acoplada como fan-in de todas la compuertas OR, menos en la U1C Y U2B, que lo hace pasando por compuertas AND. Su función es poner la luminaria seleccionada a oscilar por períodos de 1 segundo. Esto se logra debido a que cuando la unidad lógica programable selecciona el timer 2 de la unidad lógica de control de tiempo, la línea D14 oscila de 0 a 1 lógico, cada medio segundo, con lo cual hará que la salida de la compuerta OR que tenga en su otra entrada un nivel lógico 0, cambie de estado como la línea D14.

Las compuerta U1C Y U2R solo pueden tener esta acción oscilatoria cuando la línea D9 y la línea D7 tienen un nivel lógico 1 respectivamente. Esto evitará que las luminarias rojas oscilen cuando las luminarias verdes lo hagan al indicar el cambio de estado. Pero permite que cuando se crea conveniente programar al sistema, para que oscilen ambas, la luminaria roja y amarilla de la calle o avenida según selección programada.

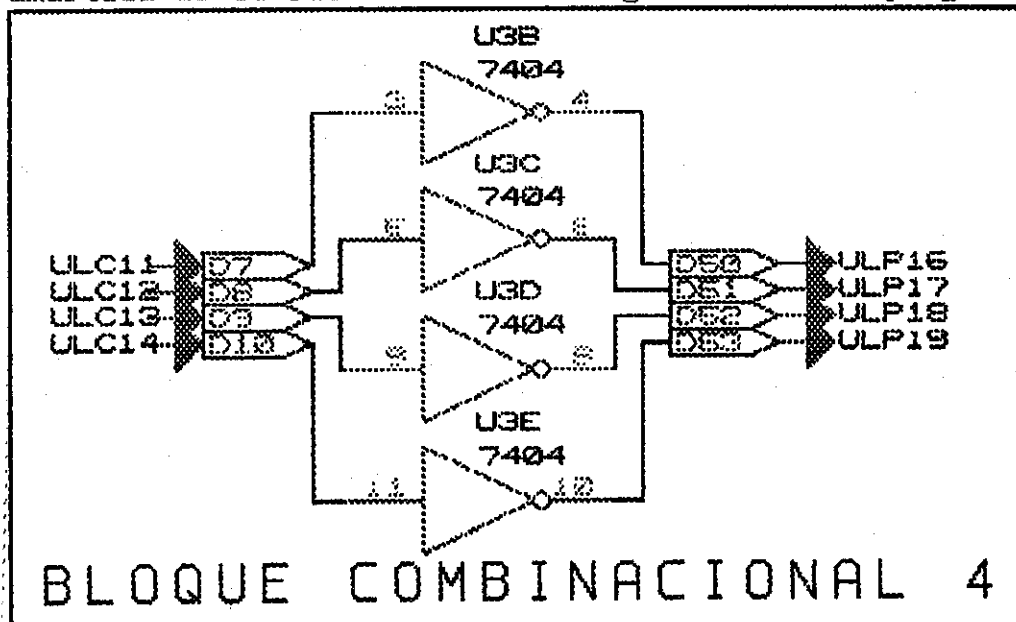


FIG.34: Bloque combinacional 4.

BLOQUE COMBINACIONAL 4: este bloque consiste de 4 compuertas NOT, cuya función es invertir los estados lógicos de las líneas D7, D8, D9 y D10 (etiquetadas ULC11..ULC14) provenientes de la unidad lógica programable. Sus salidas son enviadas mediante las líneas D50, D51, D52 y D53 (etiquetadas ULP16..ULP17), de regreso a la unidad Lógica Programable al decodificador U13.

BLOQUE COMBINACIONAL 5: este bloque consiste de 6 compuertas NOR-EXCLUSIVAS, 3 compuertas AND de 4 fan-in, 1 compuerta NAND de 4 fan-in y un paquete de 6 resistencias de 1 K cada uno. Las compuertas NOR-EXCLUSIVAS reciben en sus entradas desde la unidad Interfaz de Potencia mediante las líneas D32, D33, D34, D35, D36 y D37 (etiquetadas ULC19..ULC24), niveles lógicos que deben comparar con los niveles lógicos que se envían como control de esta unidad a la unidad Interfaz de potencia. La figura 35 muestra el bloque combinacional 5.

Quando las dos entradas de cualquier NOR-EXCLUSIVA no tienen el mismo nivel lógico a la vez, entonces se produce un 0 lógico en su salida, la cual está conectada a las AND, la que al recibir un 0 lógico en su entrada, automáticamente su salida tendrá un 0 lógico. Estos NOR-EXCLUSIVOS reciben un 0 lógico en su entrada desde la unidad Interfaz de Potencia cuando la luminaria realmente enciende, y un 1 lógico cuando está apagado; esto se compara con el estado de la salida real de la unidad combinacional hacia la unidad de Interfaz. Cuando ambas coinciden como debe ser (0 o 1 ambas a la vez), la salida de estas compuertas tendrán un 1 lógico; en caso contrario 0.

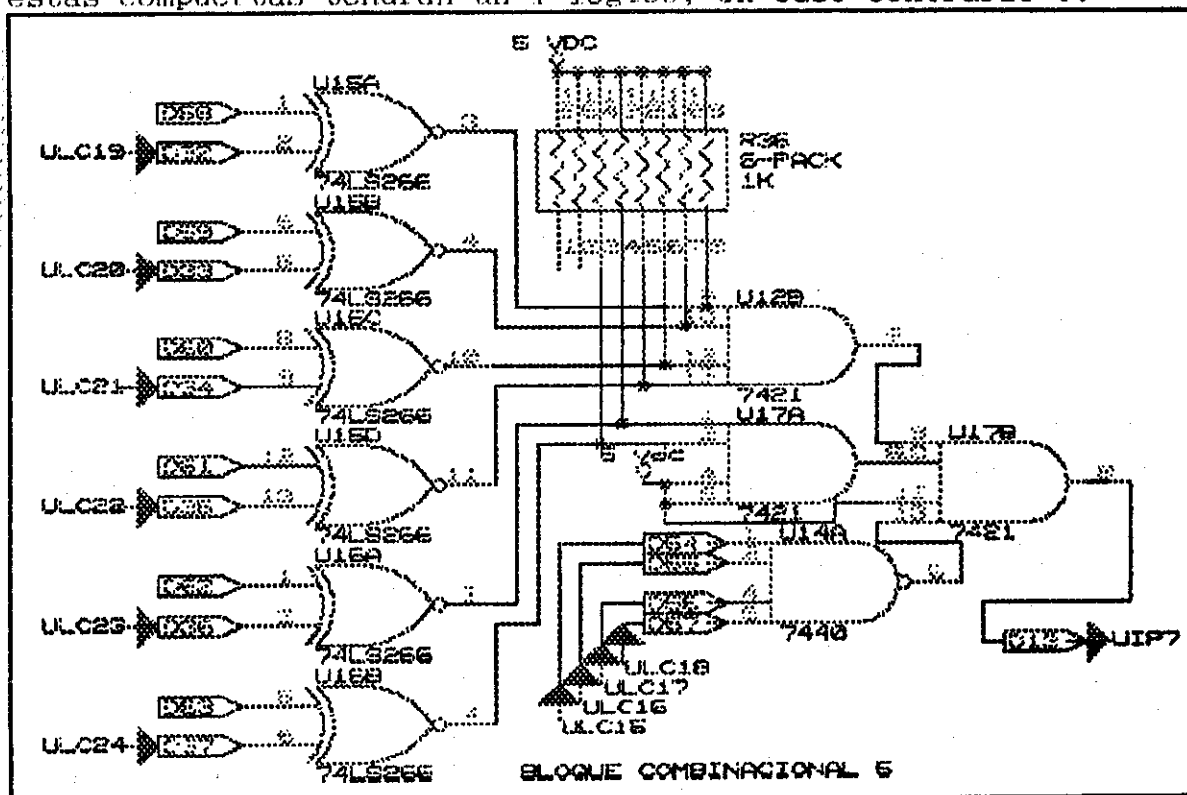


FIG.35: Bloque combinacional 5.

La compuerta U15A compara la salida D58 con el estado de la luminaria verde de avenida. La compuerta U15B compara la salida D59 con el estado de la luminaria amarilla de avenida. La compuerta U15C compara la salida D60 con el estado de la luminaria roja de avenida. La compuerta U15D compara la salida D61 con el estado de la luminaria verde de calle. La compuerta U15E compara la salida D62 con el estado de la luminaria amarilla

de calle. La compuerta U16B compara la salida D63 con el estado de la luminaria roja de avenida.

El paquete de resistencias se utiliza debido a que los NOR-EXCLUSIVOS son de colector abierto. El valor de estas resistencias puede oscilar entre 1 a 10 K.

Las otras entradas de este bloque combinacional provienen de la unidad Lógica Programable a través de las líneas D54, D55, D56 y D57 (etiquetadas ULC15..ULC18).

Si la programación de las unidades de memoria es la adecuada, se mantendrá en una de cualquiera de las 4 líneas siempre un nivel lógico 0. Esto asegura un nivel lógico 1 en la salida de la compuerta NAND U14A a cuyas entradas están acopladas las líneas mencionadas. Si se hubiese programado con combinaciones no aceptadas, las 4 líneas tendrán 1's lógicos y la salida de la NAND U14A será 1.

La compuerta U17B propiciará un nivel lógico 0 en su salida, cuando cualquiera de sus entradas caigan a 0 lógico. Sus entradas como se observa, proveniente de las salidas de las compuertas U12B, U17A y U14A. Esta salida es enviada mediante la línea D13 (etiquetada UIP7) a la unidad interfaz de potencia, para accionar un relé que deshabilite la alimentación a las luminarias.

A continuación, se enumera los dispositivos utilizados en esta unidad, los circuitos impresos (FIG.45A y FIG.45B) y el diagrama de alambrado.

UNIDAD LOGICA COMBINACIONAL

Item	Cantidad	Referencia	Parte
	1	1 R36	6-PACK, 1K,
2	2	U1,U2	7432,
3	1	U3	7404,
4	1	U11,	7408,
5	2	U12,U17	7421,
6	1	U14	7440,
7	2	U15,U16	74LS266,

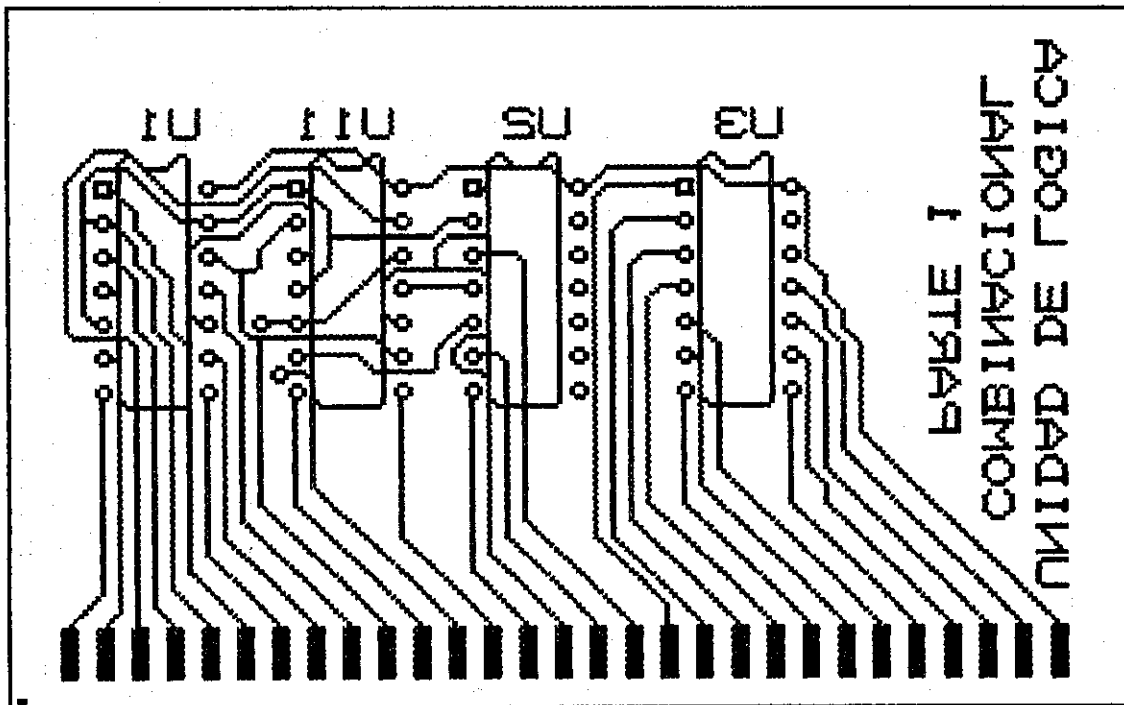


FIG.36: Circuito impreso 1 de la unidad Lógica Combinacional.

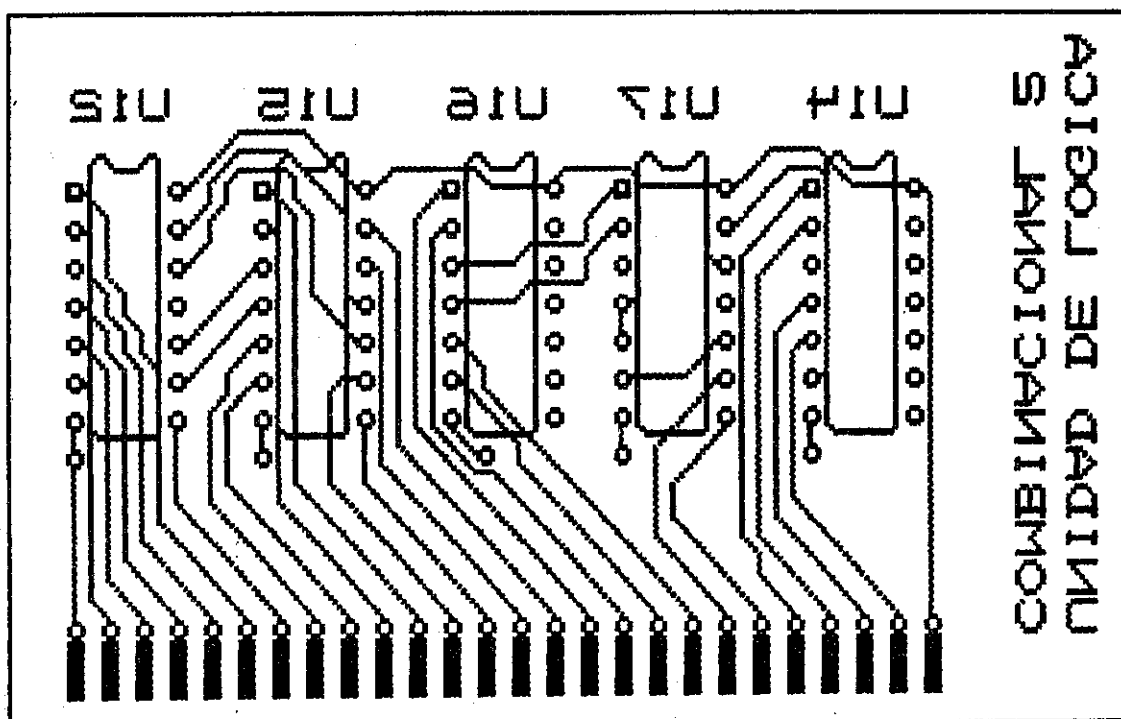
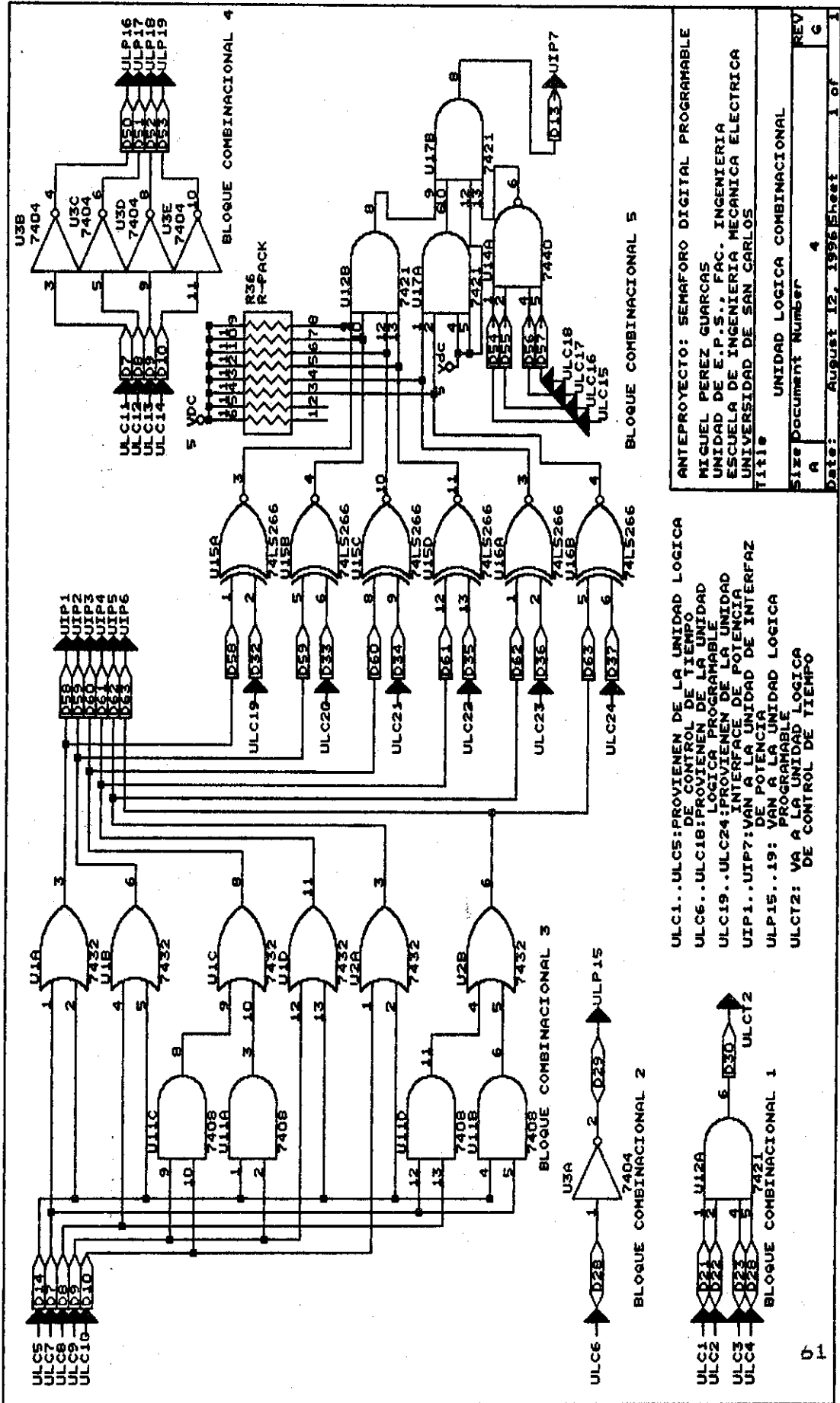


FIG.37: Circuito impreso 2 de la unidad Lógica Combinacional



ULC1..ULC5:PROVIENEN DE LA UNIDAD LOGICA DE CONTROL DE TIEMPO
 ULC6..ULC18:PROVIENEN DE LA UNIDAD LOGICA PROGRAMABLE
 ULC19..ULC24:PROVIENEN DE LA UNIDAD LOGICA PROGRAMABLE
 UIP1..UIP7:VAN A LA UNIDAD DE INTERFAZ DE POTENCIA
 ULP15..19: VAN A LA UNIDAD LOGICA PROGRAMABLE
 ULC72: VA A LA UNIDAD LOGICA DE CONTROL DE TIEMPO

ANTEPROYECTO: SEMAFORO DIGITAL PROGRAMABLE
 MIGUEL PEREZ GUARCAS
 UNIDAD DE E.P.S.. FAC. INGENIERIA
 ESCUELA DE INGENIERIA MECANICA ELECTRICA
 UNIVERSIDAD DE SAN CARLOS
 TITULO
 UNIDAD LOGICA COMBINACIONAL
 Size document Number 4
 REV A
 Date: August 12, 1996 Encet 1 of 6

D. I.

VII. UNIDAD INTERFAZ DE POTENCIA

VII.1 DIODOS EMISORES DE LUZ.

VII.1.A GENERALIDADES.

Cuando se recombinan los electrones con los huecos al cruzar la unión PN. el movimiento real de los electrones en relación con la banda de conducción y la banda de valencia muestra que hay varias trayectorias posibles para el electrón. Esta propiedad es la que utilizan los LED's que son diodos semiconductores que emiten luz. Suelen fabricarse de arseniuro de galio, fosfuro de galio o fosfoarseniuro de galio. Funcionan polarizados en sentido directo y con un resistor en serie.

VII.1.B FUNCIONAMIENTO.

La energía liberada en la recombinación es en forma de luz. El color de la luz depende del material semiconductor empleado. En la actualidad, existen diodos luminiscentes de colores verde, amarillo, rojo y naranja. Los diodos luminiscentes se denominan LED, siglas de la expresión LIGHT EMITTING DIODE que significa diodo emisor de luz. La eficiencia de conversión de energía en luz alcanzado en la fabricación de estos dispositivos es relativamente grande (actualmente 20%). La figura 38 representa el símbolo del LED.

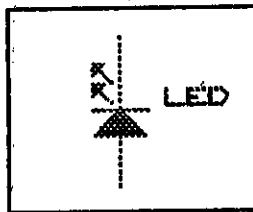


FIG. 38 :

Símbolo de un LED.

La primer versión comercial del diodo emisor de luz (LED) utilizó el arseniuro de galio con un intervalo entre las bandas de valencia y conducción de 1.37 eV. Este diodo produce luz de longitud de onda de 9100 Å, la cual es de color rojo oscuro.

El diodo de fósforo de galio tiene un intervalo de 2.25 eV que corresponde a una longitud de onda de 5600 Å, y produce una luz de color verde.

Puesto que las trayectorias de recombinación no son exactamente las mismas, la luz producida no es por completo monocromática. Sin embargo, la principal ventaja del dispositivo es que la luz producida presenta una relación bastante lineal con la corriente en el diodo. La ruptura de enlaces covalentes debida al incremento en la temperatura ambiente reduce la cantidad de luz emitida.

VII.1.C DISEÑO.

El LED se opera en polarización directa. No hay emisión de luz cuando el diodo se polariza inversamente. El LED tiene un valor muy pequeño de voltaje inverso de ruptura y una caída de voltaje relativamente alta (más de 2 V) cuando se polariza en forma directa. La ventaja del led es que se puede producir luz con una potencia de entrada muy pequeña. El LED típico consume una potencia de 30.4 mW, con 20 mA a 1.52 V

VII.2 TIRISISTORES.

VII.2.A GENERALIDADES.

El Triac es un miembro de la familia de los dispositivos semiconductores que tiene dos estados estables de operación:

- a) Un estado estable tiene muy baja corriente y a menudo es insignificante.
- b) El otro estado tiene muy alta corriente que se limita sólo por la resistencia del circuito externo.

VII.2.B FUNCIONAMIENTO.

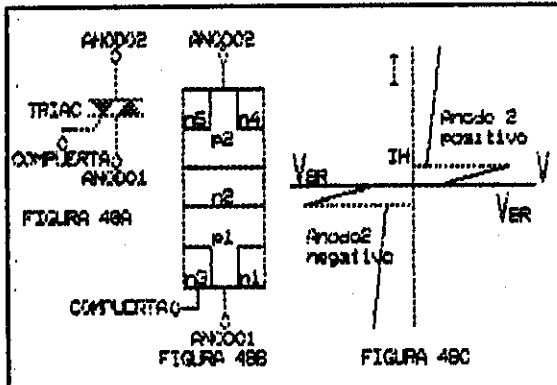


FIG.39: Símbolo. Estructura y curva característica de un SCR.

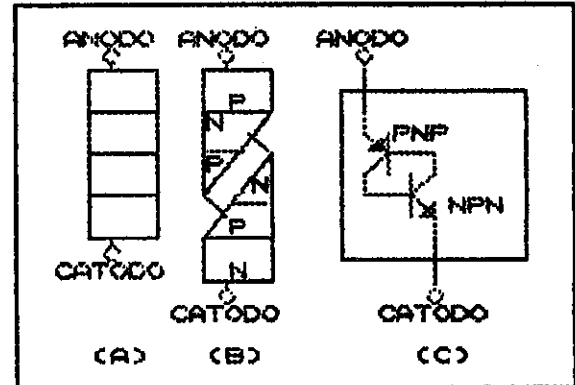


FIG.40: Símbolo. Estructura y circuito equivalente de un PNPN.

El triac es un diodo de cuatro capas con una terminal de compuerta para controlar las condiciones de disparo del dispositivo bilateral en cualquier dirección.

El símbolo gráfico para el dispositivo, la distribución de las capas semiconductoras y su gráfica característica se presentan en la figura 39.

Para la comprensión de ésta, nos basamos en el funcionamiento del diodo de 4 capas (figura A). El circuito equivalente de este diodo es presentado en la figura 40C; es una división de la estructura del diodo 4 capas en dos transistores BJT.

Nótese que uno de los transistores de la figura 40C es un transistor NPN, en tanto que el otro es un PNP. Cuando se aplica en sus terminales Anodo y Cátodo un voltaje, hay un transistor que se encuentra polarizado en inversa, con lo cual la corriente que circula en ella es casi cero, y se comporta como un circuito abierto. Pero si se aplica un voltaje en las bases (compuerta) de cualquiera de los dos, se producirá un efecto de avalancha, y los induce a conducir.

VII.2.C DISEÑO.

Las tres terminales del TRIAC se denominan Main Terminal 1 (anodo 1), Main terminal 2 (anodo 2) y Gate (compuerta). Las especificaciones principales que se deben considerar en la selección de un Triac son: voltaje de ruptura, corriente máxima que soporta en conducción, corriente de mantenimiento, temperatura de operación, voltaje de compuerta máximo, corriente de compuerta mínima para la conducción, corriente máxima que se puede aplicar a la compuerta, tiempo de cambio a estado apagado.

VII.3 OPTO AISLADORES.

VII.3.A GENERALIDADES.

El opto aislador es un dispositivo que incorpora muchas características descritas en las secciones anteriores. El efecto fotoeléctrico fue accidentalmente descubierto por Hertz en 1887, cuando se encontraba investigando las ondas electromagnéticas predichas por la teoría de Maxwell del campo electromagnético. En sí el efecto fotoeléctrico es la expulsión de electrones de la superficie de algún material cuando se le hace incidir luz.

VII.3.B FUNCIONAMIENTO.

Se compone de un paquete que contiene un LED infrarrojo y un fotodetector tal como un diodo de silicio, un par de transistores Darlington, un SCR o un Triac. La longitud de onda de cada dispositivo se ajusta para que sea lo más idéntica posible y permitirá el mejor acoplamiento posible.

El principio básico de los fotodetectores se basa en el comportamiento inverso de los diodos emisores de luz. La absorción de fotones de luz hace que electrones adquieran energía para pasar a la banda de conducción, e induce por efectos fotoeléctricos una corriente a través de ella. En la figura 41, se muestra un optoaislador.

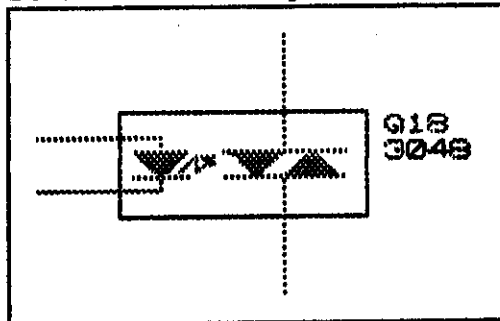


FIG.41: Símbolo de un Opto-aislador.

En el optoaislador, encontramos una fuente emisora de luz a través del LED, y una fotodetectora de luz. Cuando se hace circular corriente en el LED, ésta emite luz, entonces las terminales del dispositivo fotodetector incorporado se cortocircuitan.

Cuando la corriente en el LED disminuye a cero, las terminales del fotodetector se comportan como circuito abierto.

La principal ventaja de estos optoaisladores es su relativa "ALTO AISLAMIENTO", ya que no se produce conexión eléctrica entre los circuitos de entrada (led) y salida (fotodetector). Estos dispositivos se diseñan con tiempos de respuesta tan pequeños que pueden emplearse para transmitir datos en el rango de megahertz.

VII.3.C DISEÑO.

Existen varias divisiones como:

- a) Optoaisladores tipo fototransistor.
- b) Optoaisladores tipo fototiristores.
- c) Optoaisladores tipo fotofet.
- d) Optoaisladores tipo Schmitt Trigger.

Dependiendo del tipo de optoaislador que se va a usar, se determinan las especificaciones. Para Fototiristor, se considera: voltaje de aislamiento y potencia de disipación del paquete, corriente máxima y voltaje de ruptura del LED; para el fotodetector: voltaje de ruptura, corriente de mantenimiento, corriente máxima a través de ella en conducción, corriente mínima de accionamiento y caída de voltaje en ella cuando está en conducción.

VII.4 DISEÑO DE PROTOTIPO DE UNIDAD INTERFAZ DE POTENCIA.

CONDICIONES:

1. Debe manejar luminarias de 150 W
2. Es el acoplamiento entre la señal de control (5VDC) y la parte de potencia (120 VAC).

FUNCIONAMIENTO:

Para su análisis, se divide en dos bloques de acción: el bloque de acción 1 recibe sus entradas desde la unidad Lógica combinacional a través de las líneas D13, D58, D59, D60, D61, D62 y D63 (etiquetadas UIP7, UIP1..UIP6); el bloque de acción 2 envía salidas a la unidad lógica combinacional mediante las líneas D32, D33, D34, D35, D36 y D37 (etiquetadas ULC32..ULC37).

La figura 42 muestra una sección del bloque de acción 1 de la unidad. Su funcionamiento se basa en que cuando las líneas de entrada reciben un nivel lógico 0, éstas accionan el Optoaislador (3048) a la que están acopladas, y hacen que el LED interno en estos emita luz, la cual al ser recibida por el fotodetector pasa al estado de conducción (Corto circuito) y se produce señal de habilitación para la compuerta del TRIAC (5629) que también pasa al estado de conducción, cerrando el circuito de potencia que permite el paso de corriente a través de las luminarias o el relay según sea el caso.

En resumen su acción es la siguiente:

1. Cuando recibe un nivel lógico 1, la luminaria se apaga.

2. Cuando recibe un nivel lógico 0, la luminaria se enciende.

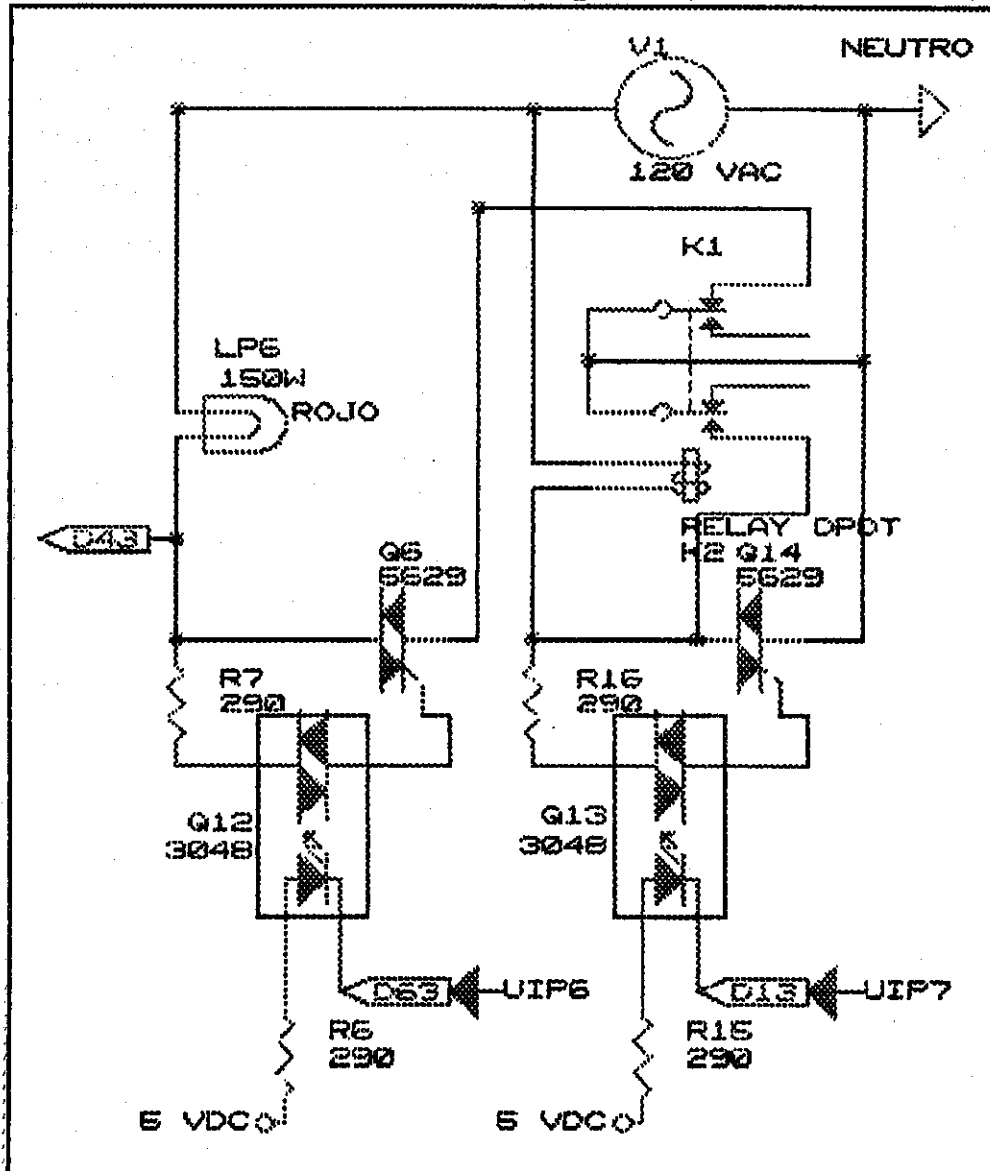


FIG.42: Sección 1 de bloque de acción de la unidad 7.

La figura 43 muestra una sección del bloque de acción 2:

Su funcionamiento es similar al anterior, sólo que en forma inversa. Inicialmente opera cuando se tiene la luminaria apagada que se tiene acoplada al circuito; la línea que alimenta al Rectificador Punte (5319) tiene un voltaje casi igual al de la alimentación de potencia, 120 VAC, con lo cual pasando por las resistencias, se tiene una corriente suficiente que enciende el LED del optoaislador (3048), cuya acción sobre el fotodetector es poner a esta última en conducción (corto circuito), entonces se coloca un voltaje de 5 VDC en la resistencia acoplada al fotodetector, la que se envía a la unidad lógica combinacional para su comparación con las señales de entrada.

Cuando la luminaria enciende, la alimentación del rectificador cae al valor de caída de voltaje del TRIAC (5629), que no es suficiente para accionar el LED, y el fotodetector cambia al estado de no conducción, con lo cual el voltaje en la resistencia acoplada es de 0 voltios. En resumen, el voltaje en la resistencia acoplada al Fotodetector, producirá las siguientes señales:

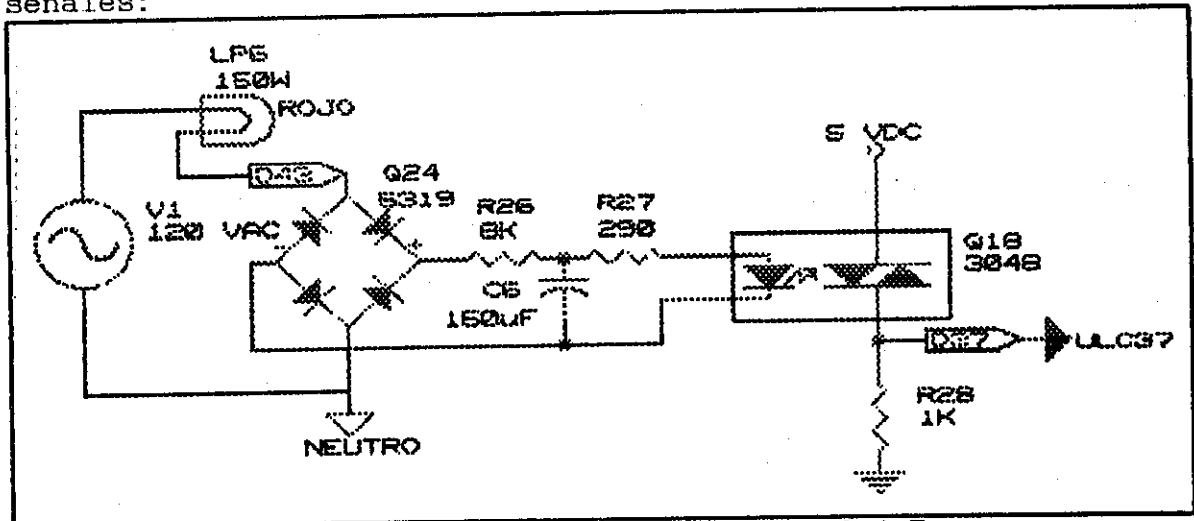


FIG.43: Sección 2 de bloque de acción de unidad 7.

1. Un nivel lógico 1, cuando la luminaria se encuentra apagada.
2. Un nivel lógico 0, cuando la luminaria se enciende.

Esta línea es enviada a la unidad lógica combinacional para ser comparada con las señales de entrada del bloque 1, estos deben de coincidir en todo instante. Esto implica que cualquier condición anómala en el sistema hará que la señal de entrada del bloque 1 y la salida del bloque 2 no coincidan, entonces la unidad lógica combinacional detecta esta circunstancia y envía una señal de corte o fuera de línea (0 lógico) al sistema de potencia mediante la línea D13, y la deja fuera de servicio hasta que se corrija el problema y se resetee.

DISEÑO:

El relay se seleccionó por las siguientes especificaciones.

Voltaje de alimentación	: 120 VAC.
Corriente de bobina	: 500 mA
Voltaje de contactos	: 120 VAC.
Corriente de contactos	: 5 A

Los dispositivos se seleccionaron por lo siguiente:

PARAMETROS	OPTOAI SLADOR FOTODETECTOR	LED	TRIAC	RECTI- FICADOR
VOLTAJE DE AISLAMIENTO(V)	7500 paquete	total	---	---
POTENCIA DE DISIPACION(mW)	330 paquete	total	---	---
CORRIENTE MAXIMA (mA)	100	60	---	---
VOLTAJE DE RUPTURA (V)	400	3.0	400	600
CORRIENTE EFICAZ MAXIMA(A)	---	---	4.0	4.0
CAIDA DE VOLTAJE (V)	3.0	1.5	3.0	1.0 c/u
CORRIENTE MANTENIMIENTO(mA)	0.1	---	3.0	---
VOLTAJE DE COMPUERTA(V)	---	---	3.0	---
TIEMPO DE RECUPERACION(us)	---	---	10	---
CORRIENTE PICO REPETITIVA(A)	---	---	---	200

A continuación, se enumera los dispositivos utilizados, el circuito impreso (FIG.44) y el diagrama de conexiones en dos hojas.

UNIDAD INTERFAZ DE POTENCIA

Item	Cantidad	Referencia	Parte
1	1	K1	RELAY DPDT,
2	2	LP1, LP4	150W, VERDE
3	2	LP2, LP5	150W, AMARILLO
4	2	LP3, LP6	150W, ROJO
5	7	Q1, Q2, Q3, Q4, Q5, Q6, Q14	5629,
6	13	Q7, Q8, Q9, Q10, Q11, Q12, Q13 Q15, Q16, Q17, Q18, Q19, Q20	3048,
7	20	R1, R2, R3, R4, R5, R6, R7, R8, R9, R10, R11, R12, R15, R16 R18, R21, R24, R27, R30, R33	290,
8	1	V1	120 AC,
9	6	C5, C6, C7, C8, C13, C14	150uF,
10	6	Q21, Q22, Q23, Q24, Q25, Q26	5319,
11	6	R17, R20, R23, R26, R29, R32	8K,
12	6	R19, R22, R25, R28, R31, R34	1K,

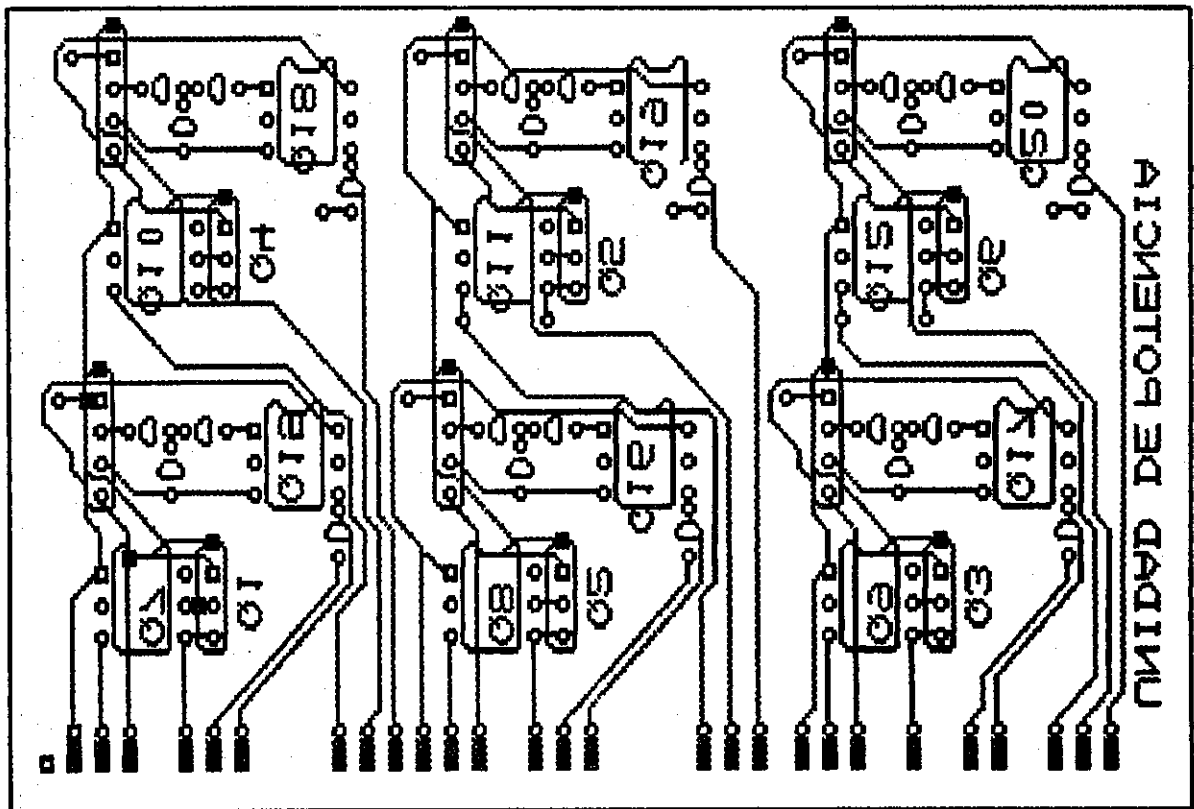
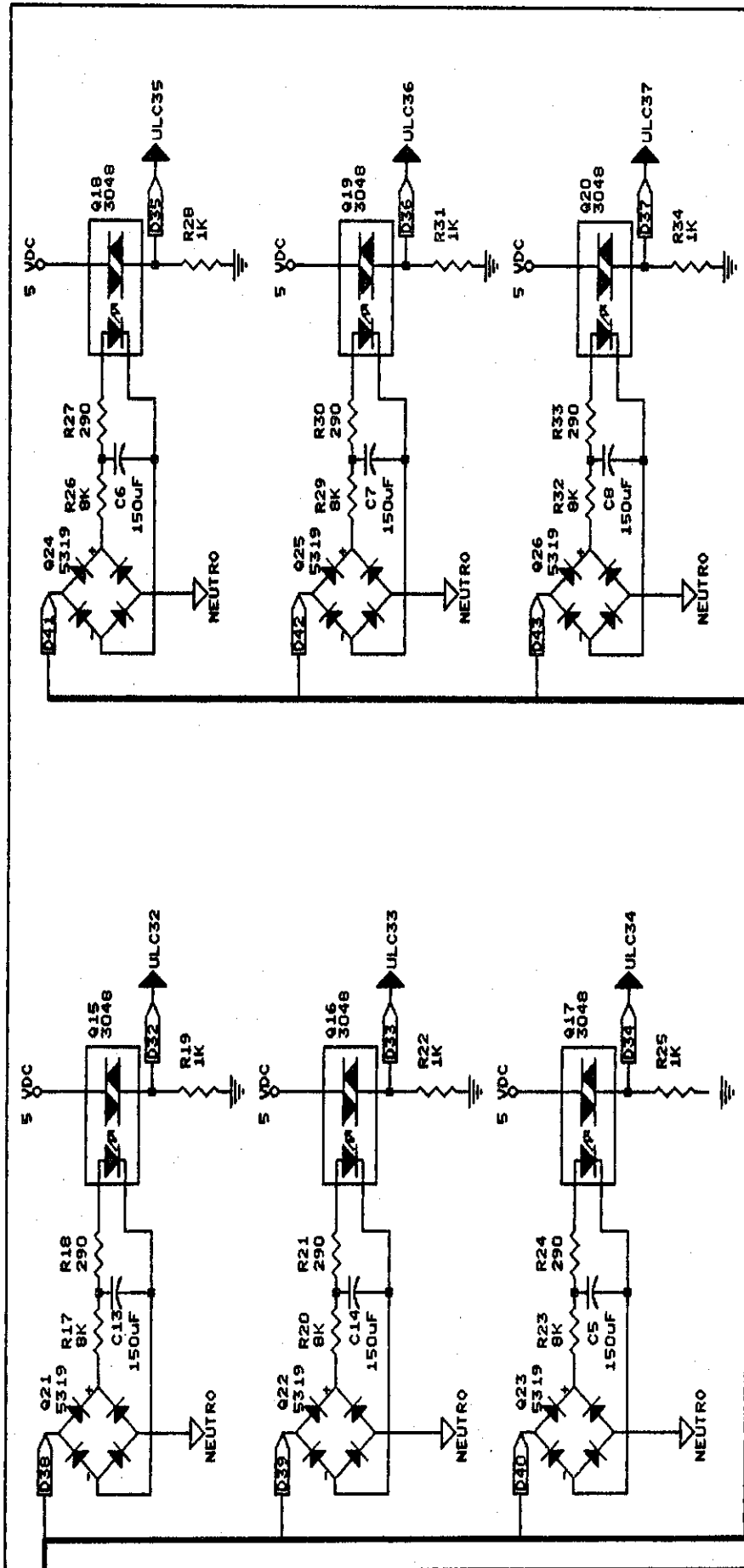


FIG.44: Circuito impreso de la unidad 7.



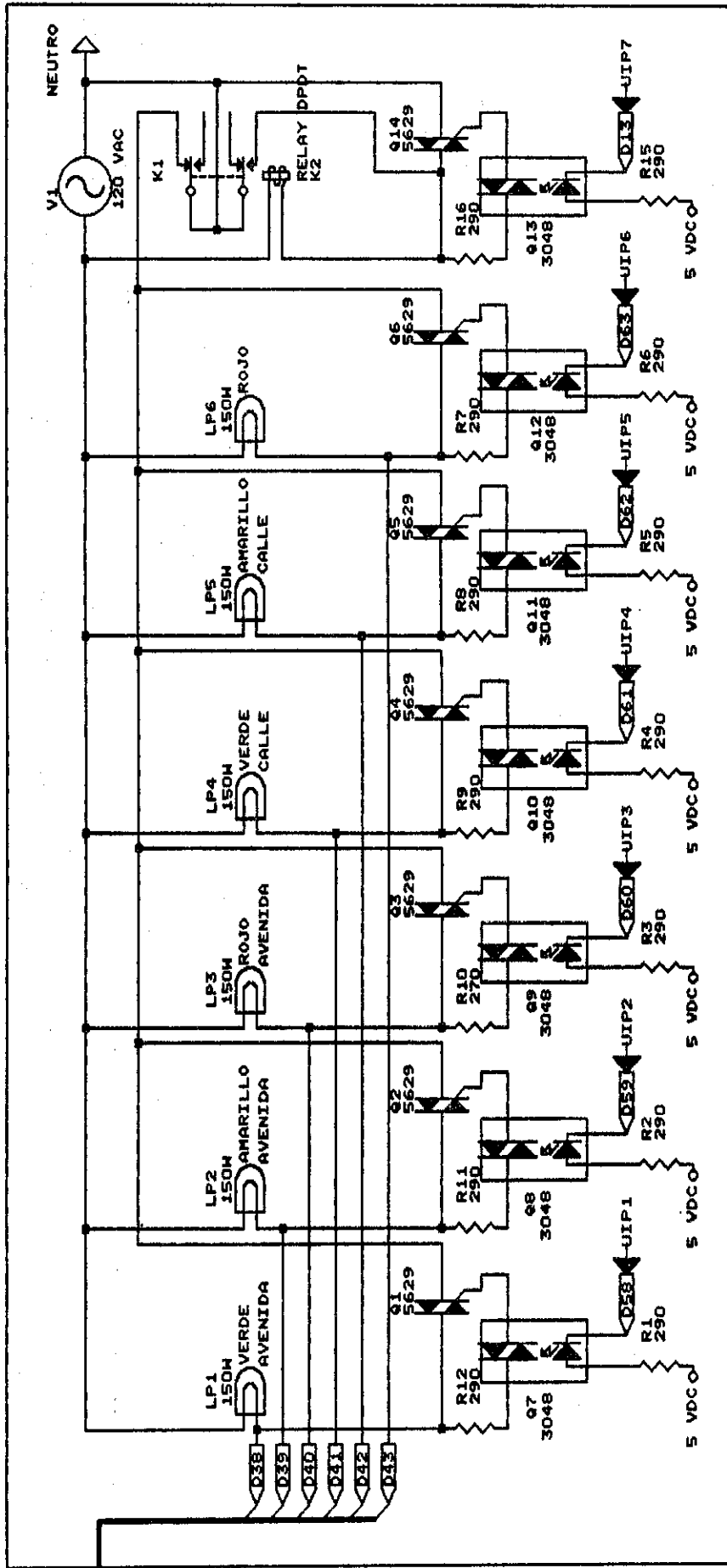
D38..D43 :VIENEN DEL BUS INTERNO DE LA UNIDAD INTERFAZ DE POTENCIA
 Q21..Q26 :SON PUENTES RECTIFICADORES 5319.
 Q15..Q20 :SON OPTO AISLADORES 3048.
 ULC19..ULC24 :VAN A LA UNIDAD DE LOGICA COMBINACIONAL.

ANTEPROYECTO: SEMAFORO DIGITAL PROGRAMABLE
 MIGUEL PEREZ GUARCAS
 UNIDAD DE E.P.S.: FAC. INGENIERIA
 ESCUELA DE INGENIERIA MECANICA ELECTRICA
 UNIVERSIDAD DE SAN CARLOS

Title UNIDAD INTERFAZ DE POTENCIA

Size	Document Number	5
REV		G

Date: August 12, 1986 Sheet 1 of 2



UIP1..UIP7 : PROVIENEN DE LA UNIDAD LOGICA COMBIANCIONAL

Q7..Q13 : SON OPTOAIISLADORES 3048.

Q1..Q6, Q14 : SON TRIAC'S 5629.

LP1..LP6 : SON LUMINARIAS DE 150 W.

K1, K2 : CONTACTOS DE RELE DE DOBLE POLO

V1 : FUENTE COMERCIAL DE ALIMENTACION 120 VAC.

D44..D49 : SE ENVIAN A BUS INTERNO DE LA UNIDAD INTERFAZ DE POTENCIA.

ANTEPROYECTO: SEMAFORO DIGITAL PROGRAMABLE
 MIGUEL PEREZ GUARCAS
 UNIDAD E.P.S., FAC. INGENIERIA
 ESCUELA DE INGENIERIA MECANICA ELECTRICA
 UNIVERSIDAD DE SAN CARLOS

Title		UNIDAD INTERFAZ DE POTENCIA	
Size	Document Number	5	
REV	Date:	August 12, 1996	Sheet 2 of 2

VIII. UNIDAD DE PROGRAMACION.

En esta unidad, se presentará la metodología para borrar y programar las memorias EPROM's, utilizadas en este proyecto.

VIII.1 BORRADO DE MEMORIAS

El equipo electrónico que permite el borrado se denomina BORRADOR DE EPROM (EPB-MPF), construida por Multitech Industrial Corp. de Taiwán; está inventariado en el laboratorio de electrónica como E.2.1.212, designado EBP-MPF 5762.

Este borrador de Eprom tiene una base para alojar la memoria EPROM que se desee borrar; su trabajo lo realiza generando luz ultravioleta intensa y de cierta longitud adecuada transfiriendo energía de fotones a las cargas atrapadas, y permitie descargar a la compuerta flotante por completo, con lo cual se logra el borrado.

La secuencia de borrado es la siguiente:

1. Energizar el borrador de Eprom, a través del adaptador incorporado.
2. Colocar el CI Eprom que se desee borrar en la base del borrador de Eprom, teniendo cuidado de tener descubierta la parte central del CI, que tiene una abertura transparente, ya que ese lugar recibirá la luz ultravioleta encargada de limpiar los datos de las celdas de almacenamiento.
3. Habitualmente se debe dejar el CI durante un minuto en el borrador.
4. Transcurrido el tiempo anterior, se debe de remover el CI de la base del borrador, teniendo cuidado al tocarlo, ya que se produce un calentamiento medio de la misma.
5. Por último, desconectar el borrador de Eprom.

VIII.2 PROGRAMACION DE MEMORIAS.

El equipo utilizado para programar la Eprom es designada como MICRO-PROFESOR, construida también por Multitech Industrial Corp., inventariada por el laboratorio de electrónica como E.2.1.210, aunque existen 6 más que pueden ser utilizadas. Este equipo es una microcomputadora basada en el microprocesador de 8 bits Z-80, de 2K bytes de RAM y de ROM también.

Los datos que maneja el Micro-profesor están dados en Hexadecimal. Este equipo posee un teclado de 36 llaves que incluye 19 funciones.

La secuencia para programar es la siguiente:

1. Energizar el Micro-profesor.
2. Energizar la tarjeta de escritura de EPROM y conectarla al micro-profesor, a través del conector incorporado.
3. Colocar el CI Eprom en la base de la tarjeta de escritura.
4. Esperar que aparezca el siguiente patrón en el display MPF--
5. Presionar la tecla ADRR, teclear 9800 (dirección de tarjeta).
6. Presionar la tecla DATA, teclear 2764 (# de Eprom).
7. Presionar nuevamente tecla ADRR, teclear 0000 (dirección 0 de CI).
8. Presionar la tecla DATA, teclear primer dato de listado de programa.

En este momento, se empiezan a ingresar los datos que vamos a programar en el CI EPROM, cada vez que se ingrese un dato se presiona la tecla + indicando que avanzamos una dirección, para colocar el siguiente dato.

9. Al llegar a la dirección 2100, se tecléa el último dato.
10. Si se desean verificar los datos, se presiona la tecla ADRR y se ingresa la dirección a verificar (si es desde el inicio se tecléa 0000) y se presiona la tecla + o -, si se desea avanzar o retroceder de dirección.
11. Después de verificar o al finalizar el ingreso de los datos, se presiona la tecla PROGRAM, y se produce inmediatamente la programación del CI Eprom.
12. Se procede a sacar el CI de la tarjeta de escritura, y se da por concluida la programación.

A continuación, se presentan los datos permitidos de almacenamiento en el sistema Binario y en el sistema Hexadecimal, con el accionamiento correspondiente que produce sobre las luminarias del semáforo.

DATO EN EPROM 2764		ACCION DE LUMINARIAS DEL SISTEMA					
DATO EN BINARIO	DATO EN HEXADECIMAL	A V E N I D A			C A L L E		
		V	A	R	V	A	R
01110	0E	ON	OFF	OFF	OFF	OFF	ON
11110	1E	INT	OFF	OFF	OFF	OFF	ON
01101	0D	OFF	ON	OFF	OFF	OFF	ON
01011	0B	OFF	OFF	ON	ON	OFF	OFF
11011	1B	OFF	OFF	ON	INT	OFF	OFF
00111	07	OFF	OFF	ON	OFF	ON	OFF
11101	1D	OFF	INT	OFF	OFF	OFF	INT
10111	17	OFF	OFF	INT	OFF	INT	OFF

Donde:

Dato binario: dato en lenguaje máquina que ingresa a la Eprom.

Dato hexadecimal: dato de programación correspondiente.

- V : luminaria verde.
- A : luminaria amarilla.
- R : luminaria roja.
- ON : Acción de encendido.
- OFF : Acción de apagado.
- INT : Acción intermitente (flasheo).

IX. ANALISIS Y DISEÑO CON CIRCUITOS INTEGRADOS TTL.

IX.1 FAMILIA TTL SERIE 54/74.

La familia de circuitos integrados (CI's) TTL (Transistor-transistor logic) se estableció en Texas Instruments INC., como línea estándar de productos desde 1964, y le asignó el nombre de Redes de Semiconductores SN (Semiconductor Network) serie 54. Los primeros dispositivos fueron construidos para satisfacer las necesidades del mercado militar donde el tamaño, el consumo de energía y la confiabilidad son muy importantes. La versión industrial se comercializó bajo la serie 74 de bajo costo, donde las características de operación se garantizaban en un rango de 0 a 70°C a diferencia de la serie 54 que opera en un rango de -55 a 125°C. La familia serie 54/74 ha sido clasificada en cuatro grandes divisiones: a) estándar (SN 54/74), b) alta velocidad (SN 54H/74H), c) baja potencia (SN 54L/74L) y d) diodo Schottky (SN 54S/74S).

CARACTERISTICAS TIPICAS.

Todos los miembros de las familias TTL de la Serie 54/74 son compatibles y tienen las siguientes características típicas comunes:

Voltaje de alimentación :	5.0 V.
Salida de voltaje para el 0 lógico :	0.2 V.
Salida de voltaje para el 1 lógico :	3.0 V.
Inmunidad al ruido :	1.0 V.

TABLA COMPARATIVA DE LAS FAMILIAS TTL 54/74.

PRODUCTO VEL. NOMBRE	ABRE- VIATURA	RETARDO DE	DISIPACION	
		PROPAGACION (nS)	DE POTENCIA (mW)	POT- (pJ)
TTL ESTANDAR	TTL	10	10	100
TTL BAJA POTENCIA	LTTL	33	1	33
TTL ALTA POTENCIA	HTTL	6	22	132
TTL SCHOTTKY	STTL	3	19	57
TTL SCHOTTKY BAJA POT.	LSTTL	9.5	2	19

SERIE ESTANDAR 54/74 DE CIRCUITOS TTL.

La serie estándar 54/74 de circuitos integrados ofrece la mejor combinación de velocidad y disipación de energía para la mayoría de las aplicaciones.

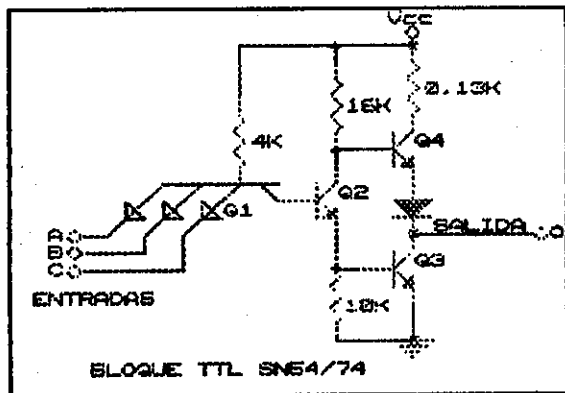


FIG.45: Circuito básico de la familia TTL SN 54/74.

En la figura 45, se muestra el circuito de un bloque básico, con su entrada a través del emisor múltiple y su salida a través del transistor activo tipo pull-up, el transistor Q1 con su entrada de múltiple emisor permite una gran lógica por un mínimo tamaño físico y es la base para la alta velocidad en los circuitos TTL, y se logra asimismo una baja impedancia de salida por el uso del transistor activo Q3 tipo pull-up, mejorando la inmunidad al ruido y la rapidez de cambio de estado.

La familia estándar ofrece la mayoría de compuertas y circuitos de integración a baja escala (SSI), además de registros de corrimiento, contadores, decodificadores, memorias, selectores de datos, elementos aritméticos, variedad de flip-flops, etc.

IX.2 CARACTERISTICAS Y ANALISIS DE LA SERIE 54/74.

VENTAJAS DE LOS CIRCUITOS TTL: como se observa en la figura 53, con la entrada de emisor múltiple en el transistor Q1, se logran ventajas que difícilmente se obtendrían en otros circuitos. Cuando el voltaje en cualquiera de las entradas es bajo (0 lógico), la junta base emisor se polariza en forma directa; para esta condición la acción convencional de un transistor npn requiere una gran cantidad de corriente en la terminal del colector, pero debido a que el colector de Q1 es la base de Q2 y debido a que no es posible una gran cantidad de corriente inversa en la base, Q1 entra en saturación.

La junta colector base está polarizada directamente haciendo que exista una trayectoria de muy baja impedancia para remover en forma rápida la carga almacenada en la base de Q2, teniéndose tiempos de cambio de conducción a corte mucho mejores que en configuraciones de otros bloques. El arreglo de emisor múltiple reemplaza las combinaciones de diodos, resistencias y transistores que existen en otros tipos de circuitos.

Por comparación, se concluye que su tamaño es menor y teniéndose dimensiones menores, se pueden abaratar costos o lograr más funciones o ambos en una cápsula de CI, además de reducir la capacitancia parásita, y se obtiene mejores velocidades en los cambios de estado. En la parte de salida de un bloque TTL, Q3 y Q4 proveen fuente de baja impedancia, y permite así manejar cargas capacitivas grandes sin afectar la velocidad del bloque.

PARAMETROS DEL CIRCUITO: para que las especificaciones de los circuitos puedan ser interpretadas correctamente, es necesario que se establezcan las condiciones de las pruebas a que se

someten. Todos los fabricantes garantizan en sus CI's el peor caso en las condiciones de prueba. Las pruebas de peor caso implican un margen de seguridad.

Todos los límites de corriente directa mostrados en las hojas de especificaciones se garantizan para todo rango de temperaturas de 0 a 70°C para las series 74 y un rango de alimentación de voltaje de 4.75 a 5.25 V.

CARACTERISTICAS DE TRANSFERENCIA: en la mayoría de las aplicaciones un bloque lógico se conecta a un bloque similar; por lo tanto, debe existir compatibilidad de niveles lógicos tanto en la entrada como en la salida de los bloques. Los niveles lógicos para la entrada y salida de las funciones lógicas de la serie 74, se definen en la siguiente forma.

V_{IL} : nivel de voltaje requerido para un 0 lógico en una entrada (0.8V).

V_{IH} : nivel de voltaje necesario para un 1 lógico en una entrada (2V).

V_{OL} : nivel de voltaje en la salida cuando está en 0 lógico (0.4V).

V_{OH} : nivel de voltaje en la salida cuando está en 1 lógico (2.4V).

V_T : voltaje de entrada (Threshold) al cual, entrada y salida son iguales.

Algunos parámetros más importantes para la familia 74 se listan:

VOLTAJES TÍPICOS DE SALIDA Y UMBRAL PARA BLOQUES SN74
En función de la temperatura ambiente T_A $V_{CC}=5V$, $N=10$.

	-55°C	0°C	25°C	70°C	125°C
V_{OH}	3.0	3.1	3.25	3.3	3.5
V_{OL}	0.25	0.29	0.30	0.31	0.32
V_T	1.5	1.4	1.3	1.2	1.0

En función del voltaje de alimentación V_{CC} $T_A=25°C$, $N=10$.

	4.5 V	4.75 V	5.0 V	5.25 V	5.5 V
V_{OH}	2.6	2.85	3.25	3.35	3.55
V_{OL}	0.33	0.32	0.30	0.30	0.30
V_T	1.28	1.29	1.3	1.32	1.35

N: número de unidades lógicas acopladas a la salida.

MARGEN DE RUIDO DE CORRIENTE DIRECTA:

El margen de ruido de corriente directa se define como la diferencia entre los límites de voltaje del circuito alimentador para garantizar los estados lógicos de un bloque y las necesidades nominales de este último. En la figura 46, se muestra el área en que puede operarse con seguridad, comúnmente llamada margen garantizado de ruido de corriente directa, la cual es de 400mV.

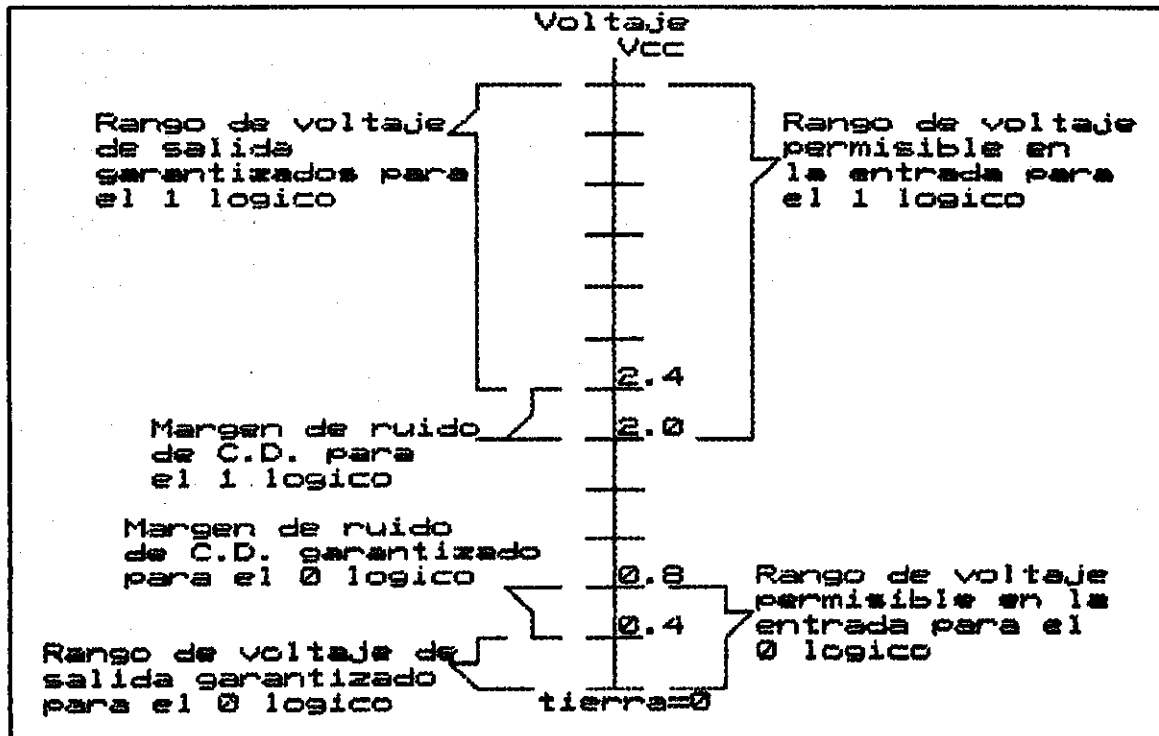


FIG.46: Gráfica de margen de ruido de corriente directa.

Las salidas de los bloques TTL son probadas bajo las peores condiciones de temperatura y voltaje V_{cc} , y de ellas se garantiza que no se exceda un valor de 0.4 V para el 0 lógico o que caigan debajo de 2.4 V para el 1 lógico. Sin embargo, cuando se aplican voltajes en las entradas para obtener estas condiciones de salida, 2.0 V se usa como un 1 lógico de entrada y 0.8 V como un 0 lógico, resultando en un margen garantizado de 400 mV para el peor caso para ambos estados.

En el estado lógico 0 la salida, no puede ir arriba de 0.4 V, aun cuando en el bloque de entrada se tengan voltajes de salidas mayores, que pueden ser hasta de 0.8 V antes de que ocurran cambios significantes en la salida. Un ruido de 400 mV se puede presentar en la entrada de un bloque sin que se propaguen los efectos del mismo a través de los siguientes bloques.

Aunque sólo se garantizan 400 mV, en la práctica se puede aceptar un margen de ruido de hasta 1 voltio, ya que los bloques 74 cambian su estado cuando el voltaje de entrada pasa a través del voltaje mínimo de entrada V_T (Threshold) de aproximadamente 1.35 V ($T_A=25^\circ C$). La salida típica es de 3.3 V en el estado lógico 1 y 0.2 V en el estado lógico 0. El margen del ruido varía respecto a la temperatura ambiente, pero nunca es menor de 400mV.

MARGEN DE RUIDO DE CORRIENTE ALTERNA.

En circuitos con la velocidad de operación de circuitos lógicos integrados, los pulsos de microsegundos de ancho son bastante largos y pueden ser tratados como corriente directa desde el punto de vista de márgenes de operación. Cuando los pulsos se acortan, alcanzan un límite donde el pulso de entrada puede ser menor que el tiempo necesario para que la señal se propague a través del circuito.

Los efectos ocasionados por la amplitud del pulso, se pueden dividir en dos reacciones diferentes:

1. El efecto de que una entrada sea cambiada al estado opuesto parcial o completamente. Esto afecta el tiempo de propagación del circuito.

2. Efectos de almacenamiento capacitivo o de acoplamiento, los cuales pueden ocasionar que pulsos de alta amplitud entren y sean parcialmente almacenados. Este comportamiento permite al bloque continuar las respuestas a un pulso; aun cuando éste haya desaparecido de la entrada, puede haber también una reacción progresiva ante pulsos de alta amplitud repetidos con poco espacio entre ellos. Aunque el primer pulso de la secuencia no ocasione un cambio en el bloque, los siguientes sí pueden hacerlo. Si el tiempo entre pulsos es mayor que el ancho del pulso, no habrá problema de este efecto. Nuevamente, esto se aplica sólo a pulsos muy rápidos, cortos y de gran amplitud.

RECHAZO AL RUIDO (Noise Rejection).

Un pulso generado afuera por problemas de ruido se convierte en un problema cuando se recibe en un sistema y causa un mal funcionamiento. Los sistemas lógicos estables que no tienen elementos de almacenamiento son prácticamente impenetrables a los ruidos de corriente alterna. Los sistemas con almacenamiento que reciben señales de disparo, o bien, los que operan con bastante rapidez son más susceptibles a problemas de ruido, ya que aparecen en ella como una señal.

Los voltajes por ruido pueden ser introducidos al circuito en forma radial, o bien, por acoplamiento. La cantidad de potencia requerida por el ruido para desarrollar un voltaje dado es estrictamente una función de la impedancia del circuito, con lo cual los circuitos TTL de baja impedancia de salida mejoran las condiciones de inmunidad al ruido. A través de acoplamiento de impedancias, el ruido se transfiere de la fuente que lo origina a la impedancia del circuito bajo consideración. La habilidad para operar en ambientes ruidosos es, entonces, una interacción de los márgenes de operación previstos en el circuito, el tiempo necesario para que el dispositivo reaccione y la facilidad con que el ruido de voltaje se desarrolla. Los diseños de los circuitos TTL han enfatizado el rechazo al ruido, excepto en la habilidad de reaccionar a pulsos cortos de ruido.

TIPOS DE RUIDO Y METODOS DE CONTROL: el término ruido significa voltajes y corrientes extraños en sistemas lógicos digitales.

En los sistemas lógicos, se deben considerar varios tipos de ruido y se usa la siguiente clasificación para éstos:

1. Ruido externo: ruido ambiental radiado al sistema. Este tipo de ruido resulta de contactores, escobillas de motores, arcos en contactos de relevadores o en campos magnéticos generados.
2. Ruidos de líneas de potencia: ruidos acoplados a través de sistemas de distribución de potencia, de corriente alterna o corriente directa. Con frecuencia, las fuentes de ruido son las del ruido externo.
3. Inducciones cruzadas (cross talk): ruido inducido a líneas de señales de otras líneas de señales adyacentes.
4. Ruido de señales de corriente: ruido generado en impedancias de desvío a lo largo del circuito ocasionado por flujos de señales de corriente necesaria en el mismo.
5. Reflexiones en líneas de transmisión: ruidos de líneas de transmisión sin terminar, que originan sobrevoltajes y subamortiguamientos (overshoot).
6. Corrientes de pico I_{oc} : ruido causado por cambios de estado en la etapa de salida tipo totem.

En general, esta clasificación de ruidos se debe tratar en la forma:

TIPOS DE RUIDO	CONSIDERACIONES
Externo	Blindajes Conexiones a tierra Desacoplamiento Propiedades de las componentes
Líneas de potencia	
Inducciones cruzadas	
Señales de corriente	
Líneas de transmisión	
Picos I_{oc}	

BLINDAJE: el equipo eléctrico debe funcionar en ambientes en extremo ruidoso que provengan del exterior, además de los propios ruidos generados internamente. Los pulsos de ruido pueden venir de muchas fuentes, pero su origen es en campos electrostáticos o campos electromagnéticos o ambos, y debe evitarse que los frentes de onda del ruido entren a los equipos. Los campos de ruido, por lo general, cambian en forma muy rápida; por lo tanto, los blindajes requeridos para anularlos son relativamente pequeños.

Para una exclusión efectiva al ruido, el circuito sensitivo debe estar completamente blindado; aun cuando el aluminio y materiales similares son efectivos para evitar los ruidos electrostáticos, sólo los materiales ferrosos pueden proteger en forma satisfactoria el equipo contra los campos magnéticos. Es muy provechoso conectar el sistema a una tierra firme, pero además el blindaje debe ser completo y conectarse a la tierra del sistema; de no hacerse, el blindaje puede acoplar el ruido al sistema. El ruido externo puede ser conducido al sistema a través de las líneas de potencia. Desacoplar y filtrar esas líneas es un procedimiento estándar de diseño. Los circuitos TTL tienen tan baja impedancia que son menos susceptibles al ruido que los MOS o cualquier otro sistema lógico.

CONEXIONES A TIERRA Y DESACOPLAMIENTO: en la generación de ruido interno, el tiempo total de propagación es de importancia secundaria; el tiempo de transición real es el que determina el espectro amplitud/frecuencia de la señal generada en sus armónicas más altas. Si el retorno de tierra se realiza adecuadamente, se obtendrán los resultados deseados eliminando las discontinuidades en la impedancia, y las cancelaciones de corriente ocurrirán en el punto de tierra, y se eliminan picos indeseables de voltaje. Se han establecido dos reglas para reducir los efectos en líneas de transmisión a niveles aceptables en sistemas TTL. Son reglas empíricas, pero que el personal de la Texas Instruments han encontrado efectivas:

1. Conectar el cable, par torcido o coaxial a una buena terminación de tierra cerca del bloque transmisor y receptor.
2. Desacoplar el voltaje Vcc de la línea en el lado transmisor y receptor en la parte más cercana al bloque con un capacitor de disco de cerámica de 0.1 uF.

INDUCCION CRUZADA EN LINEAS DE SEÑALES (CROSS TALK): al aplicar voltajes y corrientes en una línea conectora de un sistema, es imposible que las líneas adyacentes permanezcan inafectadas. Campos estáticos y magnéticos interaccionan y circulan flujos de corriente de tierra en sentido opuesto, y crean encadenamiento en los campos magnéticos. Esos efectos de acoplamiento cruzado son referidos todos juntos como inducción cruzada (cross talk).

Las líneas de señales se pueden agrupar en tres categorías: líneas coaxiales, líneas de par-torcido y líneas de cable recto.

Debido a la baja impedancia y a las características de blindaje del cable coaxial, la inducción cruzada en cables coaxiales es mínima y no hay problema en los circuitos TTL.

Los acoplamientos mutuos se pueden reducir usando cable coaxial o par torcido blindado. Sin embargo, al disminuir la inductancia mutua, la capacitancia de la línea aumenta imponiendo restricciones al bloque transmisor.

El cable coaxial combina impedancias mutuas muy altas con impedancias bajas características, además de estar blindado,

elimina efectivamente la inducción cruzada, por lo que es necesario sólo en ambientes muy ruidosos. Los cables coaxiales son por lo general, satisfactorios y son típicamente más baratos y fáciles de trabajar. Por fortuna, la mayor parte del ruido que se puede acoplar es dominado por las bajas impedancias de salida de los circuitos TTL 54/74.

REFLEXIONES EN LINEAS DE TRANSMISION: cuando las interconexiones que se usan para transferir información digital llegan a ser considerablemente largas, de modo que el retraso en la propagación de la señal en la línea es igual o mayor que los tiempos de transición del pulso, se tienen que considerar entonces los efectos de reflexión. La creación de estas reflexiones en la mayoría de las interconexiones de los circuitos TTL se debe a que éstas no son terminadas en su impedancia característica. Las reflexiones ocasionan reducción en los márgenes de ruido, retrasos excesivos, sobrevoltajes y subamortiguamientos (overshoot).

Las siguientes reglas se han establecido para minimizar los efectos de líneas de transmisión en los sistemas TTL.

1. Usar interconexiones directas de cable y que no tengan un regreso específico de tierra para longitudes hasta de 10 plg. solamente. Siempre es deseable un plano de tierra.
2. La ruta de los cables de las interconexiones debe ser cercana a un plano de tierra si ésta es mayor de 10 plg y nunca exceder de 20 plg.
3. Cuando se use cable coaxial, se debe diseñar con una impedancia característica de alrededor de 100 ohmios. Se recomienda cable coaxial de 93 ohmios de impedancia. Impedancias mayores aumentan la inducción cruzada e impedancias menores dificultan la transmisión.
4. Asegurar que los retornos de tierra de la línea de transmisión estén bien conectados tanto en el extremo transmisor como en el receptor.
5. Para evitar subamortiguamientos negativos, hay que conectar las terminaciones de retorno a la salida del transmisor.
6. Desacoplar los bloques transmisor y receptor tan cerca como sea práctico de las terminales Vcc y tierra de los circuitos mediante un capacitor de 0.1 uF.
7. Los bloques que se usen como transmisores deben ser usados sólo con este propósito. Las entradas de bloques conectadas en forma directa a la salida de un transmisor podrían recibir entradas erróneas debido a las reflexiones de la línea, se introducirán grandes retrasos, o se sobrecargará excesivamente el bloque transmisor.
8. Los bloques usados como receptores deben tener todas sus entradas atadas juntas a la línea. Deben evitarse otras entradas lógicas en el bloque receptor y dejar un solo bloque como terminación de la línea.
9. Generalmente los flip-flops son malos transmisores debido a la posibilidad de conmutación (de colector) ocasionada por señales reflejadas.

X. COSTO DEL PROYECTO.

El costo de cada unidad se deriva del valor de los dispositivos que se utilizaron en ella, y que aparecen listados a continuación con sus valores respectivos.

UNIDAD DE ALIMENTACION

Revised: Mayo 27, 1996

Materiales: Mayo 27, 1996

Item	Cantidad	Referencia	Parte	VALOR(Q.)
1	1	BT1	6 V DC,	150.00
2	1	C9	10000 uF,16 V	02.50
3	1	C10	1000 uF,16 V	02.50
4	1	C11	0.47 uF,16 V	01.00
5	1	C12	10 uF,16 V	01.00
6	1	D1	4989,	05.00
7	1	D2	4927,	05.00
8	1	D3	4918,	05.00
9	1	D4	125,	03.50
10	1	D5	4900,	05.00
11	1	F1	FUSIBLE 1A,	01.50
12	1	Q27	5330,	06.50
13	1	Q28	931,	10.50
14	1	R35	170,	00.50
15	1	T1	TRANSFORMADOR 120AC/9V CA	20.00
16	1	V1	120 V CA,	EEGSA
V A L O R T O T A L :				219.50

UNIDAD LOGICA DE CONTROL DE TIEMPO

Revisado: Mayo 27, 1996

Materiales: Mayo 27, 1996

Item	Cantidad	Referencia	Parte	VALOR(Q.)
1	1	C1	100uF, 10V,	01.00
2	2	C2,C4	0.01uF, 10V,	02.00
3	1	C3	33uF, 10V,	01.00
4	2	R7,R11	1K, 1/4 W,	01.00
5	2	R8,R12	4.7K, 1/4 W,	01.00
6	2	R9,R13	10K, 1 W,	01.50
7	2	R10,R14	100K, 1 W,	05.00
8	1	U6	7414,	06.00
9	2	U7,U8	74393,	05.00
10	2	U9,U10	955M,	05.50
V A L O R T O T A L :				29.00

UNIDAD DE ALIMENTACION:	Q.219.00
UNIDAD LOGICA DE CONTROL DE TIEMPO	Q.029.00
UNIDAD LOGICA PROGRAMABLE	Q.155.00
UNIDAD LOGICA COMBINACIONAL	Q.038.50
UNIDAD INTERFAZ DE POTENCIA	Q.298.00
TARJETA DE CIRCUITO IMPRESO	Q.100.00
IMPRESION DE TARJETAS CON FOTOCOPIADO	Q.100.00
MANO TECNICA PARA EL ARMADO	Q.500.00
C O S T O T O T A L :	Q.1,439.50

UNIDAD LOGICA PROGRAMABLE

Revised: Mayo 27, 1996

Materiales: Mayo 27, 1996

Item	Cantidad	Referencia	Parte	VALOR(Q.)
1	2	U4,U5	2764,	150.00
2	1	U13	7442,	005.00
V A L O R T O T A L :				155.00

UNIDAD LOGICA COMBINACIONAL

Revised: Mayo 27, 1996

Materiales: Mayo 27, 1996

Item	Cantidad	Referencia	Parte	VALOR(Q.)
1	1	R36	6-PACK,1K, 1/4W,	03.00
2	2	U1,U2	7432,	09.00
3	1	U3	7404,	04.50
4	1	U11,	7408,	03.50
5	2	U12,U17	7421,	09.00
6	1	U14	7440,	04.50
7	2	U15,U16	74LS266,	05.00
V A L O R T O T A L :				38.50

El costo agrupando las unidades del proyecto es de:

Se deja constancia de la no inclusión de la utilización del equipo de programación, ya que serán las autoridades del Laboratorio de Electrónica las que den el costo.

La fabricación en serie, permite una reducción de los costos en un 30%, debido a que los dispositivos se pueden conseguir a precio de mayorista.

UNIDAD INTERFAZ DE POTENCIA

Revisado: Mayo 27, 1996

Materiales: Mayo 27, 1996

Item	Cantidad	Referencia	Parte	VALOR(Q.)
1	1	K1	RELAY DPDT,	25.00
2	2	LP1,LP4	150W,VERDE	07.00
3	2	LP2,LP5	150W,AMARILLO	07.00
4	2	LP3,LP6	150W,ROJO	07.00
5	7	Q1,Q2,Q3,Q4,Q5,Q6,Q14	5629,	84.00
6	13	Q7,Q8,Q9,Q10,Q11,Q12,Q13 Q15,Q16,Q17,Q18,Q19,Q20	3048,	104.00
7	20	R1,R2,R3,R4,R5,R6,R7,R8, R9,R10,R11,R12,R15,R16 R18,R21,R24,R27,R30,R33	290, 1/4 W,	10.00
8	6	C5,C6,C7,C8,C13,C14	150uF,	06.00
9	6	Q21,Q22,Q23,Q24,Q25,Q26	5319,	39.00
10	6	R17,R20,R23,R26,R29,R32	8K, 1 W,	06.00
11	6	R19,R22,R25,R28,R31,R34	1K, 1/4 W,	03.00
12	1	V1	120 AC,	EEGSA
VALOR TOTAL :				298.00

Costo total del proyecto actual fabricado por unidad	:	Q. 1,439.50
Reduccion del 30% por fabricacion en serie	:	- Q. 432.00
<hr/>		
Nuevo costo por unidad del proyecto fabricado en serie	:	Q. 1,007.50
El valor estimado para la fabricacion de la estructura mecanica que soportara las luminarias del semaforo, es de aproximadamente	:	Q. 2,000.00
Esto hace que el semaforo en su construccion global, tenga un costo final de	:	Q. 3,007.50
El valor actual de los semaforos, puestos en el mercado nacional, es de	:	Q.50,000.00
El proyecto presenta un ahorro por cada semaforo fabricado de	:	Q.46,992.50

XI. REALIZACION DEL PROTOTIPO.

El diseño del semáforo digital, se realizó en base a los requerimientos de que los dispositivos a utilizar, debían de poder adquirirse en el mercado nacional.

La culminación del presente trabajo, fue la realización de un prototipo de la parte de control electrónica, que fue entregada a la unidad de E.P.S. de la facultad de Ingeniería, con la finalidad y el compromiso de parte de esta institución de que en un futuro se pueda en base al prototipo, la fabricación de más de estos semáforos para ser implementados en la ciudad universitaria.

El diseño, construcción y prueba del prototipo del semáforo digital programable, se realizó en 5 etapas:

La primera etapa, comprendió la unidad de alimentación, la que fue realizada sin contratiempo en 15 días, como estaba programada.

La segunda etapa, comprendió la unidad lógica de control de tiempo. En la prueba de esta etapa, se tuvo el problema de que el temporizador que servía de reloj realizado a base de un 555, no realizaba el cambio de estado de 0 a 1 lógico y viceversa, abruptamente; esto causaba que el contador no reconociera los pulsos generados y no cambiaba de estado, o si lo hacía, lo realizaba aleatoriamente.

Esto, pudo ser corregido, colocando entre el temporizador y el primer contador, un disparador Schmitt, la cual permite convirtió los cambios de estado del temporizador en flancos bastante verticales, con lo cual, pudo ser posible el accionamiento del primer contador.

La segunda etapa, también pudo ser concluida en 15 días, como estaba programada.

La tercera etapa, comprendió la unidad lógica programable. Esta inicialmente se diseñó con memorias diferentes al EPROM 2764, ya que esta posee mayor capacidad de la que se necesita, pero por razones de mercado no se hallaron memorias de menor capacidad que la EPROM 2764, por lo cual se utilizó la misma.

La tercera etapa, también pudo ser concluida en 15 días, como estaba programada.

La cuarta etapa, comprendió la unidad de lógica combinacional. En esta unidad, el diseño se vario conforme se realizaban las pruebas y se agregaban protecciones de software y hardware al sistema. En esta unidad, los mapas de Karnaugh fueron la herramienta fundamental, para minimizar la cantidad de dispositivos a utilizar.

La cuarta etapa, fue concluida en 30 días.

La quinta etapa, comprendió la unidad de interfaz de potencia. Esta unidad, es la que tiene la mayor cantidad de componentes, por la cual su construcción tomó 30 días.

Después de finalizado el prototipo completo, se tuvo a prueba durante 15 días, sin haber tenido problemas mayores.

La construcción de este prototipo se realizó en un taller casero implementado en la sala de mi domicilio, en donde se contaba con la siguiente herramienta:

- 1 pinza
- 1 corta alambres
- 1 cautin de 40 Watts
- 1 rollo de estaño
- 5 tarjetas universales
- 10 metros de cable de teléfono
- 1 manual del ECG

Al finalizar la construcción y prueba del prototipo, se presentó a consideración de la Dirección de la Escuela de Ingeniería Mecánica Eléctrica. Dada la aprobación a este prototipo, se procedió a hacer entrega de la misma al Coordinador de la unidad de E.P.S. de la Facultad de Ingeniería.

XII. CONCLUSIONES.

1. La ventaja técnica radica en la versatilidad del tiempo de acción de las luminarias del presente semáforo, ya que al innovar los tiempos fijos que utilizan los actuales semáforos, a tiempos predeterminados cada 5 segundos por el usuario en un período de 24 horas, permite el descongestionamiento del área en la cual el semáforo opera, ya que dá más tiempo de vía a la arteria que tenga más densidad de automotores.
2. La ventaja económica se centra en la reducción del costo, pues el semáforo importado tiene un valor actual de Q.50,000 contra un valor de Q.3.200.00 del semáforo que se presenta en este proyecto. Además, es completamente manufacturable al 100% en el país, con dispositivos de fácil adquisición en el mercado nacional; y como extensión, esto podría evitar la fuga de divisas, al no ser necesaria la importación de semáforos como se ha estado realizando.
3. La Facultad de Ingeniería tiene la capacidad de manufacturar estos semáforos para su comercialización a la sociedad guatemalteca, como una alternativa de costo aceptable.
4. Los dispositivos TTL utilizados en el presente proyecto cubren las necesidades que se demandan de ellas, tales como: disipación de potencia de 10 mW, producto potencia-velocidad de 100 pJ, retardo de propagación de 10 nS, inmunidad al ruido de 2 V, y baja impedancia de salida.
5. Los optoaisladores son los mejores medios de desacoplamiento entre circuitos de control digitales y circuitos eléctricos de potencia.

XII. RECOMENDACIONES.

1. La consideración de que los dispositivos TTL Standard (74) utilizados en este proyecto, sean reemplazados por dispositivos TTL de Alta Velocidad (74H), cuyo circuito interno tiene emisores en la entrada conectada a tierra denominadas diodos sujetadores (clamping diode), y cuyo propósito es el de reducir los efectos de líneas de transmisión que llegan a ser significativos al tenerse tiempos menores en las subidas y en las bajadas de pulsos.

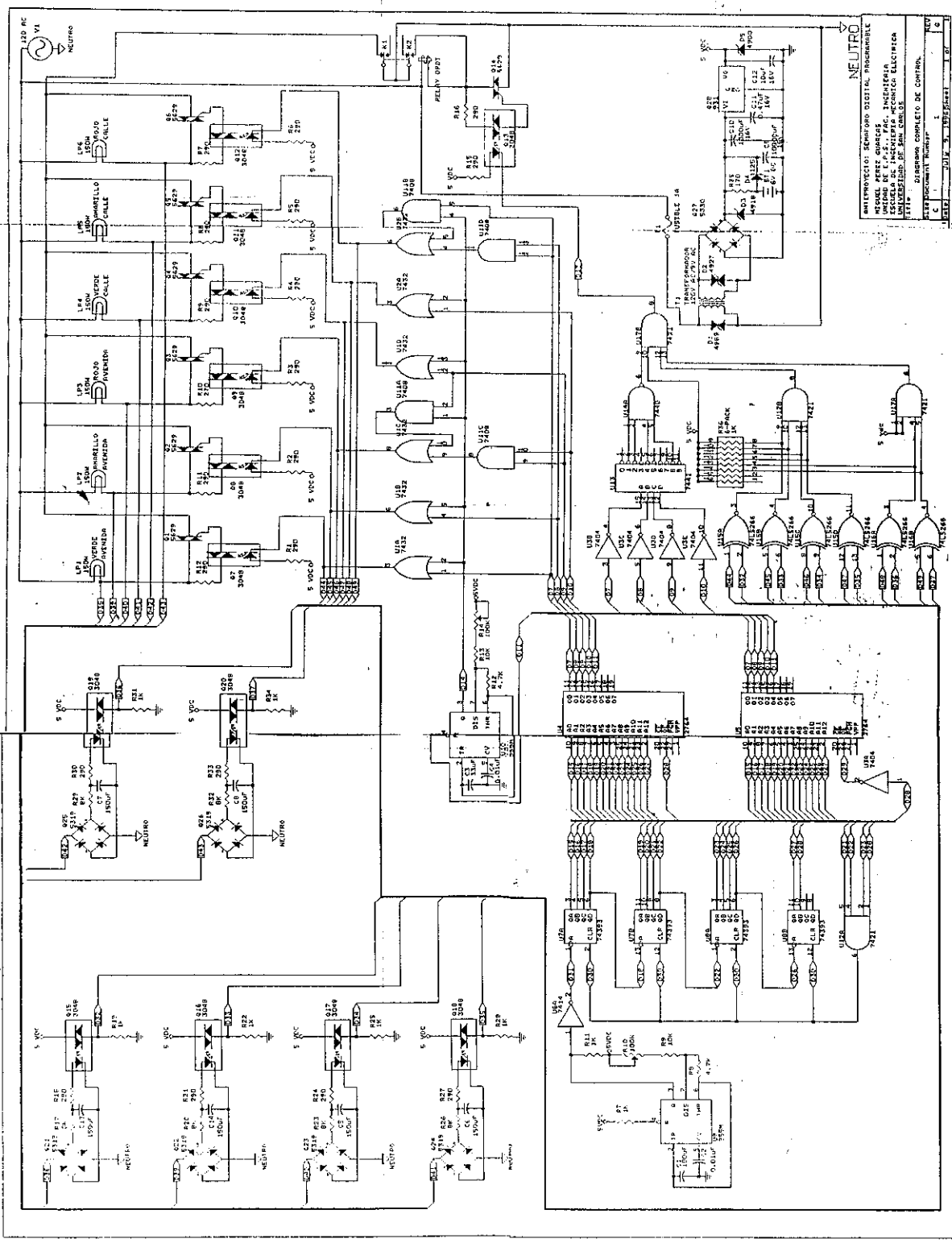
Los TTL Standard trabajan perfectamente, pero pueden ser mucho más confiables con los 74H que no fueron utilizados en este proyecto, por que no son comercialmente obtenibles a nivel nacional, pero si se fabrican varios de estos circuitos de control, deben ser requeridos como pedido especial a cualquier casa comercial.

2. Es importante la construcción de cada unidad por separado, pues permite el reemplazo o reparación por bloques, cuando se se deteriore alguna, evitando que esto sea oneroso, ya que no se necesita cambiar una tarjeta que contenga todos los dispositivos del sistema incorporado.
3. Cuando se de el montaje del sistema, se deben utilizar los materiales ferrosos como blindaje para una exclusión efectiva del ruido, pues estos protegen en forma satisfactoria al equipo contra los campos magnéticos.
4. El blindaje debe ser completo y conectarse a la tierra del sistema, pues de no hacerlo el blindaje puede acoplar el ruido externo al sistema mismo.
5. Se debe realizar el retorno a tierra adecuadamente, ya que esto elimina las discontinuidades en la impedancia, y las cancelaciones de corriente ocurrirán en el punto de tierra, y eliminaran picos indeseables de voltaje.

6. Se debe conectar el cable coaxial que une el circuito de control digital con el circuito de potencia a una buena tierra, cerca del bloque de control y del bloque de potencia.
7. Los acoplamientos mutuos se deben reducir usando cable coaxial blindado, y además eliminar la inducción cruzada.
8. Cuando se use cable coaxial, se debe diseñar con una impedancia característica de alrededor de 100 ohmios. Impedancias mayores aumentan la inducción cruzada e impedancias menores dificultan la transmisión.
9. Acoplar protección contra descargas atmosféricas, en áreas que tengan una incidencia de ellas. En ningún semáforo actual, se utiliza esta protección, pues la relevancia de fallas debido a estas descargas no es alta.
10. La implementación de este proyecto, en la Ciudad Universitaria, permitira que la Facultad de Ingeniería proyecte las ventajas que este proyecto ofrece a la sociedad guatemalteca.
11. Incentivar a los estudiantes de la facultad a realizar este tipo de proyectos, para involucrarse de esta manera en la resolución de problemas que afectan al país.

XIII. BIBLIOGRAFIA.

- BOYLESTAD, R. Electrónica teoría de circuitos. 4a.edición.
México: Prentice-hall hispanoamericana, S.A.,1992.
- MORRIS MANO, M. Diseño digital.
México: Prentice-hall hispanoamericana, S.A., 1990.
- MULLER, W. Electrotecnia de potencia.
España: Editorial Reverté, S.A., 1994.
- MULTITECH INDUSTRIAL CORP. Z80 assembly language programming manual. Taiwán: Hsinchu science-based industrial park, 1981.
- NASHELSKY,L. Introduction to digital Technology. 3a. edición.
E.E.U.U: Editorial John Wiley & Sons, Inc., 1994.
- NORMAN LURCH, E. Fundamentos de electrónica.
México: Compañía editorial continental, S.A. de C.V., 1992.
- PHILIPS ECG. ECG semiconductors master replacement guide. 15th. edición. E.E.U.U.: Philips ECG, 1991.
- PORAT, DAN. Introducción a la tecnología digital.
México: Editorial Limusa, S.A. de C.V., 1992.
- TEXAS INSTRUMENTS INCORPORATED. Designing with TTL integrated circuits. 2a. edición. E.E.U.U.: McGraw-Hill book company, 1994.
- TEXAS INSTRUMENTS INCORPARATED. The TTL data book for design engineers. 2a. edición. E.E.U.U.: McGraw-Hill book company, 1990.



NEUTRO

ANTIPROTECCION SCHEMATO DIGITAL, TRANSFERIBLE
 MIGUEL PEREZ GARCERAN
 UNIDAD DE F.P.S. DE FAC. INGENIERIA
 UNIVERSIDAD DE SAN CARLOS
 1111 USAREMBA COMPLEJO DE CONTROL.
 11111111
 C
 1993